

توازن بار آگاه در روش شناسی مسیریابی XY برای معماری ناک

چکیده

الگوریتم مسیریابی عملکرد اصلی را در داخل عملکرد کلی اجتماع در تراشه انجام می دهد. مسیریابی پویا با در نظر گرفتن تغییر قابل توجهی در پهنای باند ارتباطی و سازگاری با اتصالات ناقص و ترافیک سنگین جالب است. مسیریابی XY در توپولوژی (جانمایی) مش باعث ترافیک در قسمت مرکزی شبکه می شود که تاخیر را افزایش و منجر به کاهش عملکرد می شود. ترافیک شبکه به طور کلی در بخش مرکزی شبکه به دلیل افزایش ترافیک در همان گره ها به طور دوره ای توسط گره های همسایه افزایش می یابد. علاوه بر این، ترافیک سنگین به دلیل گره های همسایه قطعاً عملکرد سیستم را کاهش می دهد و اثر مضر بر گره ها خواهد داشت. سپس تلاش می کنیم که تاخیر محلی به علت ترافیک را با استفاده از آدرس مشخص نزدیک اندازه مکان، بر اساس روش تقسیم و حل برای کشش مسیر، کاهش دهیم. آن تاخیر در هر همسایه محلی با کمک کاهش فشار مسیریابی هر گره محلی به حداقل می رسد. در این مقاله جانمایی محبوب مش همراه با الگوریتم LBAR را اجرا کرده ایم و نتایج با مسیریابی-XY معمولی مقایسه می شود. مشاهده می شود که توازن بار و تاخیر در مورد LBAR نسبت به XY معمولی بهبود یافته و ترافیک کل شبکه برای LBAR در مقایسه با XY سنتی کاهش می یابد.

کلمات کلیدی: مسیریابی پویا، LBAR، ترافیک، تقسیم و حل، XY معمولی.

1. مقدمه

سیستم کنونی تراشه ها از شبکه های گسترده منطقه در اطراف همسایگی آنها مقایسه می شود و به این دلیل است که آنها کمتر غیرجبرگرایی را نشان می دهند. همسایگی ها، شبکه های مفیدی مانند آنهایی که برای مقیاس بزرگ

چند پردازنده تولید می شوند، نیازهای مقایسه ای و همچنین ضروری ها را دارند. به عنوان مثال، ویژگی های چند مشخصه، به عنوان مثال، انرژی مورد نیاز علاوه بر طراحی تخصصی زمان، در شبکه های SOC خاص هستند [1] [2] اثربخشی اتصال داخلی و برآورد اطلاعات پیش نیازهایی را تبادل می کند که برای چارچوب های NoC ضروری تر هستند، و همچنین شبکه در تراشه (NOC) به عنوان سازگاری، چند منظوره تبدیل شده اند و همچنین برای مسائل مربوط به این نوع قابل استفاده است [3]. در سیم کشی معمولی NoC، مبادلات در میان هسته های تعبیه شده برای اکثر قسمتها وسیله سوئیچ های متعدد و اتصالات سیم هستند. این مکاتبات چند هاب می تواند عملیات محدودکننده قابل توجهی در اجرای چارچوب باشد که افزایش برای دموکراسی بیشتر و انتشار حیاتی را ارائه می دهد. برای غلبه بر این محدودیت اجرایی، ما مدل معماری جدید از طریق فرضیه های سیستم پیچیده در ارتباط با عمدتاً مجموعه اتصالات تراشه ها برای ایجاد عملکرد بالا و تاخیر اندک را پیشنهاد می دهیم NoCs [4]. بر فرض مثال، بسیاری از مرکزها، ساختارهای یکپارچه اینتل به سمت چند هسته ای ژئون فی [6] [5]، به عنوان شیوه ای برای اجرای مولد و اجرای بیشتر با تاخیر کم حرکت می کنند. در این مقاله ما مدل عملکردی را پیشنهاد می دهیم که بار را در سیستم مبتنی بر تراشه شبکه به حداقل می رساند. به طور کلی، مهندسان مدل عملکردی را طراحی، بعداً تکنولوژی های آینده بر اساس مدل عملکرد را تجزیه و تحلیل می کنند. با توجه به این نکته، اولین مدل معماری و برنامه های کاربردی به صورت جداگانه ایجاد می شوند. سپس کاربردها توسط مدل های عملکرد توسعه یافته و معماری برای ارزیابی ترکیب کاربرد معماری منتخب استفاده می شود [7] [8]. در همین حال مسیرهای متعددی از گره فعلی به گره هدف وجود دارد؛ شبکه در تراشه باید الگوریتم های فرماندهی را جهت مسیر بسته داده برای مقصد نهایی اجرا کند. آن بر توانایی و تأخیری که ترافیک را تجربه می کند تأثیر می گذارد.

تعداد زیادی از پیشنهادات برای NOC ایجاد و توسط جانمایی های شبکه اجرا می شوند و الگوریتم های مسیریابی برای شبکه های ارتباطی در تراشه استفاده می شود. الگوریتم های مسیریابی را می توان به دو استراتژی خاص با توجه به نوع شبکه آبشاری کرد که کاملاً متناسب با آن است. اگر راه مسیریابی بسته داده ها از قبل ثابت شود، این نوع از مسیریابی به عنوان مسیریابی منبع شناخته می شود. بخشی از آن اگر راه بسته داده ها گام به گام حل شود،

این نوع از مسیریابی، مسیریابی منبع [5] [9] نامیده می شود. به طوری که NoC ها معمولا توسط بعد سفارش مسیریابی (DOR) اجرا می شوند که در ابتدا مسیر بسته ها را در جهت افقی (ابعاد X) و بعد در جهت عمودی ابعاد (Y) به سمت دریافت کننده هدایت می کند [10]. اگرچه این الگوریتم زمان تاخیر را کاهش، آنها معمولا با سرعت بسیار پایین اجرا می شوند زیرا بار سنگینی در میان سیستم وجود دارد که باعث ترافیک در کل شبکه می شود [11] الگوریتم مسیریابی توازن بار XY جانمایی شبکه از مختصات مشترک مختلفی استخراج می شود که این به کاهش ترافیک در شبکه کمک می کند، در نتیجه عملکرد کارایی را نسبت به مسیریابی غیرفعال، یعنی، مسیر مرتب سازی بعدی انجام می دهد (DOR). این الگوریتم شامل کوتاهترین راه برای مسیریابی، اجرای پیشرفته و وزن سبک است.

2. کار مرتبط

الف) شرح مختصر NoC

تغییر رویکرد، جانمایی و الگوریتم مسیریابی، عنصر ضروری در طرح شبکه در تراشه است. جانمایی نشان دهنده اتصال داخلی شبکه است. در جانمایی مش، اتصالات در سیستم محدودیت های مقایسه ای دارند که باعث می شود طراحی فیزیکی اولیه نیز دامنه مستقیم به مقدار گره ها شود. اندازه در جانمایی فعلی از لحاظ خطوط و بخش ها اندازه گیری می شود [12]. طول های ثابت توسط بسیاری از شرکت های تحقیقاتی به دلیل خواص الکتریکی مناسب آن، توانایی طرح و سهولت در منابع در آدرس تراشه مورد نظر است [13] ترجیح در کار با این جانمایی وجود دارد رفتار خاص خود را از نحوه فرمان به عنوان منبع هدایت شناخته می شود. این عنصر در این جانمایی، رمزنگاری کارآمد مسیر داده های را تنها با چند بیت ارائه می دهد [12]. در حالی که یک هدر بسته بین گره ها وارد می شود، فرایند سوئیچینگ با آنچه که ابزار انتقال می دهد، حل می کند، یعنی کانال تزریق به کانال تخلیه متصل می شود [14] [12].

مسیریابی لانه کرمی به طور گسترده ای برای سوئیچ کردن رویکرد با توجه به پیش نیازهای کمتر بافر آن و به طور قابل ملاحظه ای بسیار مهم مورد استفاده قرار می گیرد، زیرا آن زمان انتقال بسته را در مورد عدم پیشقدر جدایی

در میان هاب های منبع و مقصد تولید می کند. در لانه کرمی مسیریابی، بسته می تواند به پیشرفت موجودیت های طولی مقیم تقسیم شود، نقل مکان نامیده می شود. نقل مکان هدر (که حاوی اندازه گیری مسیریابی است) دوره ای از طریق سیستم را ایجاد می کند، در ضمن همانطور که یک چرخش دقیق بدن، آن را در طراحی لوله ای دنبال می کند.

به طور متوالی به منظور اجرای کلی سیستم، هر کانال گروه می تواند بین چندین پشتیبانی، به ویژه کانال های مجازی، مخابره ترکیبی ساده ای داشته باشد. با اختصاص بسته های متمایز به هر یک از این پشتیبانی ها، از بسته های مختلف نقل مکان داده که ممکن است در هر یک از کانال های فیزیکی به صورت شیوه جاگذاری ارسال شود. این هر دو خروجی و نهفتگی با مجوز دادن به بسته های داده مسدود شده بهبود می یابد که نادیده گرفته می شود. [15]. مسیر داده از بسته داده شامل بافرها و همچنین سوئیچ ماتریسی است. ماژول فرمان و تخصیص دهنده VC در مورد کانال مجازی و هاپ زیر تصمیم می گیرد و تخصیص دهنده سوئیچ مسئول درک نقل مکان ها برای حرکت به سوئیچ ماتریسی منتخب می باشد. در نقطه ای که بسته ی داده مسدود می شود به دلیل این واقعیت که هیچ فضای پشتیبانی در دسترس در سوئیچ مورد نیاز وجود ندارد، آن دارایی های بافر را در فورت مسیر خود اشغال خواهد کرد. بنابراین، ارسال پیام در سیستم های مبتنی بر سوئیچ لانه کرمی تمایل به توقف دارد [14]

[16]. نقطه مبادله گرهی که در این رقم تعریف شده شامل 5 کانال شامل وقفه محلی برای برقراری ارتباط با مسیر مشخص ارتباطی هاب ها و دخالت در این نزدیکی برای وقفه محلی است همانطور که نشان داده شده است. در طول دوره، نقل مکان هدر پایگاه را در اطلاعات کانال مبادله (شامل هر دو گره های مجاور یا محور دسته همسایه مرتبط با سوئیچ غیر قابل تشخیص می باشد) لمس می کند، سوئیچ در مورد مسیر عبور بسته تصمیم می گیرد، به عنوان مثال در چهار جهت مختلف و یا کانال وقفه محلی یعنی کانال خروجی، بعداً، سوئیچ ماتریسی از طریق ارسال اطلاعات مرتبط به آن تنظیم می شود. تبادل ماتریسی کانال نزدیک نقل مکان را به کانال منتخب فعال ارتباط می دهد. به عنوان مثال، کانال مجازی آزاد، نقل مکان هدر ممکن است برای هاب مبادله شود و نقل مکان لبه پس از نقل مکان هدر شکل می گیرد. با بررسی برخی موارد دیگر، نقل مکان هدر نیاز به حفظ دارد تا

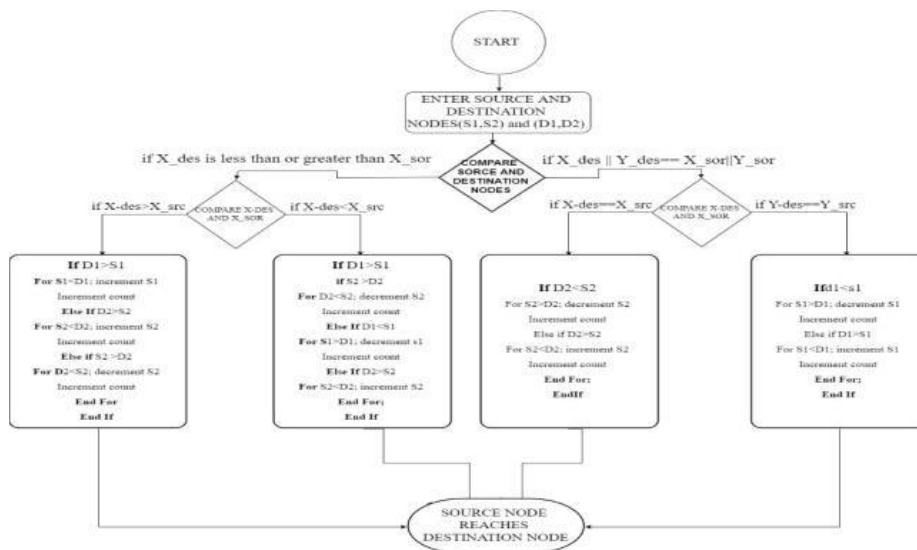
زمانی که هر یک از کانال مجازی توسط کانال دیگر استفاده می شود مجموعه ای آزاد برای اشغال و استفاده از کانال است.

ب) الگوریتم مسیریابی

الگوریتم مسیریابی جزء مهمی است که اثر آن با مکاتبه بر NOC تأثیر می گذارد. محاسبه مسیریابی مسیر منتخب توسط بسته داده مشخص می شود که از منبع به مقصد هدایت می شود، یک دستور اولیه در NOC برای ساختن یک لایه شبکه است [17]. همانطور که مشخص شد گزینه های مسیریابی تعیین می شود، آن ممکن است منبع و توزیع مسیریابی را تحلیل کند. در مورد مسیریابی منبع، کل مسیر داده ها باید توسط گره منبع انتخاب شود، اگر چه در مسیر توزیع هر سوئیچ بسته داده ها را می گیرد و همچنین مسیر موثر برای بررسی داده ها انتخاب می شود. همانطور که نشان داده شد به چه شیوه ای مسیر برای ارسال بسته ها مشخص می شود، انتقال بسته های داده ها می تواند به صورت قطعی و یا چند منظوره مورد تجزیه و تحلیل قرار گیرد.

به همین ترتیب آن با توجه به تطبیق پذیری آنها مشخص خواهد شد، ظرفیت تحمل خطا، کنترل کننده متمرکز، جریان داده ها را در یک چارچوب و بانک در مقدار مقصد خود کنترل می کند. هنوز هم به طور کلی همه کاره، قطعی و غیرفعال نامیده می شود. الگوریتم مسیریابی قطعی مسیر مشابهی را بین زوج های هاب تعیین می کند، تعادل بار به طور انحصاری برای شرایط فعلی بیان شده ضعیف و به هر حال آنها معمولا به دلیل کاربرد ساده استفاده می شود. در الگوریتم مسیریابی فراموشکار مسیریابسته با توجه به حالت سیستم حذف می شود. الگوریتم مسیریابی سازگار داده ها در مورد حالت سیستم (مثلا محدودیت خطوط برای دارایی و غیره) برای تصمیم گیری مسیریابی استفاده می شود. روتر کاملا طراحی شده باید مسیر همه کاره را به سمت برنامه داده بسته در کانال ترافیک کم هدایت کند. در مسیر انطباق، هر سوئیچ اطلاعات مسدودی از محتویات محله خود دارد. متریک کانال انسداد را می توان بر اساس تعداد کانال های مجازی آزاد، تقاضا برای خروجی روتر ایجاد کرد، تعداد بافر های آزاد، ترکیب این پارامترها هستند [17] [21]. در رابطه با تراکم داده، سوئیچ بسته داده ای را برای اهداف خود با کانال های کم تراکم برنامه می کنند [18]. چند تجزیه و تحلیل امکان پذیر است مانند الگوریتم مسیریابی تحمل پذیر

خطا که قطعه های شکسته را در زمان بسته های مسیریابی داده با قدرت تشخیص می دهد. بیشتر، مسیریابی از طریق تنظیم مجدد بدون تغییر عمده از سرتاسر ارتباط شکسته برای استفاده پیشرفته یک نوع مسیر به جای مسیر شکسته صورت می گیرد. نمودار جریان الگوریتم در شکل نشان داده شده است.

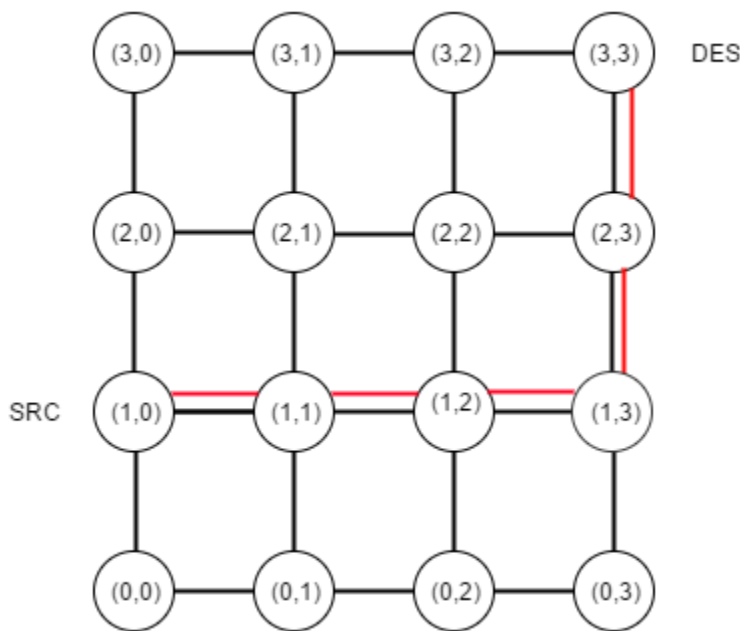


شکل 1.

ج) روش شناسی

اکثر معماری گره NOC در یک جانمایی مبتنی بر مش 2D استفاده می شود. به طور کلی، بررسی های موثر منابع و روترها به راحتی می تواند در جانمایی مش تعریف شود. هر گره در این جانمایی دارای موقعیت مکانی در شکل مختصات X و Y است. [19] [17] [20]. X نشان دهنده موقعیت خود در ابعاد X است که در جهت افقی، Y نشان دهنده موقعیت خود در ابعاد Y است که در جهت عمودی همانطور که در شکل 1 نشان داده شده است. برای اجرای آدرس منبع الگوریتم معمولی (Sx, Sy) که کنتراست است و آدرس مقصد (Dx, Dy) بسته به خروجی همبستگی بسته های مسیر سوئیچ محاسباتی بستگی دارد که نقل مکان راس (Dx < Sx) را به سمت غرب تبدیل می کند، آن را به سمت شرق تا (Dx, Sx) هدایت می کند تا به طور مشخص معادل این اشتیاق به عنوان تراز افقی شناخته شود. در حال حاضر (Dy, Sy) روش مشابهی را تجربه می کند، اما در این صورت متوجه شدیم که (Dy > Sy) سپس بسته هدر به طرف شمال نقل مکان و سایر به سمت جنوب تا (Dy = Sy) حرکت می کند

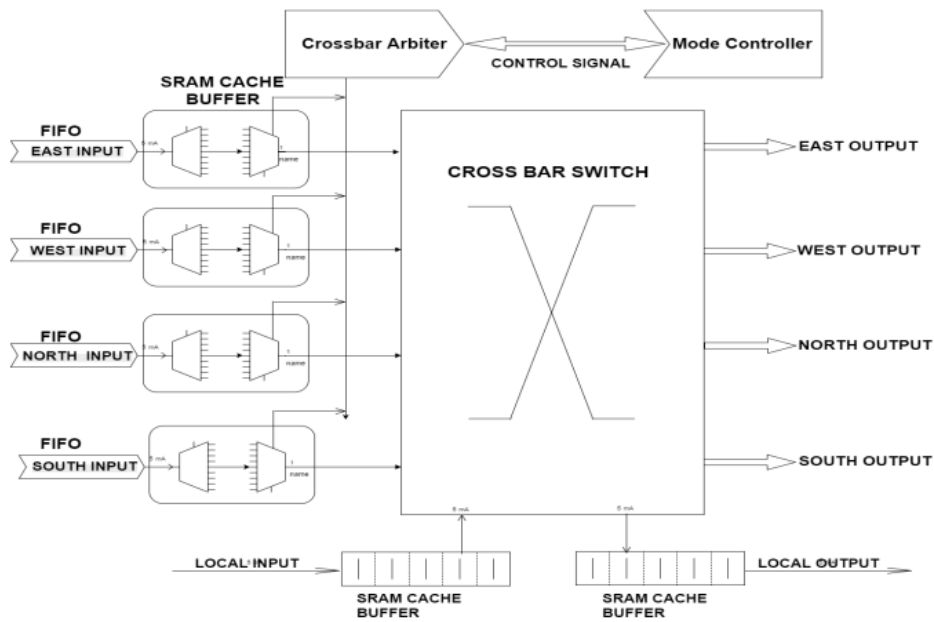
[19] [17] مسیریابی معمولی الگوریتم مسیریابی مرتبه بعدی است، بدون وقفه، الگوریتم قفل زندگی و قابلیت اطمینان کمتری در انتقال اطلاعات برخوردار است. اگرچه دارای نقایصی مانند ترافیک بر روی شبکه توزیع نشده است، بار بیشتر در مرکز شبکه، بدون اطمینان در مورد شکستگی گره و تأخیر بیشتر توزیع می شود. الگوریتم پیشنهادی ما به عنوان تعادل بار مسیریابی XY شناخته شده است. با در نظر گرفتن مسیریابی وابسته متعارف، بعداً آن بی وقفه خواهد ماند. الگوریتم مسیریابی ما که به عنوان مسیریابی قطعی یا چند منظوره کار می کند بر روی موقعیت پشته سیستم متکی است. بسته ها با مسیریابی معمولی هدایت می شوند تا زمانی که ترافیک کمتری در شبکه باشد. در نقطه ای که تراکم به نظر می رسد بالا باشد، تغییر ما تلاش می کند تا بسته ها را از طریق راه های کم تراکم مسیریابی کند.



شکل 2.

فکر اساسی برای الگوریتم LBR، کاهش بار در کل شبکه با استفاده از بررسی ناحیه در نزدیکی برآورد محل، بر اساس استراتژی تقسیم - حل و کرنش مسیریابی است. آن فاصله استراتژیک را از تراکم در برابر هر منطقه محلی با راهنمای تداوم وزن مسیریابی برای به حداقل رساندن هر منطقه محلی حفظ می کند همانطور که در شکل با توجه به گفته های گراتز و همکارانش در مورد هدایت آگاهانه تراکم [17] [18] [] نشان داده شد. سطح ترافیک محلی را

به چهار شماره مجزا خلاصه می کند تا مشخص شود کدام مسیر احتمالاً دارای ترافیک کمتری است. LBR نسخه ضعیف مسیریابی - XY است، الگوریتم LBR همچنین زمان تأخیر را در زمان مقایسه با XY سنتی بهبود می بخشد که زمان کل را با استفاده از بسته داده ها برای ورود به گره و خروج از گره به عنوان خروجی محاسبه می کند و متعهد به انتقال داده ها در مورد مش صفحه می شود. برای کاهش تراکم مازاد شبکه بر اساس برخی از پارامترهای ترکیبی مانند تعداد کانال های مجازی آزاد، تعداد بافر های آزاد، تقاضا برای خروجی روتر می باشد. برای اجرای الگوریتم پیشنهاد شده، گره های فعلی را به عنوان $(s1, s2)$ و گره های هدف را به عنوان $(d1, d2)$ از بسته داده ها در نظر می گیریم. زمانیکه گره های مقصد X، Y بیشتر از گره های منبع X Y است، $(d1, d2 > s1, s2)$ نقل مکان هدر به جهت شرقی و یا به سمت جنوب حرکت می کند تا منبع و مقصد برابر باشد یا در غیر این صورت مختصات X برابر $(d1 = s1)$ باشد، سپس دو حالت برای بررسی وجود دارد که مقصد Y کمتر از گره منبع Y است $(d2 < s2)$ به سمت جنوب یا به سمت شمال حرکت می کند تا مختصات Y مساوی یا در غیر این صورت اگر مختصات Y معادل باشند $(d2 = s2)$ سپس دو شرایط برای بررسی وجود دارد اینکه آیا گره مقصد X کمتر از گره منبع X است $(d1 < s1)$ و سپس به سمت غرب حرکت می کند یا بسته های داده ها را به سمت شرق این الگوریتم بر اساس الگوریتم مسیریابی سنتی XY بهبود یافته است، اما زمانی که تراکم بالا می رود، آن را به چهار مختصات برای توزیع تراکم مازاد شبکه تقسیم و آن را شمارش می کند چه تعداد گره ها با توجه به تعداد گره های درگیر در مسیر عبور می کند و زمان کل تلفیقی محاسبه شده است. تاخیر در الگوریتم مسیریابی تعادل بار حداقل است، قابلیت اطمینان کمتر است در صورتیکه انسداد با مسیر XY مقایسه می شود. مسیرهای آزمایشی میانگین تاخیر در شبکه در کنار مسیر پیشنهادی با تعادل بار نشان می دهد. الگوریتم مسیریابی توازن بار نه تنها بار مازاد شبکه را توزیع می کند بلکه همچنین تاخیر در بسته داده را به حداقل می رساند. معماری و مدل ریاضی برای سیستم پیشنهادی در شکل 3 نشان داده شده است.



شکل 3. معماری NoC

راه حل ریاضی پیشنهادی برای تاخیر کلی در معماری

زمان مصرف در پردازش داده ها با استفاده از معادله ریاضی محاسبه شده همانطور که در زیر ذکر شد:

• $L =$

$$T_{is} + \sum_{j=1}^n (T_{in} + T_{ac} + T_{e_{cs}} + T_{out} + T_{int_{loc}}(T_{exe}) + T_{fout})$$

تأخیر زمان اجرا به شرح ذیل است:

$$E_l = T_{ac} + T_{e_{cs}} + \prod_{j=1}^n (T_{j,int_{loc}}(L_{j,exe}))$$

که

T_{is} = زمان انتظار اولیه

t_{in} - زمانی که طول می کشد به گره تزریق شود

T_{ac} = زمانیکه توسط کنترل کننده و آربیترا طول می کشد

$T(e_{cs})$ = زمان اجرا در سوئیچ ماتریسی

T_{out} = زمانیکه طول می کشد گره قرارداد داده شود

$T(\text{int_loc})$ = زمانیکه با فاصله محلی طول می کشد

T_{exe} = زمان اجرای وقفه

T_{fout} = زمان خروجی نهایی

زمان پردازش نیز بستگی به نوع جانمایی مورد استفاده آن دارد ، بنابراین بر اساس شایستگی و معایب بهترین جانمایی مناسب انتخاب می شود مانند مش یا توروس. مشکل پهنای باند می تواند با استفاده از سرعت انتقال بالا کاهش یابد

پهنای باند به شرح ذیل بررسی می شود:

D_s = اندازه بسته داده

B = سرعت انتقال .

عدم فعالیت با استفاده از الگوریتم کارآمد مانند روش راند روبین و غیره اجتناب می شود

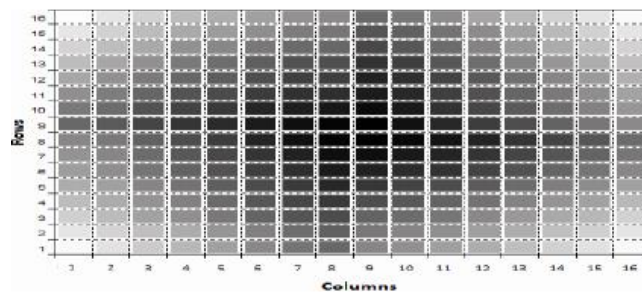
3. مدل شبیه ساز

شبیه سازی با استفاده از کامپایلر GCC آنلاین برای محاسبه تاخیر متوسط برای اندازه شبکه متفاوت مانند $44 \times x$ ، 8×8 و 16×16 در جانمایی مش انجام می شود. اندازه های شبکه فوق الذکر با استفاده از روش معمول مسیریابی XY و مسیریابی آگاه پیشنهادی توازن بار XY در این مقاله شبیه سازی می شود. میانگین زمان اخیر شبکه های وابسته با گره های متفاوت بررسی می شود. چرخه مناسب مبتنی بر $A C++$ در محرک تراشه شبکه برای ارزیابی عملکرد اندازه شبکه 16×16 استفاده می شود که با میزان متفاوت PIR تحت پارترهای بعدی انتخاب می شود. شبیه سازی برای عمق بافر 4 و اندازه نقل مکان 64 بیت با آستانه $DYAD$ 0.6 اجرا می شود. هر شبیه سازی در ابتدا برای 1000 چرخه و سپس 11000 چرخه برای هر شبیه سازی با تاخیر انتقال نقل مکان 1000 چرخه /تعداد اجرا می شود.

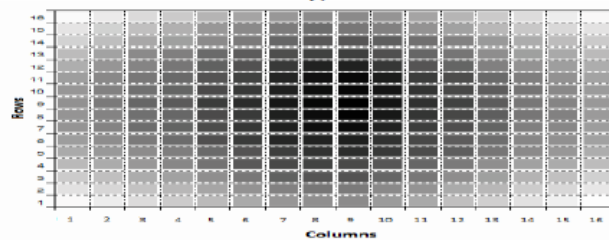
4. نتایج

1. ارزیابی عملکرد *LBAR* در مسیریابی *XY*

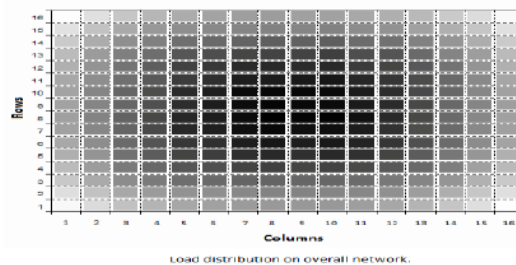
نتایج حاصل از اجرای الگوریتم مسیریابی *XY* در قسمت مرکزی شبکه مقدار بیشتری از ترافیک و بار دارد که به شدت عملکرد کلی سیستم را کاهش می دهد. بار در شبکه رنگ سیاه مشخص می شود. بار بیشتر در گره، رنگ مشکی تر می شود. توزیع بار از طریق شبکه به نتایج بهتر بر اساس تاخیر و ترافیک منجر خواهد شد. ترافیک در گره ها با نواحی گره های تاریکتر در شکل مشخص می شود. [6] [5] [4]. شکل 4، 5، 6 بار و توزیع آن را در شبکه توصیف می کند.



شکل 4

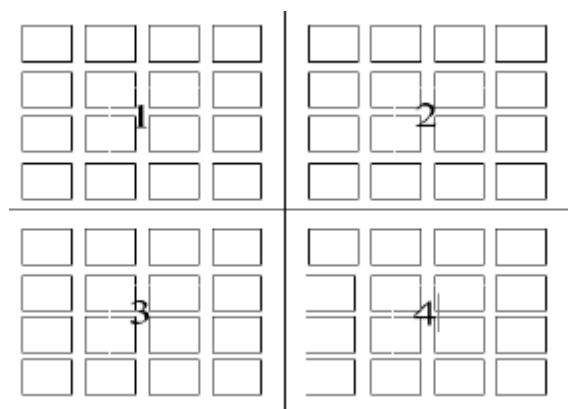


شکل 5



شکل 6

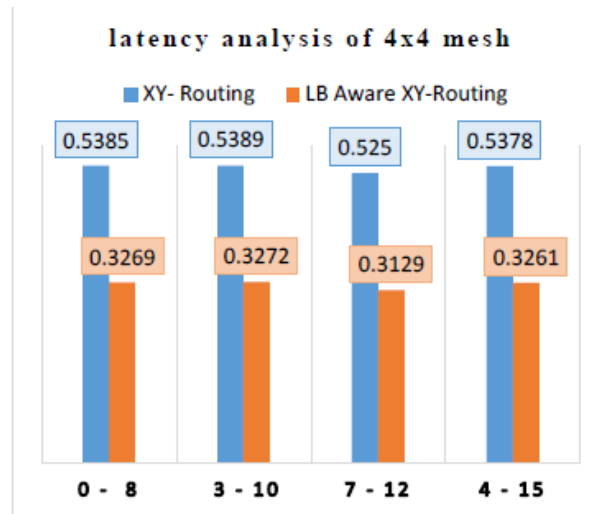
روش DC (تقسیم و حل) که برای به حداقل رساندن بارگذاری مازاد در گره ها، و نیز به حداقل رساندن تأخیر شبکه را بدون هیچ گونه نقصی مانند وقفه و بدون هیچ گونه شکست گره پیشنهاد می شود. ما روش شناسی را برای بهبود تاخیر و تراکم با تقسیم کل شبکه به چهار مربع مساوی و مسیر بسته بندی داده ها با استفاده از الگوریتم XY یعنی مسیر بسته بندی داده ها را ابتدا در جهت افقی و بعد در جهت عمودی همانند شکل پیشنهاد داده ایم.



شکل 7

جدول 1: تجزیه و تحلیل مش 4*4

شماره	ارتباط بین گره ها	تأخیر میانگین زمانی XY	تأخیر میانگین زمانی	حداقل درصد
			LBAR	
1.	0 - 8	0.5385	0.3269	39.29%
2.	3 - 10	0.5389	0.3272	39.28%
3.	7 - 12	0.5250	0.3129	40.4%
4.	4 - 15	0.5378	0.3261	39.36%



شکل 8

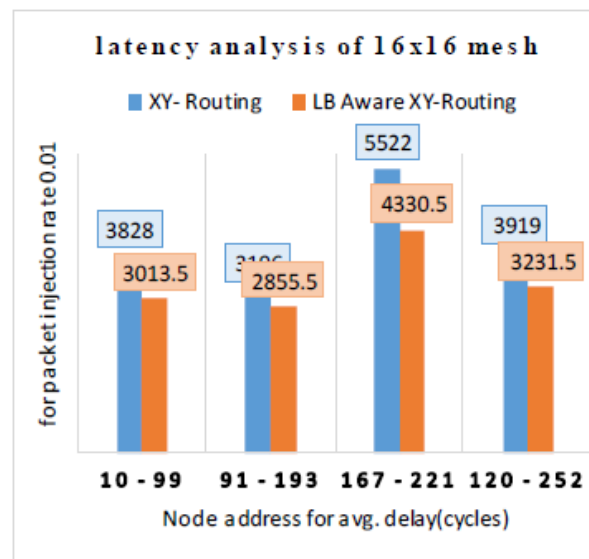
جدول 2: تجزیه و تحلیل تاخیر مش 8*8

شماره	ارتباط بین نره ها در مش	میانگین زمانی XY	میانگین تاخیر زمانی LBAR	حداقل درصد
1.	0 - 23	0.5981	0.3483	41.76 %
2.	13 - 40	0.6348	0.3527	44.43 %
3.	21 - 53	0.6537	0.3541	45.83 %
4.	25 - 61	0.6983	0.3619	48.17 %

هر ربع آزاد از وقفه و قفل موثر ساخته شده است. الگوریتم مسیریابی مشابه XY در LBAR با اختلافات کوچک در اجرای شباهت شبکه استفاده می شود. نتایج شبیه سازی حاصل از اجرای شبکه های 4*4 و 8*8 برای هر دو XY و LBAR مقایسه و متوجه شدند که تاخیر میانگین زمانی با استفاده از کامپایلر gcc در شکل تا 40 درصد کاهش یافته است. جانمایی مش 16*16 - D 2 در شبیه ساز نکسیم اجرا می شود و نتایج نشان می دهد که تاخیر میانگین زمانی در یک تاخیر به طور متوسط تا 25٪ کاهش یافته است.

جدول 3: تجزیه و تحلیل تاخیر مش 16*16 (برای مقدار تزریق بسته 0.01).

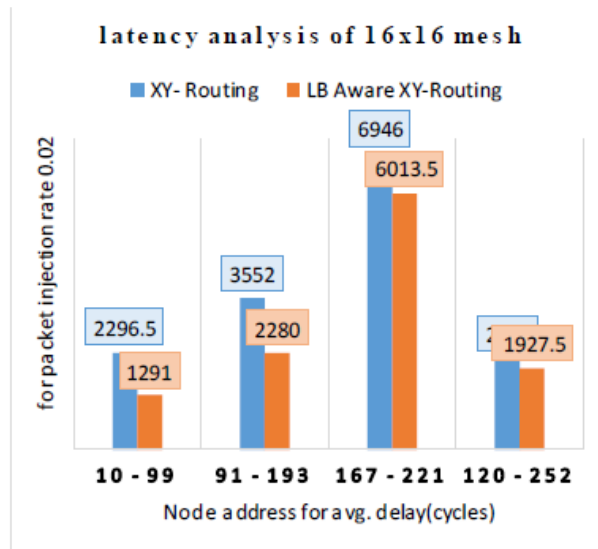
شماره	بررسی گره ها	میانگین تاخیر	میانگین تاخیر	حداقل درصد
		زمانی	زمانی	
		XY	LBAR	
1.	10 – 99	3828	3013.5	21.27%
2.	91 – 193	3196	2855.5	10.65%
3.	167 – 221	5522	4330.5	21.57%
4.	120 – 252	3919	3231.5	17.54%



شکل 10:

جدول 4: تجزیه و تحلیل تاخیر مش 16 × 16 مش (برای میزان تزریق بسته 0.02)

شماره	بررسی گره	میانگین تاخیر	میانگین تاخیر	حداقل درصد
		زمانی	زمانی	
		XY	LBAR	
1.	10 - 99	2296.5	1291	43.78%
2.	91 - 193	3552	2280	35.81%
3.	167 - 221	6946	6013.5	13.42%
4.	120 - 252	2147	1927.5	10.22%

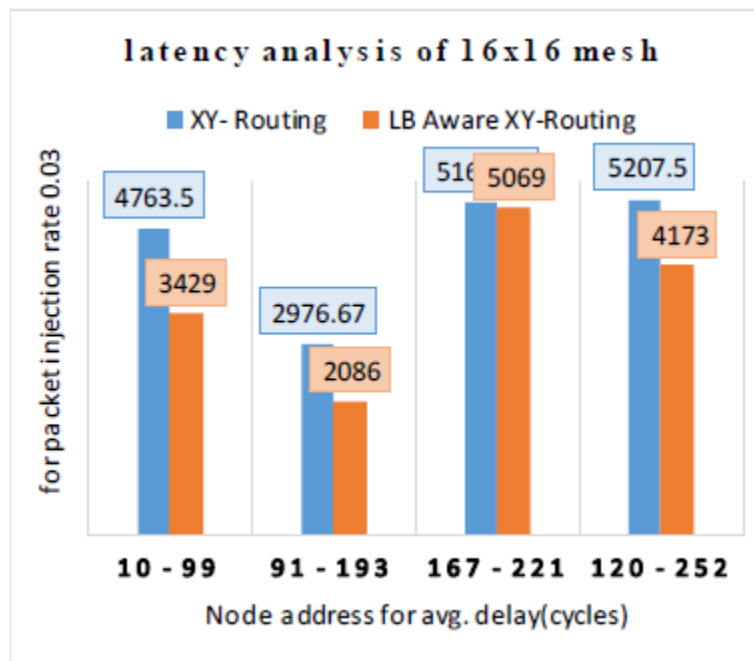


شکل 11:

بر فرض مثال زمانی که تاخیر در PIR 0.02 برای گره های مختلف و برای هر دو روش بررسی می شود. هنگامی که مقدار تاخیر برای گره های 91 تا 193 گرفته می شود، مقدار تاخیر 3552 مگابایت و 2280 مگابایت برای سنتی XY و LBAR به ترتیب کاهش تاخیر را تا 35.81٪ دارد و مقادیر تاخیر برای تجزیه و تحلیل اندک بیان می شود. همانطور که ذکر شد، به طور متوسط تاخیر کلی شبکه به 25 درصد کاهش یافته است. همچنین بار در بخش مرکزی شبکه برای گره های همسایه و شبکه توزیع می شود که همچنین یک معیار اصلی در افزایش کارایی و توان سیستم است. بار شبکه با تیره شدن منطقه پر تراکم در شبکه نشان داده می شود. افزایش ترافیک در گره باعث افزایش تاریکی شبکه می شود. نتایج شبیه سازی نشان می دهد که بار در شبکه کاهش و در سراسر شبکه گسترش می یابد.

جدول 5: تجزیه و تحلیل تاخیر مش 16*16 (برای میزان تزریق بسته 0.03)

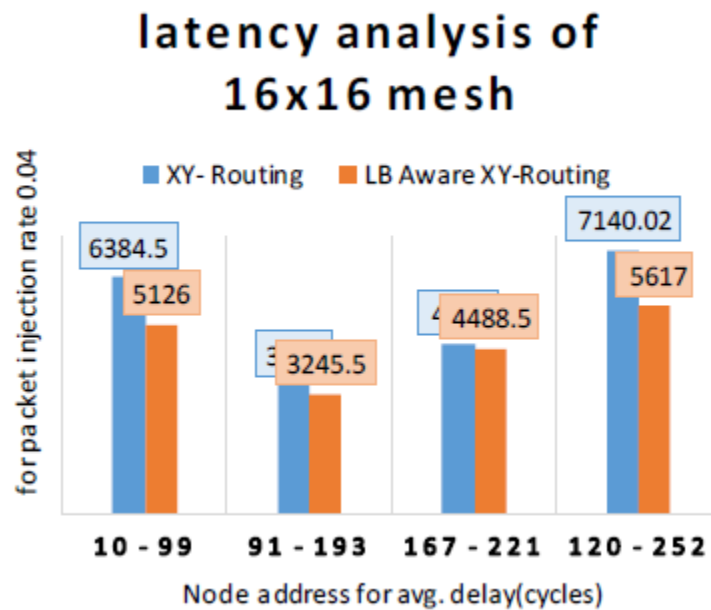
شماره	بررسی نگره	تاخیر میانگین زمانی XY	تاخیر میانگین زمانی LBAR	حداقل درصد
1.	10 – 99	4763.5	3429	28.01%
2.	91 – 193	2976.67	2086	29.92%
3.	167 – 221	5164.64	5069	1.85%
4.	120 – 252	5207.5	4173	19.86%



شکل 12

جدول 6: تجزیه و تحلیل تاخیر مش 16*16 (برای میزان تزریق بسته 0.04)

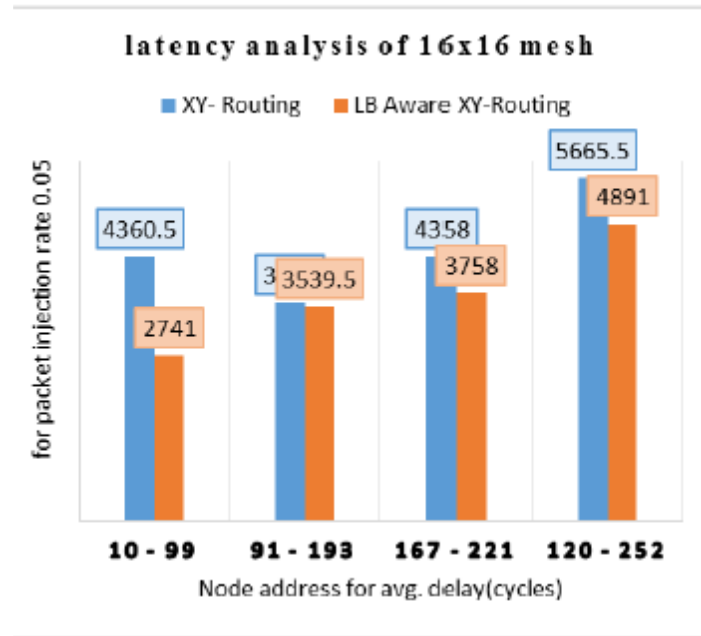
شماره	بررسی گره	میانگین تاخیر زمانی XY	میانگین تاخیر زمانی LBAR	حداقل درصد
1.	10 - 99	6384.5	5126	19.71%
2.	91 - 193	3470	3245.5	6.46%
3.	167 - 221	4607	4488.5	2.57%
4.	120 - 252	7140.02	5617	21.33%



شکل 13

جدول 7: تجزیه و تحلیل تاخیر مش 16×16 مش (برای میزان تزریق بسته 0.05)

شماره	بررسی گره	مسیریابی XY-	LB مسیریابی آگاه XY-	حداقل درصد
1.	10 - 99	4360.5	2741	37.14%
2.	91 - 193	3610	3539.5	1.95%
3.	167 - 221	4358	3758	13.76%
4.	120 - 252	5665.5	4891	13.67%



شکل 14

5. نتیجه گیری

در این مقاله الگوریتم XY و LBAR متعارف را بررسی کردیم. ما تخفیف های تجاری مانند میانگین تاخیر، اندازه شبکه و بار در کل شبکه معماری NOC را برآورد کردیم. شبیه سازی های ما نشان داد که مسیریابی XY دارای بار بیشتری در مرکز شبکه می باشد. همچنین مشاهده شد که تاخیر و عملکرد شبکه در مورد الگوریتم مسیریابی سنتی XY کاهش می یابد. الگوریتم پیشنهادی LBAR نتایج خوبی از نظر میانگین تاخیر و عملکرد کلی سیستم با استفاده از روش تقسیم و حل نشان داد. بار در مرکز شبکه با تقسیم شبکه به یک چهارم و توزیع پهنای باند در میان گره کاهش می یابد.

کار آینده ما شامل اجرای الگوریتم ها با استفاده از انسداد در گره ها با اجرای پارامتر می باشد (الگوریتم مسیریابی آگاه مسیر) که باعث خراب شدن و قفه و قفل موثر در صورت شکستگی گره می شود. این مقدار زیادی از تفاوت در شرایط زمان و بار در کل سیستم را نشان می دهد.

References

- [1] Luca Benini University of Bologna, Giovanni De Micheli Stanford University, "Networks on Chips: A New SoC Paradigm" in 2002 IEEE.
- [2] Masood Dehyadgari, Mohsen Nickray, Ali Afzalikusha, Zainalabein Navabi, "Evaluation of Pseudo Adaptive XY Routing Using an Object Oriented Model for NOC" in 2005 IEEE.
- [3] Jili Yan, "Enhanced global congestion awareness (EGCA) for load balance in networks-on-chip" in Springer Science+Business Media New York 2015.
- [4] Kevin Chang and Sujay Deb, Amlan Ganguly, Xinmin Yu, Suman Prasad Sah, Partha Pratim Pande, Benjamin Belzer, and Deukhyoung Heo, "Performance Evaluation and Design Trade-Offs for Wireless Network-on-Chip Architectures" in ACM Journal on Emerging Technologies in Computing Systems, Vol. 8, No. 3, Article 23, Pub. date: August 2012.
- [5] Mukund Ramakrishna, Vamsi Krishna Kodati, Paul V. Gratz, Member, IEEE, and Alexander Sprintson, "GCA: Global Congestion Awareness for Load Balance in Networks-on-Chip", IEEE TRANSACTIONS ON PARALLEL AND DISTRIBUTED SYSTEMS, VOL. 27, NO. 7, JULY 2016.
- [6] Alexander Heinecke, Karthikeyan Vaidyanathan, Mikhail Smelyanskiy, Alexander Kobotov, Roman Dubtsov, Greg Henry, Aniruddha G. Shet, George Chrysoy, Pradeep Dubey "Design and Implementation of the Linpack Benchmark for Single and Multi-Node Systems Based on Intel Xeon Phi TM Coprocessor" in 2013 IEEE 27th International Symposium on Parallel & Distributed Processing.
- [7] Abbas Eslami Kiasari, Zhonghai Lu and Axel Jantsch, "An Analytical Latency Model for Networks-on-Chip" in January 2013 IEEE TRANSACTIONS ON VERY LARGE SCALE INTEGRATION (VLSI) SYSTEMS, VOL. 21, NO. 1, JA.
- [8] John D. Owens University of California, Davis William J. Dally Stanford University, Ron Ho Sun Microsystems, D.N. (Jay) Jayasimha Intel Corporation, Stephen W. Keckler University of Texas at Austin, Li-Shiuan Peh Princeton University "RESEARCH CHALLENGES FOR ON-CHIP INTERCONNECTION NETWORKS" in 2007 Published by the IEEE Computer Society.
- [9] Yongfeng Xu, Jianyang Zhou, Shunkui Liu Department of electronic engineering, "Research and Analysis of Routing Algorithms for NoC", in 2011 IEEE.
- [10] Jose Miguel Montañana, Michihiro Koibuchi, Hiroki Matsutani, Hideharu Amano, "Balanced Dimension-Order Routing for k-ary n-cubes" in 2009 International Conference on Parallel Processing Workshops.
- [11] Garba Adamu, Mr. Pankaj Chejara, Dr. Ahmed Baita Garko, "REVIEW OF DETERMINISTIC ROUTING ALGORITHM FOR NETWORK-ON-CHIP", in September 2015 International Journal Of Advance Research In Science And Engineering Vol.No.4, Special Issue (01).
- [12] M. Venkateswara Rao, T. V. Rama Krishna, S. Raaga Sai Sruthi, S. Akhila, Y. Gopi and L. Bhavani Krishna, "An Effective on-Chip Network Topology for Network on Chip (Noc) Trade-Offs" in Indian Journal of Science and Technology, Vol 9(17), May 2016.
- [13] Ahmad Patooghy, Seyed Ghassem Miremadi Department of Computer Engineering, Sharif University of Technology, Tehran, Iran, "Microprocessors and Microsystems" in 2010 Elsevier B.V. All rights reserved.
- [14] William J. Dally and Brian Towles Computer Systems Laboratory Stanford University Stanford, CA 94305, "Route Packets, Not Wires: On-Chip Interconnection Networks" in International Conference on Design Automation, pages 684–689, 2001.
- [15] Robert Mullins, Andrew West and Simon Moore, "Low-Latency Virtual-Channel Routers for On-Chip Networks" Proceedings of the 31st Annual International Symposium on Computer Architecture (ISCA'04) 1063-6897/04 \$ 20.00 © 2004 IEEE.
- [16] Pengju Ren, Member, IEEE, Xiaowei Ren, Sudhanshu Sane, Michel Kinsy Member, IEEE and Nanning Zheng, Fellow, IEEE, "A Deadlock-Free and Connectivity-Guaranteed Methodology for Achieving Fault-tolerance in On-chip Networks" in , IEEE Transactions on Computers.
- [17] Shubhangi D Chawade, Mahendra A Gaikwad, Rajendra M Patrikar, "Review of XY Routing Algorithm for Network-on-Chip Architecture" in International Journal of Computer Applications (0975 – 8887) Volume 43– No.21, April 2012.
- [18] Mohsen Nickray, Masood Dehyadgari, Ali Afzalikusha, "Adaptive Routing Using Context-Aware Agents for Networks on Chips" in 2009 IEEE.
- [19] Wang Zhang, Ligang Hou, Jinhui Wang, Shuqin Geng, Wuchen Wu, "Comparison Research between XY and Odd-Even Routing Algorithm of a 2-Dimension 3X3 Mesh Topology Network-on-Chip" in 2009 IEEE computer society.
- [20] Lalit Kishore Arora, Raj Kumar, "Alternatives of XY-Routing for Mesh" in Special Issue of International Journal of Computer Applications (0975 – 8887) on Issues and Challenges in Networking, Intelligence and Computing Technologies – ICNICT 2012, November 2012.
- [21] Paul Gratz, Boris Grot, Stephen W. Keckler, "Regional Congestion Awareness for Load Balance in Networks-on-Chip" in 2008 IEEE.
- [22] T. Padmapriya and V. Saminadan, "Priority based fair resource allocation and Admission Control Technique for Multi-user Multi-class downlink Traffic in LTE-Advanced Networks", International Journal of Advanced Research, vol.5, no.1, pp.1633-1641, January 2017.