

مطالعه شبیه سازی در مورد ترانزیستورهای اثر میدانی کانال کوتاه دو-گیت بدون پیوند

چکیده

ما ویژگی های FET های (JL) کانال کوتاه گیت-دوبل (DG) بدون پیوند را توسط شبیه سازی ادوات مطالعه می نماییم. تنزل های مشخصه خروجی I-V مشخصه مانند یک طول کانال بسیار کاهش یافته موجب القای افزایش شیب زیرآستانه و تغییر ولتاژ آستانه به علت تغییرات دوپینگ بدنه می شود و طول کانال به طور نظام مند مورد تجزیه و تحلیل قرار خواهد گرفت. توزیعات غلظت الکترون، میدان و پتانسیل الکتریکی در منطقه کانال بدنه نیز تحلیل می شوند. مقایسه ها با FET های حالت-وارونگی مرسوم (IM)، که می تواند مزایای استفاده از FET های JL را نشان دهد نیز انجام شده است.

واژه های کلیدی: اثر کانال کوتاه؛ گیت-دوبل؛ ترانزیستور اثر میدانی بدون پیوند؛ شبیه سازی ادوات

1. مقدمه

در حال حاضر، هنگامی که ابعاد MOSFET در ده ها نانومتر کوچکتر مقیاس بندی می شوند، اثر کانال کوتاه (SCE) به طور جدی بر رفتار ادوات تاثیر می گذارد. در مقیاس نانو، تاثیر SCE بر ویژگی های مرسوم ماسفت های مرسوم را نمی توان نادیده گرفت. به منظور کاهش این تاثیر، ساختارهای چند-گیت ای مانند گیت-دوبل (DG)، اطراف-گیت و FET-Fin ها، که می توانند SCE را حذف نمایند و ظرفیت کنترل جریان را بهبود بخشند، پیشنهاد شده است. [1-3] با این حال، تحقق مشخصات فرا-تند دوپینگ بین (برای مثال) یک منطقه نوع n سورس / درین (S / D) و یک منطقه بدنه نوع-p، هنوز هم یک چالش بزرگ برای تولید ماسفت چند گیت در مقیاس نانو است [4]. برای حل این مشکل، نوع جدیدی از ماسفت، به نام ترانزیستورهای اثر میدانی بدون پیوند (FET های JL)، مطرح شده است. در

مقایسه با ماسفت های معمولی حالت-وارونگی (IM) ، FET های JL به هیچ اتصال p-n برای شکل تشکیل بین منطقه S / D و منطقه کانال بدنه که می تواند به عنوان ادوات JL MOSFET نوع-n-n-n (کانال n) یا نوع-p-p-p (کانال p) دیده شود، نیاز ندارند. دستیابی به یک عملکرد خوب در FET های JL ساخته شده در یک ویفر SOI آسان تر است. به عنوان مثال نگاهی به JFET نوع-n-n-n می اندازیم؛ توسط لوله کشی الکترون ها را از منطقه بدنه توسط نیروی میدان الکتریکی گیت برای تهی ساختن کامل بدنه در بایاس گیت خاموش می شود. فیلم های سیلیکون نازک تر، آسانتر از کانال جلوگیری می کنند و سپس منطقه کانال به تخلیه کامل می رسد. از نقطه نظر توزیع پتانسیل الکتریکی، باند انرژی کانال به علت کاهش ولتاژ گیت خمیده می شود و یک مانع قوی بین سورس و درین تشکیل می شود که جریان الکترون ها از سورس به درین را دشوار می سازد. زمانی که بایاس گیت افزایش می یابد، تخلیه منطقه بدنه به تدریج از بین می رود. با افزایش غلظت الکترون، مقاومت نیز کاهش می یابد. هنگامی که غلظت الکترون به غلظت دوپینگ بدنه ND می رسد، منطقه کانال زیر گیت از نظر الکتریکی خنثی می شود. افزایش بیشتر ولتاژ گیت موجب افزایش تجمع الکترون در واسطه بین اکسید گیت و فیلم سیلیکون می شود. این باعث می شود که مقاومت دستگاه تا حد زیادی کاهش یابد و یک حالت رسانای خوب تحت یک ولتاژ خاص درین-به-سورس تشکیل شود. سپس دستگاه روشن می شود. بنابراین، متفاوت از ماسفت های IM سنتی نوع n-p-n یا نوع p-n-p، FET های بدون پیوند از حامل های اکثریت برای حمل و نقل بین سورس و درین استفاده می کنند. این بدان معناست که این یک MOSFET حالت انباشت است. از نقطه نظر ماکروسکوپی، گیت به عنوان یک سوئیچ کنترل خوب عمل می کند که دستگاه را در بایاس گیت پایین خاموش می کند و در بایاس گیت بالا روشن می کند، مبتنی بر این فرض که فیلم سیلیکون به اندازه کافی نازک است. این نوع دستگاه نه تنها اطمینان می دهد که دستگاه به خوبی می تواند مانند یک MOSFET معمولی کار کند، بلکه از نیاز به سوئیچینگ گرادیان غلظت دوپینگ تیز از نوع n به نوع p جلوگیری می کند. این نوع از ماسفت ها تا حد زیادی الزامات فرآیند ساخت را کاهش می دهند. در حال حاضر، برخی از گروه های تحقیقاتی، برخی از مطالعات مرتبط با FET های JL با یک ساختار گیت-دوبل را انجام داده اند، از جمله تحقیق در مورد مبانی نظری برای درک بهتر رفتار دستگاه. [5] تجزیه و تحلیل ویژگی های حالت

روشن دستگاه در ولتاژهای درین مختلف و پتانسیل تحت شرایط عملیاتی مختلف [6t] و غیره. همه این تحلیل های فوق با این فرض انجام می شوند که طول کانال به اندازه کافی بلند است، بنابراین، SCEها نادیده گرفته می شوند. همچنین برخی از تحقیقات دیگر ابتدائاً عملکردهای ترانزیستور نانوسیم سیلیکونی بدون پیوند را از نظر SCEها مطالعه نمودند، مانند ویژگی های حالت-روشن، ویژگی های خروجی و دمای شیب زیرآستانه دمای-اتاق به عنوان تابعی از ولتاژ گیت [7]. با این حال، ارائه یک مطالعه مفصل تر در مورد ویژگی های عملیاتی آن در وضعیت SCEها لازم است.

هدف اصلی از این کار، بررسی ویژگی های FET های DG JL کانال کوتاه توسط شبیه سازی ها با استفاده از Atlas SILVACO است [8] تاثیر روی ویژگی های تغییر ادوات در پارامترهای طراحی مانند دوپینگ بدنه، ضخامت بدنه سیلیکون، و طول کانال به طور نظام مند انجام شده است. همچنین، ما تفاوت بین FET های JL با مسافت های DG معمول را مقایسه می کنیم و یک تجزیه و تحلیل دقیق را بر اساس اصل FET های DG JL با نشان دادن توزیعات چگالی الکترون در حالت-روشن، میدان الکتریکی، و پتانسیل در منطقه کانال بدنه سیلیکون FET های DG JL ارائه می دهیم. در این مقاله، ضخامت بدنه سیلیکون t_b در هر دستگاه بدون پیوند، بالا و یا برابر با 5 نانومتر است، به طوری که اثر کوانتومی را می توان نادیده گرفت. 9..

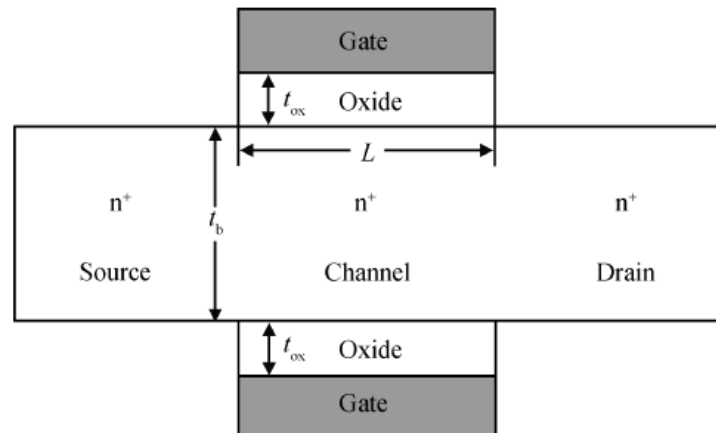
2. شبیه سازی ویژگی ها

2.1. مشخصات حالت روشن و مشخصات خروجی

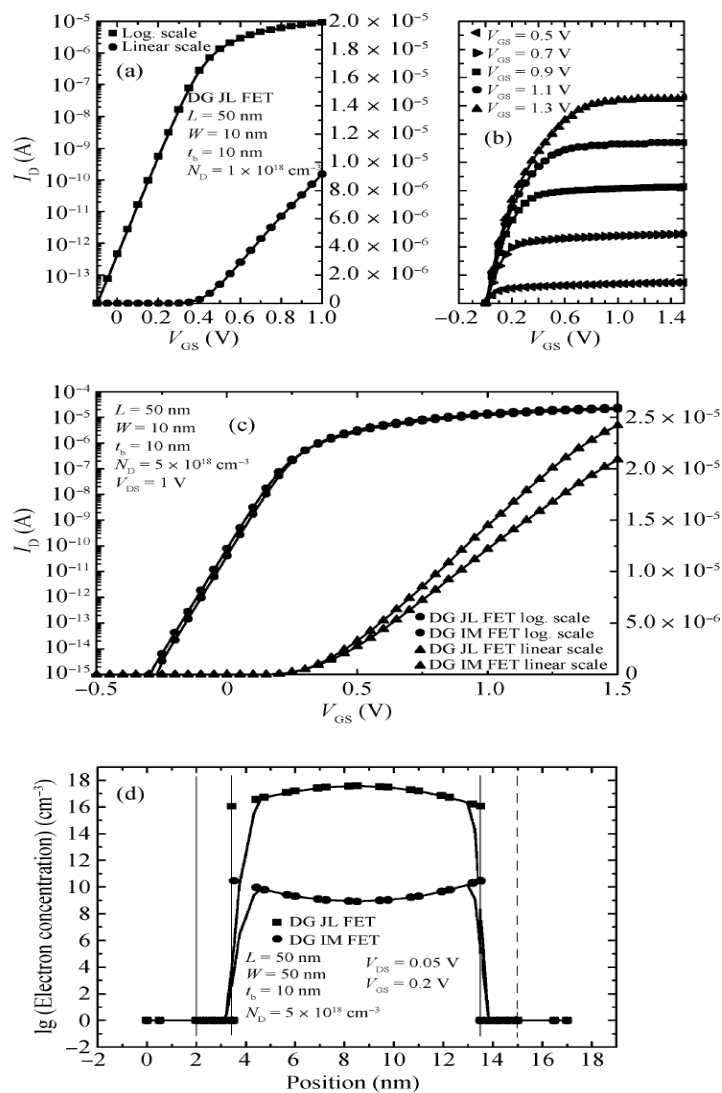
شکل 1 نمای شماتیک دو-بعدی از FET های DG JL را نشان می دهد. در اینجا، L طول کانال است. t_b و TOX به ترتیب ضخامت بدنه سیلیکون و اکسید گیت می باشند. عرض کانال به صورت W_{ND} مشخص می شود و NA نشان دهنده غلظت ناخالصی یکنواخت FET های نوع n و نوع p است. منطقه S / D و منطقه بدنه یک FET JL دارای نوع دوپینگ و غلظت یکسان هستند. بالا و پایین دستگاه دارای یک الکتروود گیت برای کنترل دستگاه است.

به عنوان مثال، به FET های نوع-n DG JL نگاه کنید. ما 1.5 TOX نانومتر را برای هر دستگاه تعریف می کنیم و FET های DG JL را با استفاده از SILVACO ATLAS شبیه سازی می کنیم.

پارامترهای طراحی FET های DG JL به صورت $L = 30 \text{ nm}$, $W = 10 \text{ nm}$, $t_b = 10 \text{ nm}$, $N_D = 1 \times 10^{18} \text{ cm}^{-3}$ انتخاب می شوند. شکل 2 (a) نشان دهنده مشخصات حالت-روشن DG JL FET با ولتاژ درین به سورس $V_{DS} = 1 \text{ V}$ است. شکل 2 (b)، نمودار مشخصات خروجی همان DG JL FET برای یک ولتاژ گیت به سورس V_{GS} بین 0.5 و 1.3 V در پله های 0.2 V را نشان می دهد. یک مقایسه مشخصات حالت-روشن بین DG JL FET و DG IM FET در شکل 2 (c) نشان داده شده است. در اینجا، هر دو پارامترهای دستگاه، $N_D = N_A = 5 \times 10^{18} \text{ cm}^{-3}$, $L = 50 \text{ nm}$, $W = 10 \text{ nm}$, $t_b = 10 \text{ nm}$ هستند. ولتاژ آستانه JL FET، V_T ، کوچکتر از ولتاژ آستانه IM FET با همان V_{DS} است ($V_{DS} = 1 \text{ V}$). ولتاژ آستانه مسافت سنتی، برابر با ولتاژ آستانه FET های DG JL تنظیم می شود. می توان از شکل دید که FET DJ JL دارای ویژگی بسیار مشابه با DG IM MOSFET است. شکل 2 (d)، مقایسه توزیع غلظت الکترون بین دو دستگاه فوق با $V_{GS} = 0.2 \text{ V}$ و $V_{DS} = 0.05 \text{ V}$ در جهت عمود بر کانال در نقطه $L/2$ را نشان می دهد. تاثیر ادوات V_{DS} را هنگامی می توان نادیده گرفت که $V_{DS} = 0.05 \text{ V}$. تحت شرایط مشابه، غلظت الکترون FET های JL بالاتر از مسافت های معمولی است، که توضیح می دهد در این مورد، JL FET به یک V_{GS} کوچکتر برای روشن شدن نیاز دارد و منجر به ولتاژ آستانه پایین تر می شود.



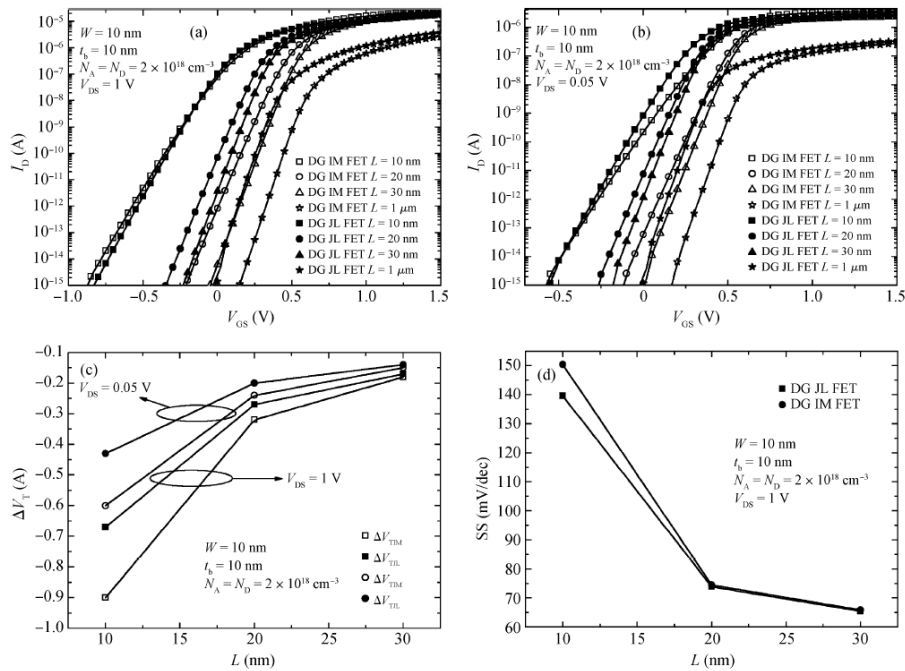
شکل 1. نمای شماتیک دوبعدی از یک DG JL FET. منطقه S / D و منطقه بدنه JL FET دارای همان نوع دوپینگ و غلظت است. L, طول کانال است. t_b و t_{ox} به ترتیب ضخامت های بدنه سیلیکون و اکسید گیت.



شکل 2. مشخصات حالت-روشن DG JL FET با $V_{DS} = 1 \text{ V}$. (b) مشخصات خروجی DG JL FET برای V_{GS} بین 0.5 و 1.3 V در پله های 0.2 V. پارامترهای دستگاه $L = 30$ نانومتر، $W = 10$ نانومتر، $t_b = 10$ نانومتر، $N_D = 1 \times 10^{18} \text{ cm}^{-3}$. (c) مقایسه مشخصات حالت-روشن بین DG JL FET و DG IM FET. ما ولتاژ آستانه MOSFET معمولی را برابر با V_T های DG JL FET تنظیم می کنیم. دو منحنی مشابه هستند. (d) مقایسه توزیع غلظت الکترون بین دو دستگاه فوق با همان $V_{GS} = 0.2 \text{ V}$ و $V_{DS} = 0.05 \text{ V}$ در جهت

عمود بر کانال در نقطه $L/2$. پارامترهای هر دو دستگاه $L = 50$ نانومتر، $W = 10$ نانومتر، $t_b = 10$ نانومتر و

$$N_D = N_A = 5 \times 10^{18} \text{ cm}^{-3}$$



2.2. اثر طول کانال

2.2.1. تاثیر طول کانال در ولتاژ آستانه

شکل 3 (a) مقایسه مشخصات حالت-روشن ادوات بدون پیوند و سنتی را نشان می دهد. انواع دوپینگ بدنه دو نوع دستگاه، نوع n و نوع p هستند و غلظت های دوپینگ، هر دو $2 \times 10^{18} \text{ cm}^{-3}$ هستند. ضخامت های دو ادوات، 10 نانومتر هستند و تغییرات طول کانال هر دو در 10 نانومتر، 20 نانومتر، 30 نانومتر، و 1 میکرومتر تنظیم می شوند. V_{DS} در 1 ولت تنظیم می شود. همانطور که نشان داده است، ولتاژهای آستانه دو دستگاه با کاهش طول های کانال و تغییر V_T در ماسفت های DG JL کوچکتر از ماسفت های DG IM است که بدان معنیست که طول کانال کوتاه تر دارای تاثیر کمتر بر ماسفت های DG JL نسبت به ماسفت های DG IM است. شکل 3 (b)، مشخصات حالت-روشن ادوات با $V_{DS} = 0.05$ V را نشان می دهد. بنابراین می توانیم تاثیر V_{DS} در ادوات را نادیده بگیریم. هر دو ولتاژهای آستانه زمانی کاهش می یابند که طول کانال کوتاه تر می شود، اما همچنین مشاهده می شود که تاثیر ماسفت های DG JL در V_T کوچکتر است. در مورد $V_{DS} = 1$ V و $V_{DS} = 0.05$ V، تفاوت بین V_T با $L = 1$ متر

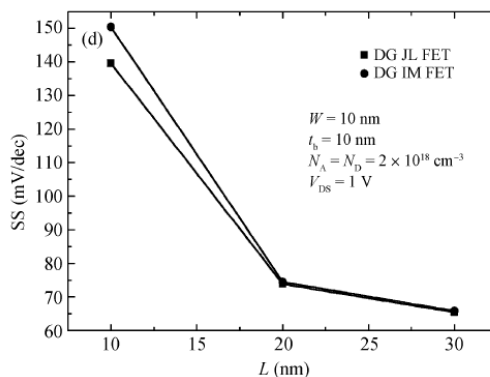
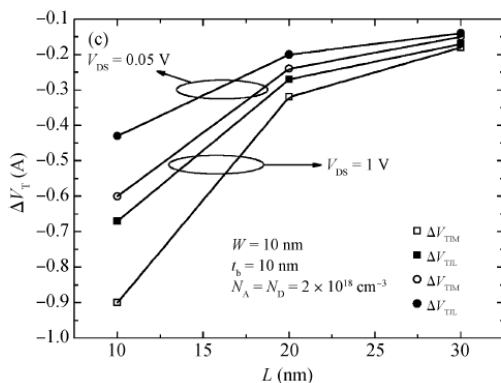
و V_T با $L = 10$ نانومتر، 20 نانومتر، 30 نانومتر را به ترتیب برای بدون MOSFET پیوند و سنتی DG، محاسبه می نماییم. منحنی طول کانال- ΔV_T در شکل 3(c) نشان داده شده است. از نمودار، تاثیر تغییر طول کانال روی ولتاژهای آستانه در هر دو نوع از ادوات را به طور مستقیم می توان دید. هنگامی که طول کانال به 10 نانومتر کاهش می یابد، حتی در V_{DS} پایین تر از 0.05 V، تغییر ولتاژ آستانه DG IM MOSFET حدود 0.6 V است، اما تغییر ولتاژ آستانه DG JL MOSFET در حدود 0.43 ولت است. نتیجه، برای ولتاژ درین به سورس بالاتر یکسان است.

2.2.2. اثر طول کانال بر شیب زیر آستانه

شیب زیر آستانه (SS) بر مصرف برق فعلی و مبدل تاثیر می گذارد که به عنوان شیب ولتاژ گیت در مقابل لگاریتم جریان درین زیر آستانه (dec / MV) تعریف می شود.

$$SS = \frac{dV_G}{d \lg I_D}$$

مقدار گرفته شده به عنوان SS، چشمگیرترین تغییر در منطقه زیر آستانه است. SS نیز یک کمیت فیزیکی مهم برای اندازه گیری سرعت تبدیل دستگاه از حالت خاموش به حالت باز است [4] و سرعت دستگاه برای باز کردن را نشان می دهد. هر قدر SS یک دستگاه کوچکتر باشد، دستگاه سریع تر باز می شود. ما SSهای DG JL FET و DG IM FET بالا را با همان پارامترها برای $L = 10$ نانومتر، 20 نانومتر و 30 نانومتر شبیه سازی می کنیم. شکل 3 (d) منحنی SS-L دو دستگاه را نشان می دهد. دیده می شود که SS با کاهش L افزایش می یابد. با این حال، تاثیر SS از L از DG JL FET کوچکتر از DG IM FET است.



شکل 3. تاثیر طول کانال ادوات بدون پیوند و معمولی. (a) مقایسه مشخصات حالت-روشن در ادوات بدون پیوند و

معمولی است. دو پارامتر دستگاه $W = 10$ نانومتر، $tb = 10$ نانومتر و $N_D = N_A = 2 \times 10^{18} \text{ cm}^{-3}$,

هستند و این تغییرات طول کانال هر دو در 10 نانومتر، 20 نانومتر، 30 نانومتر و 1 میکرومتر تنظیم می شوند.

V_{DS} در 1 ولت تنظیم می شود. (b) مشخصات حالت-روشن دو دستگاه برای $V_{DS} = 0.05 \text{ V}$. در هر دو شرایط

تنظیم شده بالا، ولتاژهای آستانه دو دستگاه با کاهش طول های کانال کاهش می یابند و تغییر ماسفت های بدون

پیوند DG کمتر از ماسفت های DG معمولی است. (c) منحنی طول کانال ΔV_T . اختلاف بین ولتاژ آستانه با $L =$

1 نانومتر و ولتاژ آستانه با $L = 10$ نانومتر، 20 نانومتر، 30 نانومتر در ماسفت های بدون پیوند و DG معمولی را

محاسبه کنید. (d) اثر طول کانال روی SS. تغییر L را برآید نوع دستگاه تا 10 نانومتر، 20 نانومتر و 30 نانومتر

تغییر دهید. SS با کاهش L افزایش می یابد و تاثیر SS از L در DG JL FET کوچکتر از DG IM FET است.

2.3. تاثیر غلظت دوپینگ

ما مورد DG JL FET با $L = 30$ نانومتر، $W = 10$ نانومتر، $tb = 10$ نانومتر را در نظر می گیریم. با غلظت های

دوپینگ مختلف نانوسیم، $1 \times 10^{18} \text{ cm}^{-3}$ ، $5 \times 10^{17} \text{ cm}^{-3}$ ، $1 \times 10^{14} \text{ cm}^{-3}$ ،

$2 \times 10^{19} \text{ cm}^{-3}$ ، $1 \times 10^{19} \text{ cm}^{-3}$ ، $1 \times 10^{18} \text{ cm}^{-3}$ ، مشخصات حالت-روشن آنها را مقایسه می کنیم،

همانطور که در شکل (a) 4 نشان داده شده است. می توانیم مشاهده کنیم که V_T با اضافه نمودن غلظت دوپینگ

کانال کاهش می یابد. غلظت دوپینگ بالاتر باعث غلظت الکترون عالی در منطقه بدنه برای همان V_{GS} می شود. به

عبارت دیگر، برای مورد دوپینگ بالاتر، حامل های اصلی در کانال حاضر خواهند بود و تهی ساختن کامل منطقه

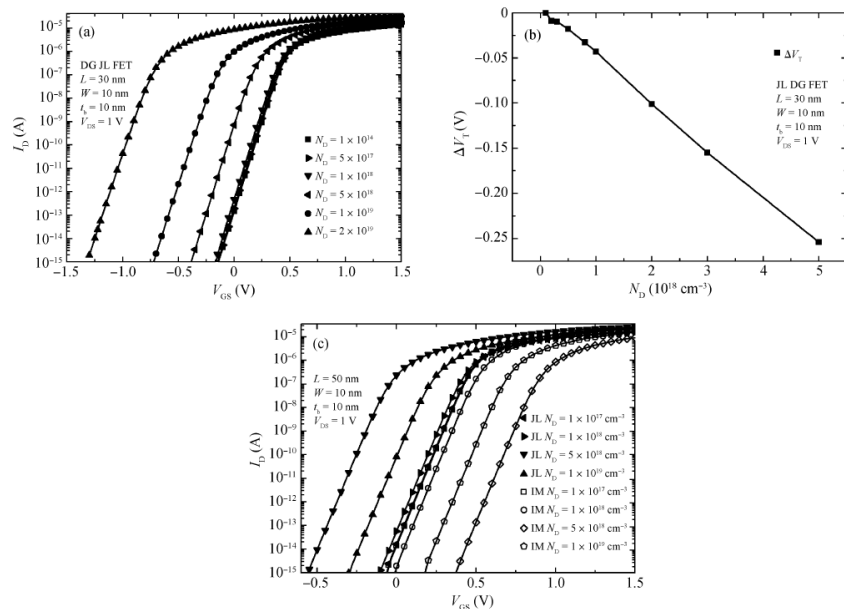
بدنه سخت تر را مشکل تر می سازد. هنگامی که غلظت دوپینگ برای تخلیه کامل، بیش از حد بالا است، در جهت

تحقق عدم حرکت الکترون ها در کانال، نیاز به یک ولتاژ منفی داریم. V_T دستگاه در این زمان منفی است. ما تفاوت

های بین V_T ولتاژ آستانه را به ترتیب با غلظت های مختلف دوپینگ بدنه ماسفت های DG JL محاسبه می نماییم و

منحنی نشان داده شده در شکل 4 (b) را ترسیم می کنیم. به وضوح می توانیم تغییر در ولتاژ آستانه را با غلظت

کانال دوپینگ مشاهده نماییم. از آنجا که FET های JL از حامل های اکثریت برای روشن شدن استفاده می کنند، هر قدر غلظت دوپینگ دستگاه بیشتر باشد، حامل های اکثریت که کانال خواهد داشت، بیشتر خواهد بود و VGS که ما برای رسانایی دستگاه نیاز داریم، پایین تر خواهد بود. بنابراین، VT از FET های JL با افزایش غلظت دوپینگ کاهش می یابد. در حالی که ماسفت های معمولی به جای آن از حامل های اقلیت استفاده می کند. غلظت بیشتر کانال دوپینگ باعث سخت تر شدن تشکیل لایه وارونگی می شود؛ VGS بالاتر برای روشن شدن دستگاه مورد نیاز است. بنابراین، ولتاژهای آستانه ماسفت های معمولی با افزایش غلظت کانال دوپینگ افزایش می یابد. شکل 4 (c) یک مقایسه بین FET های JL و MOSFET معمولی با غلظت های دوپینگ متفاوت را نشان داده است. دو نوع ادوات دارای پارامترهای یکسان هستند که $L = 50$ نانومتر، $W = 10$ نانومتر، $tb = 10$ نانومتر، و در نتیجه غلظت دوپینگ متفاوت به $1 \times 10^{19} \text{ cm}^{-3}$ و 10^{17} cm^{-3} , $1 \times 10^{18} \text{ cm}^{-3}$, $5 \times 10^{18} \text{ cm}^{-3}$ برای انواع مختلف دوپینگ تنظیم می شود. شرایط مختلف تغییر ولتاژ آستانه با غلظت دوپینگ FET های JL و MOSFET های معمولی را می توان دید.



شکل 4. (a) اثر غلظت دوپینگ در FET های DG JL. پارامترهای DG JL FET، $L = 30$ نانومتر، $W = 10$

نانومتر، $tb = 10$ نانومتر هستند. تغییر غلظت دوپینگ نانوسیم به ترتیب

$1 \times 10^{14} \text{ cm}^{-3}$, $5 \times 10^{17} \text{ cm}^{-3}$, $1 \times 10^{18} \text{ cm}^{-3}$, $5 \times 10^{18} \text{ cm}^{-3}$, $1 \times 10^{19} \text{ cm}^{-3}$ و

$2 \times 10^{19} \text{ cm}^{-3}$, سپس مشخصات حالت-روشن برای $V_{DS} = 0.05$ ولت را مقایسه کنید. V_T با اضافه

نمودن غلظت دوپینگ کانال کاهش می یابد. هنگامی که غلظت دوپینگ بیش از یک مقدار مشخص می شود، V_T دستگاه، منفی است. تغییر V_T در غلظت دوپینگ کمتر آشکار نیست. (b) منحنی. طول کانال - ΔV_T DG JL FET.

محاسبه اختلاف بین ولتاژ آستانه با $ND = 1 \times 10^{17} \text{ cm}^{-3}$ و ولتاژ آستانه با $ND = 1 \times 10^{17} \text{ cm}^{-3}$

$N_D = 1 \times 10^{17} \text{ cm}^{-3}$, $2 \times 10^{17} \text{ cm}^{-3}$, $3 \times 10^{17} \text{ cm}^{-3}$, $5 \times 10^{17} \text{ cm}^{-3}$, $8 \times 10^{17} \text{ cm}^{-3}$, $1 \times 10^{18} \text{ cm}^{-3}$ برای مسافت های DG JL. $2 \times 10^{18} \text{ cm}^{-3}$, $3 \times 10^{18} \text{ cm}^{-3}$ and $5 \times 10^{18} \text{ cm}^{-3}$

(c) تغییرات V_T با غلظت دوپینگ FET های DG JL و MOSFET سنتی DG. پارامترهای هر دو ادوات $L = 30$

نانومتر، $W = 10$ نانومتر، $t_b = 10$ نانومتر هستند. ND و NA را به

$1 \times 10^{19} \text{ cm}^{-3}$ و $1 \times 10^{17} \text{ cm}^{-3}$, $1 \times 10^{18} \text{ cm}^{-3}$, $5 \times 10^{18} \text{ cm}^{-3}$ تغییر دهید. V_T را

FET V_T با افزایش غلظت دوپینگ نانوسیم JL FET کاهش می یابد، در حالیکه V_T مسافت سنتی افزایش می

یابد.

2.4. تاثیر ضخامت بدنه

پارامترهای DG JL FET را به صورت $L = 20$ نانومتر، $W = 10$ نانومتر، $N_D = 1 \times 10^{18} \text{ cm}^{-3}$ و تغییرات

ضخامت بدنه از 5 تا 20 نانومتر تنظیم نمایید. شکل 5 (a)، مقایسه نتایج شبیه سازی را ترسیم می نماید. با توجه

به هر یک از دستگاه های دارای طول و عرض کانال یکسان، منطقه کنترل گیت، تغییر نمی کند. هنگامی که

ضخامت بدنه متفاوت است، مقدار حامل های اکثریت کنترل شده توسط گیت نیز متفاوت است. تحت همان بایاس

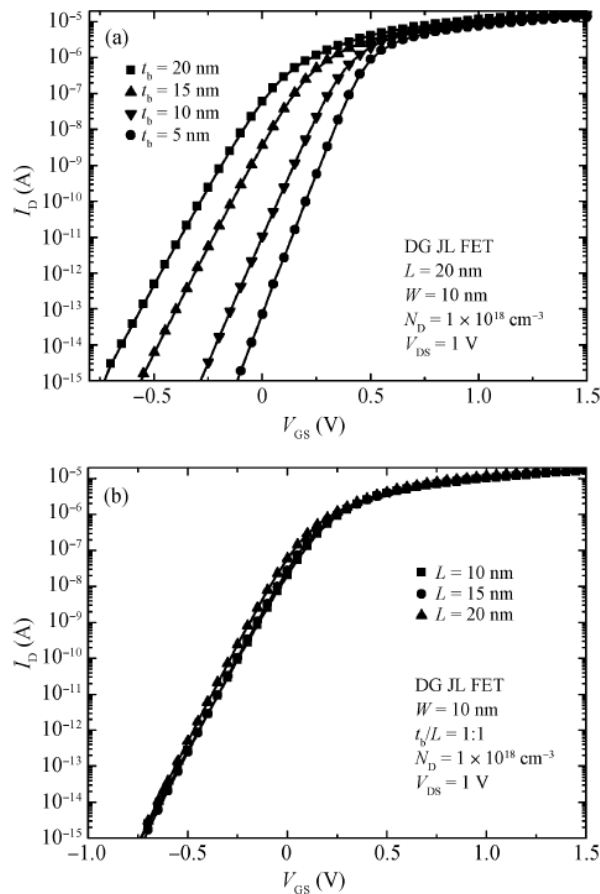
گیت پایین در منطقه زیرآستانه، هر قدر حامل های اکثریت ادوات بیشتر باشد، تشکیل منطقه بدنه تخلیه شده سخت

تر است. از این رو ولتاژ آستانه با افزایش ضخامت بدنه کاهش می یابد. SSهای چهار دستگاه بالا، به ترتیب 63، 72،

94، و 128 میلی ولت / dec، می باشند. SS به تدریج با افزایش ضخامت بدنه افزایش می یابد. به عبارت دیگر، با

کاهش ضخامت بدنه، سرعت سوئیچینگ حالت خاموش به حالت باز مورد پیوند به تدریج افزایش می یابد و توانایی کنترل بایاس گیت نیز افزایش می یابد.

برای DG JL FET که پارامترهای آن، $L = 20$ نانومتر، $W = 10$ نانومتر، $t_b = 20$ نانومتر و $N_D = 1 \times 10^{18} \text{ cm}^{-3}$ هستند، نسبت ضخامت بدنه آن به طول کانال (t_b/L) برابر با 1 است. شکل 5 (b)، مقایسه سه DG JL FET با $t_b/L = 1$ را نشان می دهد اما $L = 10$ نانومتر، 15 نانومتر و 20 نانومتر متفاوت. سه منحنی خیلی مشابه هستند.

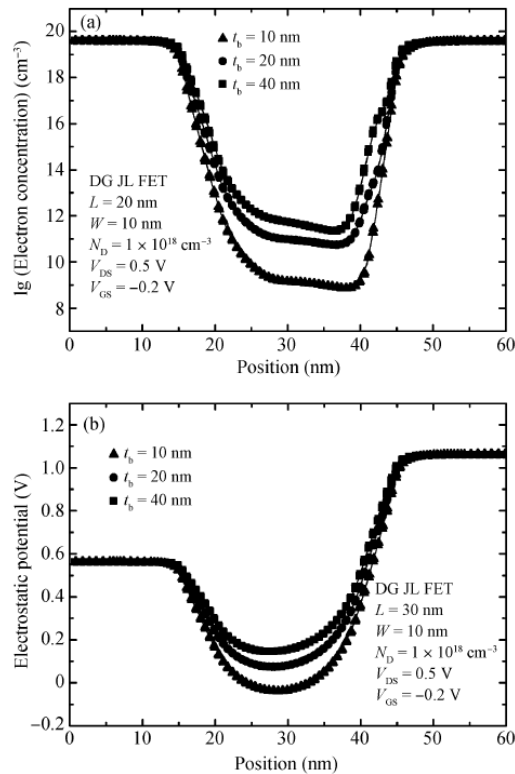


شکل 5. (a) اثر ضخامت بدنه برای FET های DG JL. ضخامت بدنه DG JL FET را که پارامترهای آن $L = 30$ نانومتر، $W = 10$ نانومتر، $N_D = 1 \times 10^{18} \text{ cm}^{-3}$ به 5، 10، 15 و 20 نانومتر است تنظیم نمایید. VT با اضافه نمودن t_b کاهش می یابد. SSهای چهار دستگاه بالا، به ترتیب 63، 72، 94 و 128 میلی ولت / dec، می باشند. SS به تدریج با افزایش ضخامت بدنه افزایش می یابد. (b) مقایسه مشخصات حالت-روشن FET های JL با طول کانال

های مختلف تحت شرایط مشابه از نسبت ضخامت بدنه به طول کانال. برای دو FET های DG JL با $L = 10$ نانومتر، $L = 15$ نانومتر و $L = 20$ نانومتر، هنگامی که $t_b/L = 1$ است، ولتاژ آستانه آنها خیلی مشابه است.

2.5. توزیعات غلظت الکترون و پتانسیل الکترواستاتیک در جهت کانال با t_b های مختلف

پارامترهای DG JL FET ها را به صورت $L = 20$ نانومتر، $W = 10$ نانومتر، $N_D = 1 \times 10^{18} \text{ cm}^{-3}$ ، و t_b مختلف به ترتیب به صورت 10 نانومتر، 20 نانومتر و 40 نانومتر تنظیم نمایید. V_{GS} و V_{DS} از سه دستگاه را به صورت $0.2V$ و $0.5V$ تنظیم نمایید. توزیع غلظت الکترون و پتانسیل الکترواستاتیک با t_b متفاوت در جهت کانال در نقطه 1 نانومتر دورتر از سطح بدنه سیلیکون در شکل 6 نشان داده شده است. اشکال 6 (a) و 6 (b)، غلظت الکترون و پتانسیل الکترواستاتیک را گزارش می دهند. دیده می شود زمانی که ادوات بدون پیوند دارای طول کانال یکسان اما t_b مختلف هستند، در منطقه زیرآستانه، تحت همان بایاس ها، برای مثال $V_{GS} = -0.2 \text{ V}$ و $V_{DS} = 0.5 \text{ V}$ مورد t_b ضخیم تر می تواند شامل حامل های اکثریت بیشتر در منطقه بدنه کانال باشد که تهی کردن منطقه کانال را برای بایاس گیت سخت تر می سازد. همانطور که در شکل 6 (b) نشان داده شده است، غلظت الکترون سطح برای مورد t_b بزرگتر نیز بالاتر است. به عبارت دیگر، پتانسیل سطح برای یک t_b بزرگتر نیز باید بالاتر باشد که می توان آن را در شکل 6 (b) دید. بنابراین، برای ادوات تحت بایاس های یکسان، و با طول کانال مشابه، اما با t_b متفاوت، می توان پیش بینی کرد که جریان زیرآستانه بیشتر برای مورد t_b بزرگتر القا خواهد شد. این پیش بینی سازگار با نتایج شبیه سازی نشان داده شده در شکل 5 (a) است.

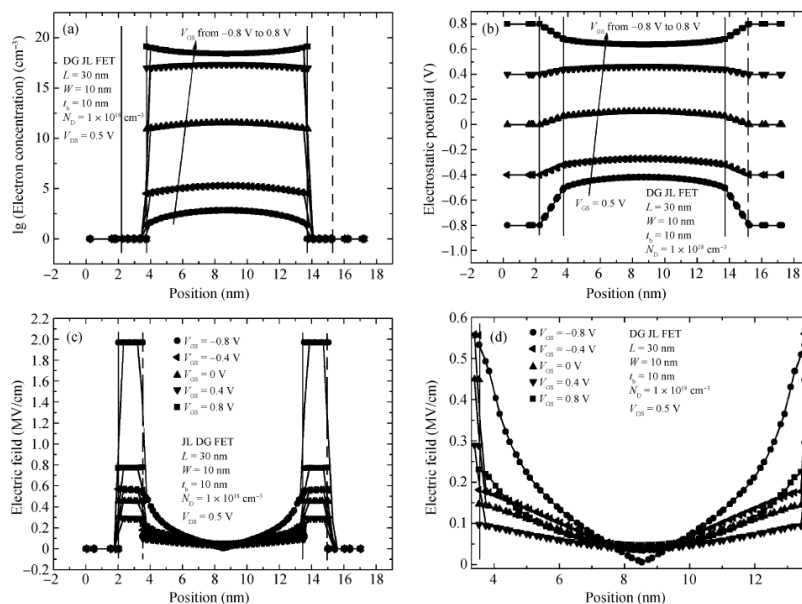


شکل 6. توزیع غلظت الکترون و پتانسیل الکترواستاتیک در جهت کانال با t_b متفاوت. پارامترهای JL FET را به صورت $L = 20$ نانومتر، $W = 10$ نانومتر، $N_D = 1 \times 10^{18} \text{ cm}^{-3}$ و t_b متفاوت به صورت 10 نانومتر، 20 نانومتر و 40 نانومتر، $V_{GS} = -0.2 \text{ V}$ ، $V_{DS} = 0.5 \text{ V}$ تنظیم نمایید. (a) توزیع غلظت الکترون با t_b متفاوت در جهت کانال در نقطه ای از 1 نانومتر به دور از سطح بدنه سیلیکون است. (b) توزیع پتانسیل الکترواستاتیک. غلظت الکترون و پتانسیل با افزایش t_b افزایش می یابد.

2.6. توزیع غلظت الکترون میدان الکتریکی و پتانسیل الکتریکی در جهت عمود بر کانال

نگاهی به DG JL FET با همان پارامترها به صورت $L = 20$ نانومتر، $W = 10$ نانومتر، $t_b = 10$ نانومتر و $N_D = 1 \times 10^{18} \text{ cm}^{-3}$ بیاندازید. V_{DS} را برابر با 0.5 V تنظیم نمایید و ولتاژ گیت (-0.8, 0.4, 0.4, 0.8 ولت) تغییر دهید. شکل 7 (a)، 7 (b) و 7 (c)، به ترتیب، مقایسه توزیع غلظت الکترون پتانسیل

الکترواستاتیک و میدان الکتریکی در جهت عمود بر کانال در موقعیت های مختلف را گزارش می دهد. شکل 7 (d) بزرگنمایی جزئی میدان الکتریکی را نشان می دهد.



شکل 7. توزیع غلظت الکترون، میدان الکتریکی و پتانسیل الکتریکی در جهت عمود بر کانال. V_{DS} را برابر با 0.5 تنظیم نمایید و ولتاژ گیت (0.8, 0.4, 0, 0.4, -0.8 ولت) تغییر دهید. (a) مقایسه توزیع غلظت الکترون در جهت عمود بر کانال در موقعیت های مختلف. (b) توزیع پتانسیل الکترواستاتیک. (c) توزیع میدان الکتریکی. (d) بزرگنمایی جزئی میدان الکتریکی.

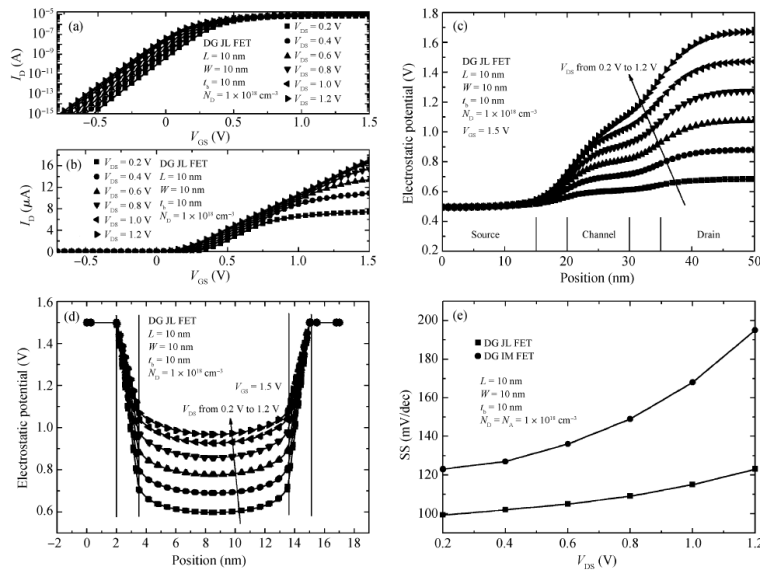
هنگامی که ولتاژ گیت اعمال شده کمتر از یک مقدار مشخص باشد، نیروی الکتریکی قوی، تقریباً تمام لوله های الکترون ها را خارج از منطقه بدنه قرار می دهد؛ غلظت های الکترون در هر دو سطح بدنه و منطقه مرکزی بدنه بسیار کم و بسیار پایین تر از غلظت دوپینگ نانوسیم سیلیکونی است. این بدان معنی است که این منطقه کل بدنه را می توان تقریباً به طور کامل تهی شده در نظر گرفت. غلظت الکترون منطقه در سطح، پایین تر از منطقه مرکزی است چرا که توانایی کنترل V_{GS} در سطح منطقه بدنه با افزایش V_{GS} بالاترین است؛ تهی سازی به تدریج حذف می شود، پس از اینکه V_{GS} به مقدار باند مسطح می رسد. هنگامی که ولتاژ اعمال شده گیت به ولتاژ آستانه دستگام می رسد، یک مقدار مشخصی از الکترون ها در منطقه کانال برای اتصال سورس و درین انباشته می شوند. این

تغییرات همچنین باعث انحنای منحنی پتانسیل برای کاهش تدریجی به صفر می شوند، در حالی که هر دو منطقه سطح و مرکز به منطقه خنثی بازیابی می شوند. و زمانی که ولتاژ گیت بیشتر بالا می رود، پتانسیل کانال به طور مداوم افزایش می یابد و الکترونها در سطح منطقه بدنه تجمع می یابند. علاوه بر این، غلظت الکترونهای نزدیک منطقه سطح، بالاتر از غلظت الکترون ها در منطقه مرکزی است.

2.7. تاثیر ولتاژ درین

پارامترهای DG JL FET را به صورت $L = 10$ نانومتر، $W = 10$ نانومتر، $t_b = 10$ نانومتر، $N_D = 1 \times 10^{18} \text{ cm}^{-3}$ اشکال 8 (a) و 8 (b)، نمودار مشخصات حالت-روشن در مقیاس های لگاریتم خطی از DG JL FET برای VDS متفاوت (0.2، 0.4، 0.6، 0.8، 1.0، 1.2 V) بود. دیده می شود که ولتاژ آستانه با افزایش VDS کاهش می یابد. شکل 8 (c) توزیع پتانسیل الکترواستاتیک در جهت کانال DG JL FET برای VDS اعم از 0.2 تا 1.2 V در پله های 0.2 V و $V_{DS} = 1.5 \text{ V}$ در نقطه $t_b/2$ را نشان می دهد. شکل 8 (d) توزیع پتانسیل الکترواستاتیک در جهت عمود بر کانال در نقطه $L/2$ نشان می دهد. پتانسیل الکترواستاتیک با افزایش VDS در دو نمودار افزایش می یابد.

شبه سازی SSهای DG JL FET بالا و DG IM FET با همان پارامترها برای شش مقدار VDS. شکل 8 (E) منحنی SS-VDS از دو دستگاه نشان می دهد. SSS از هر دو نوع از ادوات با افزایش VDS افزایش می دهد. با این حال، تاثیر SS از VDS از DG JL FET کوچکتر از DG IM FET است، به این معنی که FETهای JL در این جنبه با ثبات تر است.



شکل 8. (a) مشخصات حالت روشن در لگاریتم DG JL FET برای VDS های مختلف (0.2, 0.4, 0.6, 0.8, 1.0, 1.2 V). (b) مشخصات حالت روشن در مقیاس خطی. (c) توزیع پتانسیل الکترواستاتیک در جهت کانال DG JL FET برای VDS اعم از 0.2 تا 1.2 ولت در پله های 0.2 V و $V_{DS} = 1.5$ V در نقطه $t_b/2$. (d) توزیع پتانسیل الکترواستاتیک در جهت عمود بر کانال در نقطه $L/2$. پتانسیل الکترواستاتیک با افزایش VDS افزایش می یابد. (e) منحنی SS-VDS دو دستگانه. SSهای هر دو نوع ادوات با افزایش VDS افزایش می یابد. تاثیر روی SS در DG JL FET از VDS، برای DG IM FET، کوچکتر است.

3. نتیجه گیری

ما مشخصات FET های DG JL را شبیه سازی و تحلیل نمودیم. از نتایج شبیه سازی، مشاهده می شود که FET های DG JL تمام خواص ماسفت DG معمولی را دارند. این مقاله اثر غلظت دوپینگ، طول کانال و ضخامت بدنه در ولتاژ آستانه و شیب زیرآستانه کانال کوتاه FET های JL را تحلیل نمود. در همان شرایط، تاثیر طول کانال و VDS در FET های JL کوچکتر از FET ها معمولی است. با توجه به این مزایا، از نظر SCE ها، JL FET می تواند یک انتخاب خوب باشد.

References

- [1] Duarte J P, Kim M S, Choi S J, et al. A compact model of quantum electron density at the subthreshold region for double-gate junctionless transistor. *IEEE Trans Electron Devices*, 2012, 59(4): 1008
- [2] Jin X, Liu X, Lee J, et al. A continuous current model of fully-depleted symmetric double-gate MOSFETs considering a wide range of body doping concentrations. *Semicond Sci Technol*, 2010, 25(5): 055018
- [3] Diagne B, Prégaldiny F, Lallement C, et al. Explicit compact model for symmetric double-gate MOSFETs including solutions for small-geometry effects. *Solid-State Electron*, 2008, 52(1): 99
- [4] Colinge J P, Lee C W, Afzalian A, et al. Nanowire transistors without junctions. *Nat Nanotechnology*, 2010, 5(3): 225
- [5] Gnani E, Gnudi A, Reggiani S, et al. Theory of the junctionless nanowire FET. *IEEE Trans Electron Devices*, 2011, 58(9): 2903

- [6] Gnani E, Gnudi A, Reggiani S, et al. Numerical investigation on the junctionless nanowire FET. *Solid-State Electron*, 2012, 71: 13
- [7] Colinge J P, Ferain I, Kranti A, et al. Junctionless nanowire transistor: complementary metal-oxide-semiconductor without junctions. *Sci Adv Mater*, 2011, 3(3): 477
- [8] SILVACO International. *ATLAS User's Manual*, 2005
- [9] Shoji M, Horiguchi S. Electronic structures and phonon limited electron mobility of double-gate silicon-on insulator Si inversion layers. *J Appl Phys*, 1999, 85: 2722