****

**مطالعه شبیه سازی در مورد ترانزیستورهای اثر میدانی کانال کوتاه دو-گیت بدون پیوند**

**چکیده**

 ما ویژگی های FETهای(JL) کانال کوتاه گیت-دوبل (DG) بدون پیوند را توسط شبیه سازی ادوات مطالعه می نماییم. تنزل های مشخصه خروجی I-V مشخصه مانند یک طول کانال بسیار کاهش یافته موجب القای افزایش شیب زیرآستانه و تغییر ولتاژ آستانه به علت تغییرات دوپینگ بدنه می شود و طول کانال به طور نظام مند مورد تجزیه و تحلیل قرار خواهد گرفت. توزیعات غلظت الکترون, میدان و پتانسیل الکتریکی در منطقه کانال بدنه نیز تحلیل می شوند. مقایسه ها با FETهای حالت-وارونگی مرسوم (IM)، که می تواند مزایای استفاده از FET های JL را نشان دهد نیز انجام شده است.

**واژه های کلیدی**: اثر کانال کوتاه؛ گیت-دوبل؛ ترانزیستور اثر میدانی بدون پیوند؛ شبیه سازی ادوات

**1. مقدمه**

در حال حاضر، هنگامی که ابعاد MOSFET در ده ها نانومتر کوچکتر مقیاس بندی می شوند، اثر کانال کوتاه (SCE) به طور جدی بر رفتار ادوات تاثیر می گذارد. در مقیاس نانو، تاثیر SCE بر ویژگی های مرسوم ماسفت های مرسوم را نمی توان نادیده گرفت. به منظور کاهش این تاثیر، ساختارهای چند-گیت ای مانند گیت-دوبل (DG)، اطراف-گیت و Fin-FET ها ، که می توانند SCEها را حذف نمایند و ظرفیت کنترل جریان را بهبود بخشند، پیشنهاد شده است. [1-3] با این حال، تحقق مشخصات فرا-تند دوپینگ بین (برای مثال) یک منطقه نوع n سورس / درین (S / D) و یک منطقه بدنه نوع-p, هنوز هم یک چالش بزرگ برای تولید ماسفت چند گیت در مقیاس نانو است [4]. برای حل این مشکل، نوع جدیدی از ماسفت، به نام ترانزیستورهای اثر میدانی بدون پیوند (FETهای JL)، مطرح شده است. در مقایسه با ماسفت های معمولی حالت-وارونگی (IM) ، FETهای JL به هیچ اتصال p-n برای شکل تشکیل بین منطقه S / D و منطقه کانال بدنه که می تواند به عنوان ادوات JL MOSFET نوع-n-n-n (کانال n) یا نوع-p-p-p (کانال p) دیده شود, نیاز ندارند. دستیابی به یک عملکرد خوب در FETهای JL ساخته شده در یک ویفر SOI آسان تر است. به عنوان مثال نگاهی به JFET نوع-n-n-n می اندازیم؛ توسط لوله کشی الکترون ها را از منطقه بدنه توسط نیروی میدان الکتریکی گیت برای تهی ساختن کامل بدنه در بایاس گیت خاموش می شود. فیلم های سیلیکون نازک تر, آسانتر از کانال جلوگیری می کنند و سپس منطقه کانال به تخلیه کامل می رسد. از نقطه نظر توزیع پتانسیل الکتریکی، باند انرژی کانال به علت کاهش ولتاژ گیت خمیده می شود و یک مانع قوی بین سورس و درین تشکیل می شود که جریان الکترون ها از سورس به درین را دشوار می سازد. زمانی که بایاس گیت افزایش می یابد، تخلیه منطقه بدنه به تدریج از بین می رود. با افزایش غلظت الکترون، مقاومت نیز کاهش می یابد. هنگامی که غلظت الکترون به غلظت دوپینگ بدنه ND می رسد، منطقه کانال زیر گیت از نظر الکتریکی خنثی می شود. افزایش بیشتر ولتاژ گیت موجب افزایش تجمع الکترون در واسطه بین اکسید گیت و فیلم سیلیکون می شود. این باعث می شود که مقاومت دستگاه تا حد زیادی کاهش یابد و یک حالت رسانای خوب تحت یک ولتاژ خاص درین-به-سورس تشکیل شود. سپس دستگاه روشن می شود. بنابراین، متفاوت از ماسفت های IM سنتی نوع n-p-n یا نوع p-n-p، FET های بدون پیوند از حامل های اکثریت برای حمل و نقل بین سورس و درین استفاده می کنند. این بدان معناست که این یک MOSFET حالت انباشت است. از نقطه نظر ماکروسکوپی، گیت به عنوان یک سوئیچ کنترل خوب عمل می کند که دستگاه را در بایاس گیت پایین خاموش می کند و در بایاس گیت بالا روشن می کند, مبتنی بر این فرض که فیلم سیلیکون به اندازه کافی نازک است. این نوع دستگاه نه تنها اطمینان می دهد که دستگاه به خوبی می تواند مانند یک MOSFET معمولی کار کند، بلکه از نیاز به سوییچینگ گرادیان غلظت دوپینگ تیز از نوع n به نوع p جلوگیری می کند. این نوع از ماسفت ها تا حد زیادی الزامات فرآیند ساخت را کاهش می دهند. در حال حاضر، برخی از گروه های تحقیقاتی, برخی از مطالعات مرتبط با FETهای JL با یک ساختار گیت-دوبل را انجام داده اند، از جمله تحقیق در مورد مبانی نظری برای درک بهتر رفتار دستگاه. [5] تجزیه و تحلیل ویژگی های حالت روشن دستگاه در ولتاژهای درین مختلف و پتانسیل تحت شرایط عملیاتی مختلف [6t] و غیره. همه این تحلیل های فوق با این فرض انجام می شوند که طول کانال به اندازه کافی بلند است، بنابراین، SCEها نادیده گرفته می شوند. همچنین برخی از تحقیقات دیگر ابتدائاً عملکردهای ترانزیستور نانوسیم سیلیکونی بدون پیوند را از نظر SCEها مطالعه نمودند, مانند ویژگی های حالت-روشن، ویژگی های خروجی و دمای شیب زیرآستانه دمای-اتاق به عنوان تابعی از ولتاژ گیت [7]. با این حال، ارائه یک مطالعه مفصل تر در مورد ویژگی های عملیاتی آن در وضعیت SCEها لازم است.

هدف اصلی از این کار, بررسی ویژگی های FET های DG JL کانال کوتاه توسط شبیه سازی ها با استفاده از Atlas SILVACO است [8] تاثیر روی ویژگی های تغییر ادوات در پارامترهای طراحی مانند دوپینگ بدنه، ضخامت بدنه سیلیکون، و طول کانال به طور نظام مند انجام شده است. همچنین، ما تفاوت بین FET های JL با ماسفت های DG معمول را مقایسه می کنیم و یک تجزیه و تحلیل دقیق را بر اساس اصل FET های DG JL با نشان دادن توزیعات چگالی الکترون در حالت-روشن، میدان الکتریکی، و پتانسیل در منطقه کانال بدنه سیلیکون FET های DG JL ارائه می دهیم. در این مقاله، ضخامت بدنه سیلیکون tb در هر دستگاه بدون پیوند, بالا و یا برابر با 5 نانومتر است، به طوری که اثر کوانتومی را می توان نادیده گرفت. 9..

**2. شبیه سازی ویژگی ها**

**2.1. مشخصات حالت روشن و مشخصات خروجی**

شکل 1 نمای شماتیک دو-بعدی از FET های DG JL را نشان می دهد. در اینجا، L طول کانال است. tb و TOX به ترتیب ضخامت بدنه سیلیکون و اکسید گیت می باشند. عرض کانال به صورت W.ND مشخص می شود و NA نشان دهنده غلظت ناخالصی یکنواخت FETهای نوع n و نوعp است. منطقه S / D و منطقه بدنه یک FET JL دارای نوع دوپینگ و غلظت یکسان هستند. بالا و پایین دستگاه دارای یک الکترود گیت برای کنترل دستگاه است. به عنوان مثال, به FETهای نوع-n DG JL نگاه کنید. ما TOX 1.5 نانومتر را برای هر دستگاه تعریف می کنیم و FET های DG JL را با استفاده از SILVACO ATLAS شبیه سازی می کنیم.

پارامترهای طراحی FET های DG JL به صورت  انتخاب می شوند. شکل 2 (a) نشان دهنده مشخصات حالت-روشن DG JL FET با ولتاژ درین به سورس  است. شکل 2 (b), نموار مشخصات خروجی همان DG JL FET برای یک ولتاژ گیت به سورس VGS بین 0.5 و 1.3 V در پله های 0.2 V را نشان می دهد. یک مقایسه مشخصات حالت-روشن بین DG JL FET و DG IM FET در شکل 2 (c) نشان داده شده است.. در اینجا، هر دو پارامترهای دستگاه, ,  هستند. ولتاژ آستانه JL FET, VT, کوچکتر از ولتاژ آستانه IM FET با همان VDS است (VDS=1 v). ولتاژ آستانه ماسفت سنتی, برابر با ولتاژ آستانه FETهای DG JL تنظیم می شود. می توان از شکل دید که FET DJ JL دارای ویژگی بسیار مشابه با DG IM MOSFET است. شکل 2 (d), مقایسه توزیع غلظت الکترون بین دو دستگاه فوق با VGS (VGS = 0.2 V) و VDS (VDS = 0.05 V) در جهت عمود بر کانال در نقطه L / 2 را نشان می دهد. تاثیر ادوات VDS را هنگامی می توان نادیده گرفت که VDS = 0.05 V. تحت شرایط مشابه، غلظت الکترون FETهای JL بالاتر از ماسفت های معمولی است، که توضیح می دهد در این مورد، JL FET به یک VGS کوچکتر برای روشن شدن نیاز دارد و منجر به ولتاژ آستانه پایین تر می شود.



شکل. 1. نمای شماتیک دوبعدی از یک DG JL FET. منطقه S / D و منطقه بدنه JL FET دارای همان نوع دوپینگ و غلظت است. L, طول کانال است. tb و tox به ترتیب ضخامت های بدنه سیلیکون و اکسید گیت.



شکل. 2. مشخصات حالت-روشن DG JL FET با VDS = 1 V. (b) مشخصات خروجی DG JL FET برای VGS بین 0.5 و 1.3 V در پله های 0.2 V. پارامترهای دستگاه L = 30 نانومتر، W = 10 نانومتر، tb = 10 نانومتر، . (c) مقایسه مشخصات حالت-روشن بین DG JL FET و FET های DG IM. ما ولتاژ آستانه MOSFET معمولی را برابر با VT FET های DG JL تنظیم می کنیم. دو منحنی مشابه هستند. (d) مقایسه توزیع غلظت الکترون بین دو دستگاه فوق با همان VGS (VGS = 0.2 V) و VDS (VDS = 0.05) در جهت عمود بر کانال در نقطه L / 2. پارامترهای هر دو دستگاه L = 50 نانومتر، W = 10 نانومتر، tb = 10 نانومتر و .



**2.2. اثر طول کانال**

**2.2.1. تاثیر طول کانال در ولتاژ آستانه**

شکل 3 (a) مقایسه مشخصات حالت-روشن ادوات بدون پیوند و سنتی را نشان می دهد. انواع دوپینگ بدنه دو نوع دستگاه, نوع n و نوع p هستند و غلظت های دوپینگ, هر دو  هستند. ضخامت های دو ادوات, 10 نانومتر هستند و تغییرات طول کانال هر دو در 10 نانومتر، 20 نانومتر، 30 نانومتر، و 1 میکرومتر تنظیم می شوند. VDS در 1 ولت تنظیم می شود. همانطور که نشان داده است, ولتاژهای آستانه دو دستگاه با کاهش طول های کانال و تغییر VT در ماسفت های DG JL کوچکتر از ماسفت های DG IM است که بدان معنیست که طول کانال کوتاه تر دارای تاثیر کمتر بر ماسفت های DG JL نسبت به ماسفت های DG IM است. شکل 3 (b), مشخصات حالت-روشن ادوات با VDS = 0.05 V را نشان می دهد. بنابراین می توانیم تاثیر VDS در ادوات را نادیده بگیریم. هر دو ولتاژهای آستانه زمانی کاهش می یابند که طول کانال کوتاه تر می شود، اما همچنین مشاهده می شود که تاثیر ماسفت های DG JL در VT کوچکتر است. در مورد VDS = 1 V و VDS = 0.05 V، تفاوت بین VT با L = 1 متر و VT با L = 10 نانومتر، 20 نانومتر، 30 نانومتر را به ترتیب برای بدون MOSFET پیوند و سنتی DG، محاسبه می نماییم. منحنی طول کانال-  در شکل 3(c) نشان داده شده است. از نمودار، تاثیر تغییر طول کانال روی ولتاژهای آستانه در هر دو نوع از ادوات را به طور مستقیم می توان دید. هنگامی که طول کانال به 10 نانومتر کاهش می یابد، حتی در VDS پایین تر از 0.05 V، تغییر ولتاژ آستانه DG IM MOSFET حدود 0.6 V است، اما تغییر ولتاژ آستانه DG JL MOSFET در حدود 0.43 ولت است. نتیجه, برای ولتاژ درین به سورس بالاتر یکسان است.

**2.2.2. اثر طول کانال بر شیب زیرآستانه**

شیب زیرآستانه (SS) بر مصرف برق فعلی و مبدل تاثیر می گذارد که به عنوان شیب ولتاژ گیت در مقابل لگاریتم جریان درین زیر آستانه (MV / dec) تعریف می شود.



مقدار گرفته شده به عنوان SS, چشمگیرترین تغییر در منطقه زیرآستانه است. SS نیز یک کمیت فیزیکی مهم برای اندازه گیری سرعت تبدیل دستگاه از حالت خاموش به حالت باز است [4] و سرعت دستگاه برای باز کردن را نشان می دهد. هرقدر SS یک دستگاه کوچکتر باشد، دستگاه سریع تر باز می شود. ما SSهای DG JL FET و DG IM FET بالا را با همان پارامترها برای L = 10 نانومتر، 20 نانومتر و 30 نانومتر شبیه سازی می کنیم. شکل 3 (d) منحنی SS-L دو دستگاه را نشان می دهد. دیده می شود که SS با کاهش L افزایش می یابد. با این حال، تاثیر SS از L از DG JL FET کوچکتر از DG IM FET است.



شکل. 3. تاثیر طول کانال ادوات بدون پیوند و معمولی. (a) مقایسه مشخصات حالت-روشن در ادوات بدون پیوند و معمولی است. دو پارامتر دستگاه W = 10 نانومتر، tb = 10 نانومتر و  هستند و این تغییرات طول کانال هر دو در 10 نانومتر، 20 نانومتر، 30 نانومتر و 1 میکرومتر تنظیم می شوند. VDS در 1 ولت تنظیم می شود. (b) مشخصات حالت-روشن دو دستگاه برای VDS = 0.05 V. در هر دو شرایط تنظیم شده بالا، ولتاژهای آستانه دو دستگاه با کاهش طول های کانال کاهش می یابند و تغییر ماسفت های بدون پیوند DG کمتر از ماسفت های DG معمولی است. (c) منحنی طول کانال-. اختلاف بین ولتاژ آستانه با L = 1 نانومتر و ولتاژ آستانه با L = 10 نانومتر، 20 نانومتر، 30 نانومتر در ماسفت های بدون پیوند و DG معمولی را محاسبه کنید. (d) اثر طول کانال روی SS. تغییر L را برایدو نوع دستگاه تا 10 نانومتر، 20 نانومتر و 30 نانومتر تغییر دهید. SS با کاهش L افزایش می یابد و تاثیر SS از L در DG JL FET کوچکتر از DG IM FET است.

**2.3. تاثیر غلظت دوپینگ**

ما مورد DG JL FET با L = 30 نانومتر، W = 10 نانومتر، tb = 10 نانومتر را در نظر می گیریم. با غلظت های دوپینگ مختلف نانوسیم،, , مشخصات حالت-روشن آنها را مقایسه می کنیم، همانطور که در شکل 4(a) نشان داده شده است. می توانیم مشاهده کنیم که VT با اضافه نمودن غلظت دوپینگ کانال کاهش می یابد. غلظت دوپینگ بالاتر باعث غلظت الکترون عالی در منطقه بدنه برای همان VGS می شود. به عبارت دیگر، برای مورد دوپینگ بالاتر، حامل های اصلی در کانال حاضر خواهند بود و تهی ساختن کامل منطقه بدنه سخت تر را مشکل تر می سازد. هنگامی که غلظت دوپینگ برای تخلیه کامل, بیش از حد بالا است، در جهت تحقق عدم حرکت الکترون ها در کانال, نیاز به یک ولتاژ منفی داریم. VT دستگاه در این زمان منفی است. ما تفاوت های بین VT ولتاژ آستانه را به ترتیب با غلظت های مختلف دوپینگ بدنه ماسفت های DG JL محاسبه می نماییم و منحنی نشان داده شده در شکل 4 (b) را ترسیم می کنیم. به وضوح می توانیم تغییر در ولتاژ آستانه را با غلظت کانال دوپینگ مشاهده نماییم. از آنجا که FETهای JL از حامل های اکثریت برای روشن شدن استفاده می کنند، هرقدر غلظت دوپینگ دستگاه بیشتر باشد، حامل های اکثریت که کانال خواهد داشت, بیشتر خواهد بود و VGS که ما برای رسانایی دستگاه نیاز داریم, پایین تر خواهد بود. بنابراین، VT از FETهای JL با افزایش غلظت دوپینگ کاهش می یابد. در حالی که ماسفت های معمولی به جای آن از حامل های اقلیت استفاده می کند. غلظت بیشتر کانال دوپینگ باعث سخت تر شدن تشکیل لایه وارونگی می شود؛ VGS بالاتر برای روشن شدن دستگاه مورد نیاز است. بنابراین، ولتاژهای آستانه ماسفت های معمولی با افزایش غلظت کانال دوپینگ افزایش می یابد. شکل 4 (c) یک مقایسه بین FETهای JL و MOSFET معمولی با غلظت های دوپینگ متفاوت را نشان داده است. دو نوع ادوات دارای پارامترهای یکسان هستند که L = 50 نانومتر، W = 10 نانومتر، tb = 10 نانومتر ، و در نتیجه غلظت دوپینگ متفاوت به  و  برای انواع مختلف دوپینگ تنظیم می شود. شرایط مختلف تغییر ولتاژ آستانه با غلظت دوپینگ FET های JL و MOSFET های معمولی را می توان دید.



شکل. 4. (a) اثر غلظت دوپینگ در FET های DG JL. پارامترهای DG JL FET, L = 30 نانومتر، W = 10 نانومتر، tb = 10 نانومتر هستند. تغییر غلظت دوپینگ نانوسیم به ترتیب  و , سپس مشخصات حالت-روشن برای VDS = 0.05 ولت را مقایسه کنید. VT با اضافه نمودن غلظت دوپینگ کانال کاهش می یابد. هنگامی که غلظت دوپینگ بیش از یک مقدار مشخص می شود، VT دستگاه, منفی است. تغییر VT در غلظت دوپینگ کمتر آشکار نیست. (b) منحنی. طول کانال-  DG JL FET. محاسبه اختلاف بین ولتاژ آستانه با ND D 1 1017 cm􀀀3 و ولتاژ آستانه با ND D 1 1017   برای ماسفت های DG JL. (c) تغییرات VT با غلظت دوپینگ FET های DG JL و MOSFET سنتی DG. پارامترهای هر دو ادوات L = 30 نانومتر، W = 10 نانومتر، tb = 10 نانومتر هستند. ND و NA را به  و  تغییر دهید. JL FET VT با افزایش غلظت دوپینگ نانوسیم JL FET کاهش می یابد, در حالیکه VT ماسفت سنتی افزایش می یابد.

**2.4. تاثیر ضخامت بدنه**

پارامترهای JL FET DG را به صورت L = 20 نانومتر، W = 10 نانومتر،  و تغییرات ضخامت بدنه از 5 تا 20 نانومتر تنظیم نمایید. شکل 5 (a), مقایسه نتایج شبیه سازی را ترسیم می نماید. با توجه به هر یک از دستگاه های دارای طول و عرض کانال یکسان، منطقه کنترل گیت, تغییر نمی کند. هنگامی که ضخامت بدنه متفاوت است، مقدار حامل های اکثریت کنترل شده توسط گیت نیز متفاوت است. تحت همان بایاس گیت پایین در منطقه زیرآستانه، هرقدر حامل های اکثریت ادوات بیشتر باشد، تشکیل منطقه بدنه تخلیه شده سخت تر است. از این رو ولتاژ آستانه با افزایش ضخامت بدنه کاهش می یابد. SSهای چهار دستگاه بالا, به ترتیب 63، 72، 94، و 128 میلی ولت / dec، می باشند. SS به تدریج با افزایش ضخامت بدنه افزایش می یابد. به عبارت دیگر، با کاهش ضخامت بدنه، سرعت سوئیچینگ حالت خاموش به حالت باز مورد بدون پیوند به تدریج افزایش می یابد و توانایی کنترل بایاس گیت نیز افزایش می یابد.

برای DG JL FET که پارامترهای آن, L = 20 نانومتر، W = 10 نانومتر، tb = 20 نانومتر و  هستند، نسبت ضخامت بدنه آن به طول کانال  برابر با 1 است. شکل 5 (b), مقایسه سه FET DG JL با  را نشان می دهد اما L= 10 نانومتر، 15 نانومتر و 20 نانومتر متفاوت. سه منحنی خیلی مشابه هستند.



شکل. 5. (a) اثر ضخامت بدنه برای FET های DG JL. ضخامت بدنه DG JL FET را که پارامترهای آن L = 30 نانومتر، W = 10 نانومتر،  به 5، 10، 15 و 20 نانومتر است تنظیم نمایید. VT با با اضافه نمودن tb کاهش می یابد. SSهای چهار دستگاه بالا, به ترتیب 63، 72، 94، و 128 میلی ولت / dec، می باشند. SS به تدریج با افزایش ضخامت بدنه افزایش می یابد. (b) مقایسه مشخصات حالت-روشن FETهای JL با طول کانال های مختلف تحت شرایط مشابه از نسبت ضخامت بدنه به طول کانال. برای دو FET های DG JL با L = 10 نانومتر، L = 15 نانومتر و L = 20 نانومتر، هنگامی که  است, ولتاژ آستانه آنها خیلی مشابه است.

**2.5. توزیعات غلظت الکترون و پتانسیل الکترواستاتیک در جهت کانال با tb های مختلف**

پارامترهای DG JL FET ها را به صورت L= 20 نانومتر، W= 10 نانومتر ،  و tb مختلف به ترتیب به صورت 10 نانومتر، 20 نانومتر و 40 نانومتر تنظیم نمایید. VGS و VDS از سه دستگاه را به صورت -0.2V و 0.5V تنظیم نمایید. توزیع غلظت الکترون و پتانسیل الکترواستاتیک با tb متفاوت در جهت کانال در نقطه 1 نانومتر دورتر از سطح بدنه سیلیکون در شکل 6 نشان داده شده است. اشکال 6 (a) و 6 (b), غلظت الکترون و پتانسیل الکترواستاتیک را گزارش می دهند. دیده می شود زمانی که ادوات بدون پیوند دارای طول کانال یکسان اما tbs مختلف هستند، در منطقه زیرآستانه، تحت همان بایاس ها، برای مثال  و مورد tb ضخیم تر می تواند شامل حامل های اکثریت بیشتر در منطقه بدنه کانال باشد که تهی کردن منطقه کانال را برای بایاس گیت سخت تر می سازد. همانطور که در شکل (6) نشان داده شده است، غلظت الکترون سطح برای مورد tb بزرگتر نیز بالاتر است. به عبارت دیگر، پتانسیل سطح برای یک tb بزرگتر نیز باید بالاتر باشد که می توان آن را در شکل 6 (b) دید. بنابراین، برای ادوات تحت بایاس های یکسان، و با طول کانال مشابه, اما با tb متفاوت، می توان پیش بینی کرد که جریان زیرآستانه بیشتر برای مورد tb بزرگتر القا خواهد شد. این پیش بینی سازگار با نتایج شبیه سازی نشان داده شده در شکل 5 (a) است.



شکل. 6. توزیع غلظت الکترون و پتانسیل الکترواستاتیک در جهت کانال با tb متفاوت. پارامترهای FET JL را به صورت L= 20 نانومتر، W= 10 نانومتر،  و tb متفاوت به صورت 10 نانومتر، 20 نانومتر و 40 نانومتر،  تنظیم نمایید. (a) توزیع غلظت الکترون با tb متفاوت در جهت کانال در نقطه ای از 1 نانومتر به دور از سطح بدنه سیلیکون است. (b) توزیع پتانسیل الکترواستاتیک. غلظت الکترون و پتانسیل با افزایش tb افزایش می یابد.

**2.6. توزیع غلظت الکترون میدان الکتریکی و پتانسیل الکتریکی در جهت عمود بر کانال**

نگاهی به DG JL FET با همان پارامترها به صورت L = 20 نانومتر، W = 10 نانومتر، tb = 10 نانومتر و  بیاندازید. VDS را برابر با 0.5 V تنظیم نمایید و ولتاژ گیت (-0.8, 0.4,0,0.4,0.8 ولت) تغییر دهید. شکل 7 (a)، 7 (b) و 7 (c) ، به ترتیب، مقایسه توزیع غلظت الکترون پتانسیل الکترواستاتیک و میدان الکتریکی در جهت عمود بر کانال در موقعیت های مختلف را گزارش می دهد. شکل 7 (d) بزرگنمایی جزئی میدان الکتریکی را نشان می دهد.



شکل. 7. توزیع غلظت الکترون, میدان الکتریکی و پتانسیل الکتریکی در جهت عمود بر کانال. VDS را برابر با 0.5 V تنظیم نمایید و ولتاژ گیت (-0.8, 0.4,0,0.4,0.8 ولت) تغییر دهید. (a) مقایسه توزیع غلظت الکترون در جهت عمود بر کانال در موقعیت های مختلف. (b) توزیع پتانسیل الکترواستاتیک. (c) توزیع میدان الکتریکی. (d) بزرگنمایی جزئی میدان الکتریکی.

هنگامی که ولتاژ گیت اعمال شده کمتر از یک مقدار مشخص باشد، نیروی الکتریکی قوی, تقریباً تمام لوله های الکترون ها را خارج از منطقه بدنه قرار می دهد؛ غلظت های الکترون در هر دو سطح بدنه و منطقه مرکزی بدنه بسیار کم و بسیار پایین تر از غلظت دوپینگ نانوسیم سیلیکونی است. این بدان معنی است که این منطقه کل بدنه را می توان تقریباً به طور کامل تهی شده در نظر گرفت. غلظت الکترون منطقه در سطح, پایین تر از منطقه مرکزی است چرا که توانایی کنترل VGS, در سطح منطقه بدنه با افزایش VGS بالاترین است؛ تهی سازی به تدریج حذف می شود, پس از اینکه VGS به مقدار باند مسطح می رسد. هنگامی که ولتاژ اعمال شده گیت به ولتاژ آستانه دستگاه می رسد، یک مقدار مشخصی از الکترون ها در منطقه کانال برای اتصال سورس و درین انباشته می شوند. این تغییرات همچنین باعث انحنای منحنی پتانسیل برای کاهش تدریجی به صفر می شوند, در حالی که هر دو منطقه سطح و مرکز به منطقه خنثی بازیابی می شوند. و زمانی که ولتاژ گیت بیشتر بالا می رود، پتانسیل کانال به طور مداوم افزایش می یابد و الکترونها در سطح منطقه بدنه تجمع می یابند. علاوه بر این، غلظت الکترونهای نزدیک منطقه سطح, بالاتر از غلظت الکترون ها در منطقه مرکزی است.

**2.7. تاثیر ولتاژ درین**

پارامترهای JL FET DG را به صورت L = 10 نانومتر، W = 10 نانومتر، tb = 10 نانومتر، . اشکال 8 (a) و 8 (b), نمودار مشخصات حالت-روشن در مقیاس های لگاریتم خطی از DG JL FET برای VDS متفاوت (0.2، 0.4، 0.6، 0.8، 1.0، 1.2 V) بود. دیده می شود که ولتاژ آستانه با افزایش VDS کاهش می یابد. شکل 8 (c) توزیع پتانسیل الکترواستاتیک در جهت کانال DG JL FET برای VDS اعم از 0.2 تا 1.2 V در پله های 0.2 V و VDS = 1.5 V در نقطه tb/2 را نشان می دهد. شکل 8 (d) توزیع پتانسیل الکترواستاتیک در جهت عمود بر کانال در نقطه L / 2 نشان می دهد. پتانسیل الکترواستاتیک با افزایش VDS در دو نمودار افزایش می یابد.

شبیه سازی SSهای DG JL FET بالا و DG IM FET با همان پارامترها برای شش مقدار VDS. شکل 8 (E) منحنی SS-VDS از دو دستگاه نشان می دهد. SSS از هر دو نوع از ادوات با افزایش VDS افزایش می دهد. با این حال، تاثیر SS از VDS از DG JL FET کوچکتر از DG IM FET است، به این معنی که FETهای JL در این جنبه با ثبات تر است.



شکل. 8. (a) مشخصات حالت-روشن در لگاریتم DG JL FET برای VDS های مختلف (0.2، 0.4، 0.6، 0.8، 1.0، 1.2 V). (b) مشخصات حالت روشن در مقیاس خطی. (c) توزیع پتانسیل الکترواستاتیک در جهت کانال DG JL FET برای VDS اعم از 0.2 تا 1.2 ولت در پله های 0.2 V و VDS = 1.5 V در نقطه tb/2. (d) توزیع پتانسیل الکترواستاتیک در جهت عمود بر کانال در نقطه L / 2. پتانسیل الکترواستاتیک با افزایش VDS افزایش می یابد. (e) منحنی SS-VDS دو دستگاه. SSهای هر دو نوع ادوات با افزایش VDS افزایش می یابد. تاثیر روی SS در DG JL FET از VDS, برای DG IM FET, کوچکتر است.

**3. نتیجه گیری**

ما مشخصات FET های DG JL را شبیه سازی و تحلیل نمودیم. از نتایج شبیه سازی، مشاهده می شود که FET های DG JL تمام خواص ماسفت DG معمولی را دارند. این مقاله اثر غلظت دوپینگ، طول کانال و ضخامت بدنه در ولتاژ آستانه و شیب زیرآستانه کانال کوتاه FETهای JL را تحلیل نمود. در همان شرایط، تاثیر طول کانال و VDS در FETهای JL کوچکتر از FET ها معمولی است. با توجه به این مزایا، از نظر SCEها,JL FET می تواند یک انتخاب خوب باشد.





