

## محدودکننده گذرای حالت-جامد برای حالات گذار سویچینگ بانک خازنی

### چکیده

اضافه ولتاژ گذرا و جریان هجومی، دو پدیده عمده گذرا هستند که به خاطر سویچینگ خازن رخ می دهند. علاوه بر تنزل کیفیت توان، این موارد گذرا منجر به کوتاه شدن طول عمر خازن و دستگاه سویچینگ می شوند. به منظور کاهش این حالات گذرا، یک محدودکننده گذرای سویچینگ خازن حالت جامد (SSCSTL) در این مطالعه پیشنهاد شده است. SSCSTL پیشنهادی دارای دو حالت عملیات است: حالت محدودکننده و حالت کنارگذر. در طول انرژی زایی خازن، یک راکتور DC و یک وریستور، جریان هجومی و اضافه ولتاژ گذرا را حذف می کند. در حالت پایدار، راکتور DC توسط یک تریستور کنارگذر می شود، به طوری که SSCSTL به صورت اتصال کوتاه عمل می کند و هیچ اثر قابل توجهی بر روی مدار ندارد. تریستور با استفاده از یک تکنیک جدید خودکار راه اندازی ساختار ساده در شرایط عادی تحریک می شود. SSCSTL پیشنهادی با یک ساختار بسیار ساده و همچنین عملکرد سریع و قابل اعتماد، یک راه حل کارآمد برای اطمینان از سویچینگ خازن بدون هیچ اضافه ولتاژ و گذرا و جریان هجومی است. یک SSCSTL نمونه اولیه تک فاز توسط برنامه گذرای الکترومغناطیسی شبیه سازی شده و تست شده است. نتایج شبیه سازی و آزمایش نشان می دهد که SSCSTL پیشنهادی موجب کاهش قابل ملاحظه جریان هجومی و اضافه ولتاژ گذرا در طول سویچینگ خازن می شود.

### 1. مقدمه

بانک های خازن قدرت به طور گسترده ای برای بهبود ضریب توان در سیستم های قدرت استفاده می شوند. توان واحد نزدیک به واحد دارای چندین مزیت مانند کاهش تلفات در فیدرهای توزیع، افزایش ظرفیت خطوط انتقال برق و ترانسفورماتورها و همچنین مشخصات ولتاژ مورد نظر است. با توجه به تنوع مستمر از بارهای القایی در سیستم

های قدرت، بانک های خازنی باید اغلب با یک رگولاتور ضریب قدرت اتوماتیک با توجه به ضریب قدرت مورد نیاز در پستها یا کارخانه های صنعتی روشن / خاموش شوند [1]. با این حال، اضافه ولتاژ گذرا و جریان هجومی در شرایط سویچینگ خازن بوجود می آیند [2]. علاوه بر تنزل کیفیت قدرت، چنین موارد گذرا منجر به کاهش در طول عمر خازن و دستگاه سویچینگ می شود. بنابراین، برخی از استانداردها در مورد سویچینگ خازن توصیه شده است [3]. [4]. علاوه بر این، چندین روش برای مهار حالات گذرای سویچینگ خازن پیشنهاد شده است که به طور کلی بر اساس دو مفهوم است: افزایش امپدانس خط در سویچینگ فوری و یا نزدیک به اتصالات سویچ هنگامی که ولتاژ در سراسر اتصالات صفر است. در [2]، یک راکتور سری محدودکننده جریان برای محدودکننده کردن موارد سویچینگ خازن ارائه شده است. این روش، ساده و ارزان است، اما یک راکتور ثابت ممکن است سبب تشدید سیستم شود. بنابراین رتبه بندی ولتاژ افزایش یافته بانک خازنی ممکن است لازم باشد تا این تکنیک استفاده شود. مقاومت / سلف قبل از جاسازی، روش دیگری است، که در [5، 6] پیشنهاد شده است. سویچینگ ولتاژ-صفر اتصالات سویچ [7]، [8] و تکنیک های مبتنی بر کنترل الکترونیکی قدرت [9/12] گزینه های دیگر می باشند. این روش ها به یک مدار کنترل اضافی نیاز دارند که منجر به افزایش در هزینه و پیچیدگی می شود. علاوه بر این، آنها کمتر قابل اعتماد هستند.

در این مقاله، یک محدودکننده گذرای سویچینگ خازن حالت جامد کارآمد (SSCSTL) برای محدود کردن حالات گذرای سویچینگ خازن پیشنهاد شده است. پس از سویچینگ، SSCSTL به حالت الغای گذرا می رود به طوری که یک راکتور DC، جریان هجومی سویچینگ را محدود می کند، اضافه ولتاژ و سویچینگ گذرا با استفاده از یک وریستور بریده می شود. پس از انرژی زایی بانک خازنی، SSCSTL به حالت بای پس می رود و یک تریستور (TH) راکتور DC را باس پس (کنارگذر) می کند. بنابراین SSCSTL به عنوان یک مسیر اتصال کوتاه عمل می کند. در نتیجه، SSCSTL هیچ تاثیری بر روی مدار در حالت پایدار ندارد. SSCSTL دارای زمان پاسخ سریع برای سویچینگ بین حالات محدودکننده کردن و کنارگذر است که  $>20$  میلی ثانیه است. از یک مدار ساده و قابل اعتماد تحریک-خودکار برای دادن انرژی به بانک خازنی استفاده می کند. به عنوان یک نتیجه از استفاده از

یک راکتور نوع DC-، هیچ نگرانی در مورد رزونانس سری وجود ندارد. علاوه بر حذف حالات گذرای سوئیچینگ خازن، SSCSTL، جریان خطا در بانک خازنی را محدود می کند.

بقیه مقاله به شرح زیر سازماندهی شده است: در بخش 2، پیکربندی SSCSTL و اصول عملکرد آن ارائه شده است. بخش 3 توسعه تجزیه و تحلیل مدار محدودکننده ارائه شده است. در بخش 4، عملکرد SSCSTL با استفاده از برخی از شبیه سازی و نتایج تجربی ارزیابی شده است. در نهایت در بخش 5 نتایج این مقاله را ارائه می دهد.

## 2. ساختار SSCSTL و اصل عملکرد آن

توپولوژی تک فاز SSCSTL برای نشان دادن اصل عمل آن در نظر گرفته شده است. با این حال، می توان آن را مستقیماً به یک ساختار سه فاز افزایش داد. در این بخش، ساختار محدودکننده گذرای سوئیچینگ خازن پیشنهادی ارائه شده است. علاوه بر این، وظایف بخش های مختلف SSCSTL معرفی شده است. نهایتاً، حالات عملیات SSCSTL بررسی خواهد شد.

### 2.1 ساختار SSCSTL

ساختار مدار SSCSTL در شکل 1 نشان داده شده است. ساختار آن را می توان به دو بخش تقسیم نمود: بخش قدرت و بخش کنترل. بخش قدرت از یک راکتور DC (L)، یک مقاومت خارجی (RE)، یک یکسو کننده پل تک فاز و یا یکسو کننده قدرت (D1-D4)، یک Th و یک وریستور با قدرت بالا (MOV1) تشکیل شده است. بخش کنترل شامل یک ترانسفورماتور کم توان (T)، یک یکسو کننده تک فاز با ترانسفورماتور کم توان مرکز-شیر و یا یکسو کننده کنترل (DB و Da) و یک رگولاتور ولتاژ (L7805) می شود. راکتور DC به سمت DC یکسوکننده توان، به صورت اتصال موازی با Th، قطعات کمک فتر سری مقاومت-خازن (RC) (CS و RS) و یک مقاومت متغیر (MOV2) متصل می شود. به منظور جلوگیری از اشباع هسته در راکتور DC و کاهش شار باقی مانده، هسته سلف را می توان با یک شکاف هوا طراحی نمود. سلف، جریان هجومی سوئیچینگ خازن را محدود می کند. قطعات وریستور (MOV2) و RC سری از Th در برابر سوئیچینگ اضافه ولتاژ گذرا حفاظت می کنند. ولتاژ بهره برداری از MOV2 بالاتر از حداکثر ولتاژ تغذیه انتخاب می شود. Th، سلف و قطعات کمک فتر را در شرایط حالت

پایدار دور می زند. یک وریستور (MOV1) نیز برای حذف اضافه ولتاژ گذرای سویچینگ خازن در نظر گرفته می شود. ولتاژ بهره برداری از MOV1 کمی بالاتر از ولتاژ بهره برداری MOV2 انتخاب می شود. در بخش کنترل، یک ترانسفورماتور کم توان 9/220 V به صورت موازی با بانک خازنی متصل می شود. یک یکسو کننده تک فاز با ترانسفورماتور کم توان مرکز-شیر، مدار تحریک را تغذیه می کند. رگولاتور (L7805) برای محافظت از Th در برابر اضافه ولتاژ در کاتد گیت در نظر گرفته می شود.

## 2.2 اصل عمل SSCSTL

عوامل محدودکننده ضروری SSCSTL پیشنهادی، یک راکتور DC / وریستور MOV واقع شده به صورت سری / موازی با بانک خازنی هستند. اضافه ولتاژ گذرا در طی سویچینگ توسط MOV حذف می شود. اضافه جریان گذرا توسط راکتور DC محدود می شود. بر این اساس، SSCSTL پیشنهادی دارای دو حالت عملیات است: حالت محدودکننده و حالت کنارگذر. در حالت محدودکننده (در لحظات اولیه بعد از سویچینگ خازن)، ولتاژ خازن و ولتاژ ثانویه T کمتر از ولتاژ مورد نیاز برای هدایت Th هستند.

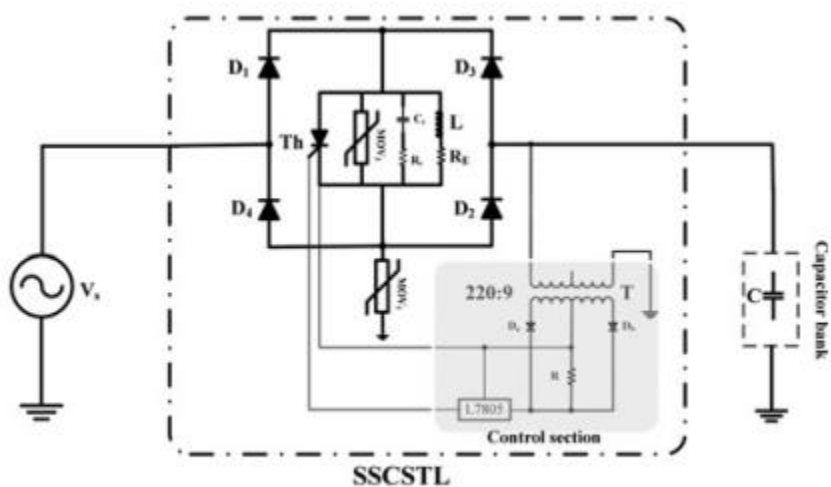


Fig. 1 Proposed SSCSTL

شکل 1 SSCSTL پیشنهادی

بنابراین، Th خاموش می ماند و راکتور DC و مقاومت خارجی، جریان هجومی بانک خازنی را محدود می کنند. علاوه بر این، اضافه ولتاژ گذرای سویچینگ توسط وریستور MOV1 حذف می شود. در حالت بای پس (پس از

ساخت ولتاژ مناسب در سراسر بانک خازنی، ولتاژ ثانویه ترانسفورماتور T به یک سطح کافی می رسد که Th را روشن می کند و بنابراین راکتور DC کنارگذر خواهد شد. در واقع، جریان بانک خازنی از طریق Th و D1-D4 عبور می کند که به شکل مسیر اتصال کوتاه در می آید. یکسوساز مرکز-شیر و رگولاتور L7805 برای تحریک Th استفاده می شوند.

حالات محدودکننده و کنارگذر کردن SSCSTL پیشنهادی می تواند در دو حالت از عمل رده بندی شود که در بخش زیر توصیف شده است

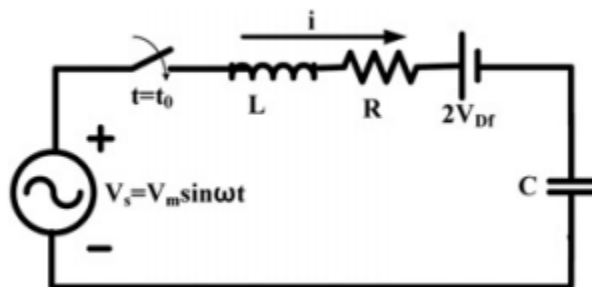
**2.2.1 حالت گذرای انرژی دار شدن:** فرض کنید که بانک خازنی هیچ هزینه ای از نظر گشتاورهای اولیه سوئیچینگ خازن ندارد، بنابراین ولتاژ در سراسر T صفر است و Th توسط مدار تحریک- خودکار روشن نمی شود. در نتیجه، راکتور DC، جریان بانک خازنی را هدایت می کند. بنابراین، جریان هجومی سوئیچینگ خازن توسط راکتور DC حذف خواهد شد. علاوه بر این، مقاومت خارجی (RE) به حذف جریان هجومی کمک می کند و وریستور MOV1 اضافه ولتاژ گذرا از انرژی دار شدن خازن را نیز حذف می کند.

**2.2.2 حالت پایدار:** هنگامی که بانک خازن شارژ می شود و ولتاژ آن به حدود ولتاژ اسمی می رسد، مدار تحریک- خودکار توسط سطح ولتاژ مورد نیاز تامین می شود. در نتیجه Th می تواند تحریک شود. بنابراین، سلف توسط Th پس از فرآیندهای انرژی دار شدن کنارگذر می شود. در این شرایط، راکتور DC در مقاومت داخلی سلف (Rint)، RE و در مقاومت حالت-روشن Th تخلیه می شود. با توجه به تلفات حالت-روشن پایین Th، این حالت به عنوان اتصال کوتاه عمل می کند و SSCSTL هیچ تاثیری بر عملیات حالت پایدار مدار ندارد.

### 3 تحلیل و طراحی SSCSTL

#### 3.1 تجزیه و تحلیل مدار

فرض کنید که بار اولیه بانک خازنی صفر است. بنابراین، هنگامی که بانک خازن روشن می شود، Th در طول فرآیند شارژ، خاموش است. مدار معادل SSCSTL در حالت الغای گذرا امیدانس بالا در شکل 2 نشان داده شده است. فرض می شود که انرژی سازی در  $t = T_0$  آغاز می شود.



شکل 2. مدار معادل SSCSTL در حالت محدودکننده

در مدار معادل،  $L$ ،  $R$  و  $V_{Df}$  به ترتیب اندوکتانس سلف محدودکننده، مقاومت مدار از جمله مقاومت سلف و مقاومت خارجی ( $R_E$ ) و ولتاژ مستقیم دیودها هستند. برای سادگی، فرض می شود که در سویچینگ خازن، تنها جریان هجومی رخ می دهد و هیچ ولتاژ گذرای به نظر نمی رسد، بنابراین اثر از واریستورها و کمک فنر را می توان صرف نظر کرد. معادله دیفرانسیل مدار معادل را می توان به صورت زیر بیان نمود

$$Ri + L \frac{di}{dt} + \frac{1}{C} \int idt = V_m \sin \omega t - 2V_{Df} \quad (1)$$

از آنجا که اندوکتانس مدار بیشتر از مقاومت خود در حالت محدودکننده است، پاسخ مدار تحت-میرایی خواهد رفت. فرض می شود که شرایط اولیه مدار بدین صورت است:  $v_c(t_0) = 0$ ,  $i(t_0) = 0$  and  $di(t_0)/dt = (V_m \sin \omega t_0 - 2V_{Df})/L$ , که در آن  $V_C$  ولتاژ ترمینال بانک خازنی را نشان می دهد.

جریان این حالت را می توان توسط حل (1) به صورت زیر به دست آورد

$$i(t) = \frac{V_m}{Z} \sin(\omega t - \phi) + e^{-\alpha(t-t_0)} \times [A \sin \omega_d(t-t_0) + B \cos \omega_d(t-t_0)] \quad (2)$$

که در آن

$$Z = \sqrt{R^2 + \left(\omega L - \frac{1}{C\omega}\right)^2}, \quad \phi = \tan^{-1} \frac{(\omega L - (1/C\omega))}{R},$$

$$\omega_d = \sqrt{\omega_0^2 - \alpha^2}, \quad \alpha = \frac{R}{2L} \quad \text{and} \quad \omega_0 = \frac{1}{\sqrt{LC}}$$

ثوابت A و B را می توان بر اساس شرایط اولیه به صورت زیر محاسبه نمود

$$A = \frac{V_m \sin \omega t_0 - 2V_{Df}}{\omega_d L} - \frac{V_m}{\omega_d Z} [\alpha \sin(\omega t_0 - \phi) + \omega \cos(\omega t_0 - \phi)] \quad (3)$$

$$B = -\frac{V_m}{Z} \sin(\omega t_0 - \phi) \quad (4)$$

در حالت بای پس، Th، تحریک می شود و راکتور DC کنارگذر خواهد شد. بنابراین SSCSTL به عنوان مسیر اتصال کوتاه عمل می کند. در این وضعیت، سلف در مقاومت خارجی (RE) و مقاومت دیگر از مدار کنارگذر تخلیه می شود. مدار معادل این حالت در شکل 3 نشان داده شده است. افت ولتاژ در حالت Th به منظور سادگی بیشتر استفاده می شود. فرض بر این است که Th در  $t = t_1$  تحریک می شود. معادله مدار معادل را می توان به صورت

زیر نوشت

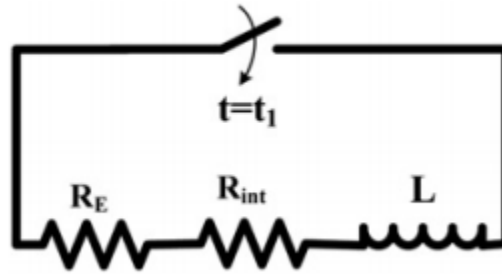
$$Ri + L \frac{di}{dt} = 0 \quad (5)$$

جایی که R مجموع RE و مقاومت داخلی سلف را نشان می دهد (چاپ).

از (2)،  $i(t_1) = I$ ، این شرایط اولیه برای تخلیه سلف در مدار نشان داده شده در شکل 3 است. جریان تخلیه

سلف را می توان با حل معادله زیر به دست آورد

$$i_{\text{discharge}}(t) = Ie^{-(R/L)t} \quad (6)$$



شکل 3. مدار معادل SSCSTL در حالت کنارگذر

### 3.2 طراحی SSCSTL

اندوکتانس راکتور DC می توان با استفاده از (1) محاسبه نمود که در آن ولتاژ DC با ولتاژ سینوسی vs جایگزین می شود. برای سادگی، فرض بر این است که مقاومت راکتور DC قابل اغماض است و RE در نظر گرفته نمی شود، به طوری که (1) به صورت زیر بازنویسی می شود

$$L \frac{di}{dt} + \frac{1}{C} \int i dt = V_m - 2V_{Df} \quad (7)$$

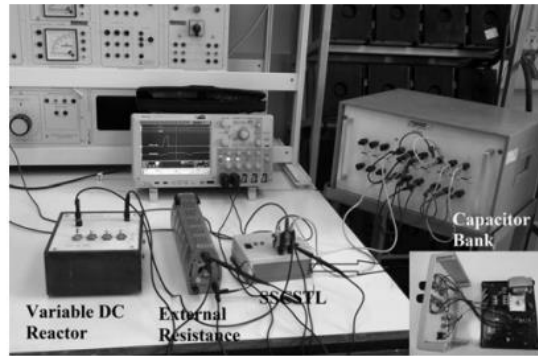
با در نظر گرفتن شرایط اولیه که عبارتند از:  $v_c(t_0) = 0, i(t_0) = 0$  و  $\frac{di(t_0)}{dt} = (V_m - 2V_{Df})/L$ ، با حل (7) و برخی تخمین ها، مقدار راکتور DC را می توان از معادله زیر محاسبه نمود

$$L_d = \left( \frac{V_m - 2V_{Df}}{I_{inrush}} \right)^2 \times C \quad (8)$$

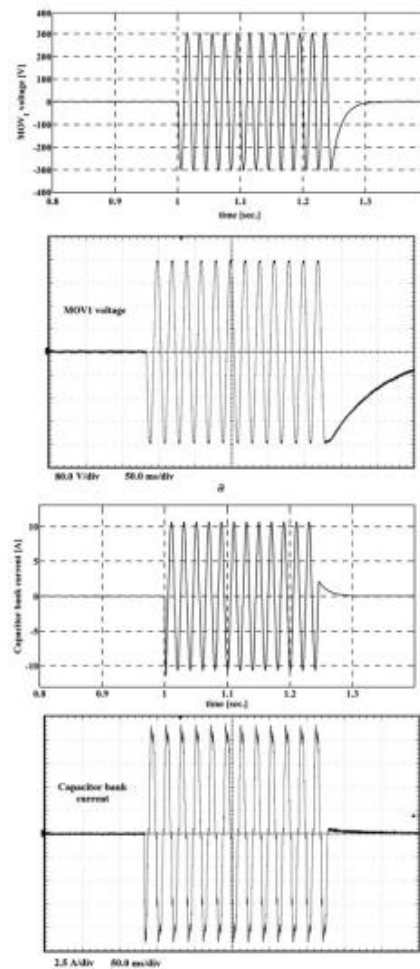
که در آن  $I_{inrush}$ ، دامنه جریان هجومی است که انتظار می رود توسط راکتور DC محدود شود.

ولتاژ بهره برداری وریستور MOV2 به عنوان V400 انتخاب می شود که کمی بزرگتر از اوج ولتاژ تغذیه انتخاب شده است. رتبه بندی کنونی Th با در نظر گرفتن متوسط جریان حالت-روشن سوئیچ تعیین می شود و بر اساس جریان تمام-موج یکسو شده مدار انتخاب می شود.





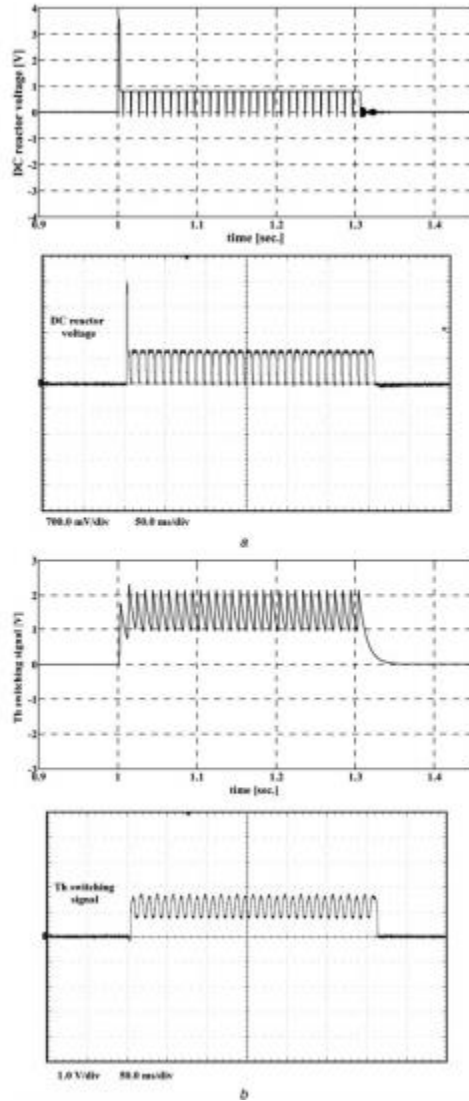
شکل 4. میز آموزن یک نمونه اولیه آزمایشگاهی SSCSTL



شکل 5. شبیه سازی و نتایج آزمایشی

MOV 1 a ولتاژ

b جریان بانک خازنی



شکل 6. شبیه سازی و نتایج آزمایشی

a ولتاژ راکتور DC

b سیگنال سویچینگ

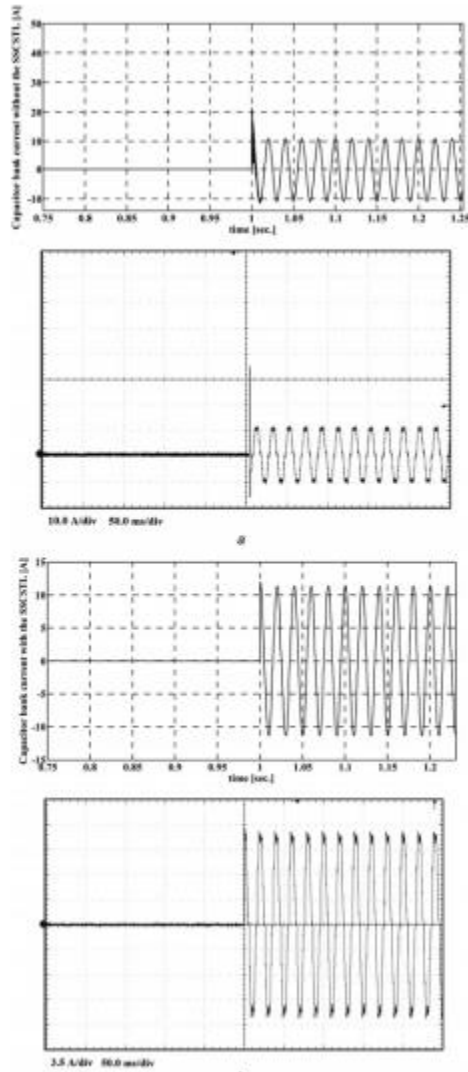
ولتاژ بهره برداری از MOV1 به عنوان 600 V به منظور بریدن اضافه ولتاژ گذرای سویچینگ خازن در نظر گرفته می شود. ولتاژ معکوس D1-D4 برابر با حداکثر ولتاژ تغذیه است. میانگین جریان مستقیم یکسو شده دیودها، با توجه به جریان نامی بانک خازنی انتخاب می شود. جریان ناگهانی مستقیم پیک غیر تکراری دیودها بر اساس حداکثر جریان هجومی انتخاب می شود. همه اجزای بخش کنترل، عناصر کم توان هستند. نسبت دور ترانسفورماتور

T به گونه ای انتخاب می شود که ولتاژ تحریک مورد نیاز در سمت اولیه در 90 درصد از ولتاژ نامی بانک خازن به دست آید.

#### 4 شبیه سازی و نتایج تجربی

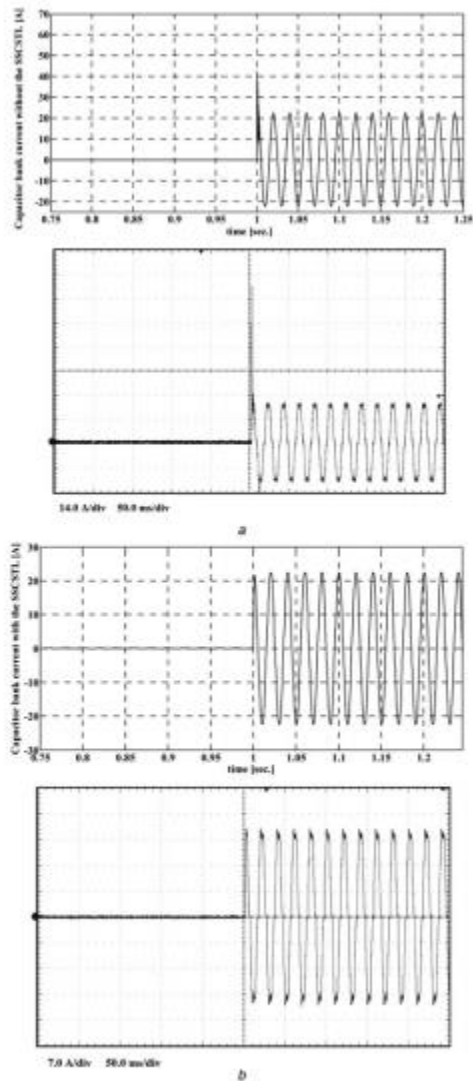
به منظور تایید قابلیت SSCSTL پیشنهادی، یک بانک خازنی تک-فاز 3 KVAR،  $240 \mu F$ ، 220 V در نظر گرفته می شود. مدار نشان داده شده در شکل 1 در نرم افزار برنامه گذرای الکترومغناطیسی شبیه سازی شبیه سازی می شود و میز آزمون آن در آزمایشگاه پیاده سازی می شود. پارامترهای مدار در جدول 1 نشان داده شده اند. بانک خازنی شامل دو طبقه 120 میکروفاراد می شود. نتایج شبیه سازی و آزمون نشان می دهند که ماکزیمم جریان هجوی در طبقات 120 و 240 میکروفاراد، حدود 35 و 90 آمپر به ترتیب می باشد. انتظار می رود که جریان های هجومی باید تا 12 و 22 A حذف شوند. بر اساس (8)، سلف های DC مورد نیاز برای SSCSTL به ترتیب حدود 10 و 3 MH هستند. البته، در (8) مقاومت های مدار نادیده گرفته می شوند، اگر چه آنها به حذف جریان هجومی کمک می کنند. بنابراین، این محدودیت ها، توسط سلف های کوچکتر در عمل به دست خواهد آمد. شکل 4 یک نیمکت آزمون آزمایشگاهی برای یک نمونه اولیه از SSCSTL را نشان می دهد. جریان گذرای خازن با استفاده از یک اسیلوسکوپ دیجیتال (تکترونیکس MSO5054) در سوئیچینگ خازن اندازه گیری می شود. مقادیر قطعات SSCSTL نمونه تک فاز و پارامترهای مدار در جدول 1 جدول بندی شده است.

اشکال 5 و 6 نشان دهنده شکل موج های مربوط به بخش های مختلف از مدار در دو حالت ذکر شده است. در شکل 5، نتایج شبیه سازی و تجربی مرتبط با ولتاژ MOV1 و جریان خازن ارائه شده است. همانطور که در این شکل نشان داده شده است، اضافه ولتاژ گذرای سوئیچینگ و جریان هجومی در سوئیچینگ بانک خازنی حذف می شوند. در شکل 6، نتایج شبیه سازی و تجربی مربوط به ولتاژ راکتور DC و سیگنال سوئیچینگ Th ارائه شده است. دیده می شود که راکتور DC، جریان بانک خازن را تنها در یک لحظه کوتاه هدایت می کند. پس از آن، سیگنال تحریک سوئیچینگ به یک سطح کافی برای تحریک Th می رسد و راکتور DC را دور می زند. می توان مشاهده کرد که نتایج شبیه سازی به خوبی با نتایج اندازه گیری شده سازگار هستند.



در شکل 7، نتایج شبیه سازی و آزمون جریان هجومی مربوط به سوئیچینگ طبقه  $120 \mu\text{F}$  با و بدون SSCSTL نشان داده شده است. بانک خازن با و بدون SSCSTL در زاویه اولیه یکسان در موارد متفاوت سویچ می شود. بدون SSCSTL، پیک جریان هجومی در این آزمایش، 35 آمپر است که توسط SSCSTL تا 12 A حذف می شود. مشاهده شده است که جریان هجومی بطور قابل توجهی با محدودکننده پیشنهاد محدودکننده حذف شده است.

نتایج مشابه نشان داده شده در شکل 7 نیز در شکل 8 برای طبقه  $240 \mu\text{F}$  ارائه شده است. در این مورد، بدون جریان SSCSTL هجومی در این آزمایش A90، که کاملاً توسط SSCSTL محدود شده است.



**Fig. 8** Simulation and experimental results of capacitor bank switching for the 240  $\mu\text{F}$  stage  
 a Without the SSCSTL  
 b With the SSCSTL

زمانی که راکتور محدودکننده DC و MOV در مدار قبل از سویچینگ خازن حاضر هستند، فرآیند محدودکننده در واقع آنی است. زمان لازم برای انتقال جریان از راکتور DC به Th به مقادیر L و R در (6) بستگی دارد و با توجه به مقادیر ارائه شده آنها در جدول 1، حالت کنارگذر، 1-20 میلی ثانیه طول می کشد.

## 5 نتیجه گیری

SSCSTL برای حذف جریان هجومی و اضافه ولتاژ گذرا مربوط به بانک خازن ارائه شده است. یک راکتور DC و ریسرور MOV به ترتیب به منظور محدود کردن جریان هجومی و حذف اضافه ولتاژ از سویچینگ خازن، استفاده

شده اند. در شرایط حالت پایدار، SSCSTL به عنوان مسیر اتصال کوتاه عمل می کند و هیچ تاثیر منفی در مدار ندارد.

ساختار ساده، حداقل تلفات توان در حالت ماندگار، پاسخ سریع و قابل اعتماد از مزیت های اصلی از SSCSTL هستند. آزمایش و شبیه سازی تایید نمودند که SSCSTL پیشنهادی، یک محدودکننده گذرای کارآمد برای سویچینگ بانک های خازنی است.

## 6 References

- 1 Miller, T.J.E.: 'Reactive power control in electric system' (John Wiley and Sons, Inc. Press, 1982), pp. 204-214
- 2 Das, J.C.: 'Analysis and control of large-shunt-capacitor-bank switching transients', *IEEE Trans. Ind. Appl.*, 2005, **41**, (6), pp. 1444-1451
- 3 IEEE Standard 18-1992: 'IEEE standard for shunt power capacitors', 2002
- 4 IEEE Standard 1036-1992: 'IEEE guide for application of shunt power capacitors', 1993
- 5 Bhargava, B., Khan, A.H., Imece, A.F., DiPietro, J.: 'Effectiveness of pre-insertion inductors for mitigating remote overvoltages due to shunt capacitor energization', *IEEE Trans. Power Deliv.*, 1993, **8**, (3), pp. 1226-1238
- 6 Abdulsalam, S.G., Xu, W.: 'Sequential phase energisation technique for capacitor switching transient reduction', *IET Gener. Transm. Distrib.*, 2007, **1**, (4), pp. 596-602
- 7 Alexander, R.W.: 'Synchronous closing control for shunt capacitors', *IEEE Trans. Power Appl. Syst.*, 1985, **PAS-104**, (9), pp. 2619-2626
- 8 Liu, K.C., Chen, N.: 'Voltage-peak synchronous closing control for shunt capacitors', *IEE Proc. Gener. Transm. Distrib.*, 1998, **145**, (3), pp. 233-238
- 9 Tseng, S.-T., Chen Hagh, J.-F.: 'Capacitor energising transient limiter for mitigating capacitor switch-on transients', *IET Electr. Power Appl.*, 2011, **1**, (3), pp. 260-266
- 10 Tseng, S.-T., Chen Hagh, J.-F., Liang, T.-J.: 'Symmetrical structure transient limiter for suppression of capacitor switching transients', *IEEE Trans. Power Deliv.*, 2011, **26**, (4), pp. 2821-2828
- 11 Tseng, H.-T., Chen, J.-F.: 'Single-DC reactor-type transient limiter for reducing three-phase power capacitor switching transients', *IEEE Trans. Power Electron.*, 2012, **27**, (4), pp. 1745-1757
- 12 Wu, J.C., Jou, H.L., Wu, K.D., Shen, N.T.: 'Hybrid switch to suppress the inrush current of AC power capacitor', *IEEE Trans. Power Deliv.*, 2005, **20**, (1), pp. 506-511