

**کنترل کننده هیسترزیس جریان برای فیلتر توان اکتیو با فرکانس ثابت**

**چکیده**

مطابق با مزیت­های روش کنترل هیسترزیس جریان ، این مقاله یک روش کنترل جدید را برای فیلتر توان اکتیو(APF) ارایه می­کند. در کنترل هیسترزیس جریان مرسوم، محدوده هیسترزیس (HB) ثابت بوده و جریان جبران­کننده واقعی در یک محدوده هیسترزیس ثابت محدود می­شود. زمانی که اینورتر منبع ولتاژ در وضعیت فرکانس بالا کار می­کند، فرکانس کلیدزنی مشکلاتی نظیر افزایش تلفات کلیدزنی را بوجود می­آورد و نویز قابل شنود پدیدار خواهد شد. در پاسخ به این مشکل روش کنترل هیسترزیس جریان با فرکانس ثابت بر پایه محدوده هیسترزیس متغیر در این مقاله پیش برده شده است. نخست ارتباط بین محدوده هیسترزیس و فرکانس کلیدزنی باید به درستی تعیین شود. سپس کنترل­کننده جریان با محدوده هیسترزیس متغیر با توجه به آن ارتباط طراحی می­شود. در نهایت نتایج شبیه­سازی در متلب نشان می­دهد که فرکانس کلیدزنی اینورتر منبع ولتاژ تقریباً ثابت نگه داشته شده و کنترل­کننده پیشنهادی می­تواند جریان مرجع را به خوبی دنبال کند. مشکلات افزایش تلفات کلیدزنی و نویز قابل شنود که در فرکانس بالا اتفاق می­افتد می­تواند در کنترل جریان مرسوم برطرف شود.

**کلمات کلیدی**: فرکانس ثابت، کنترل هیسترزیس جریان، محدوده هیسترزیس، فیلتر توان اکتیو

**1-مقدمه**

فیلتر توان اکتیو یک ابزار بسیار مفید برای حذف معضل هارمونیک در سیستم­های قدرت است. به طوریکه در مقایسه با فیلترهای پسیو (غیر فعال) مرسوم، فیلترهای توان اکتیو(APF) مزیت­های چشم­گیر زیادی نظیر توانایی کنترل خوب، پاسخ سریع، دقت کنترل بالا و ... دارد. APFهمچنین قادر است هارمونیک­های غیرمشخص را جبران کند که در شرایط خاص آن را بسیار جذاب می­کند. با توسعه تکنولوژی الکترونیک قدرت، APF در صنعت مدرن استفاده وسیعی پیدا خواهد کرد.

شکل 1 یک سیستم ساده با APF بر پایه اینورتر منبع ولتاژ است. بردار جریان سه­فاز بار، $i\_{L}$ به همراه جریان­های هارمونیک آن که جبران­سازی میشود، اندازه­گیری شده و مولفه­های هارمونیکی آن به عنوان بردار جریان مرجع با $i\_{c}^{\*}$ مشخص شده است. بردار جریان خروجی APF ،$i\_{c}$ باید کنترل شود تا بردار جریان رفرنس را دنبال کند. اگر خطای  از یک تلرانس به خصوص بیشتر باشد، کنترل جریان APF فعال خواهد شد. کنترل­کننده جریان عملکرد کلیدزنی اینورتر منبع ولتاژ را مشخص خواهد کرد تا ولتاژ ترمینال مناسب برای کاهش خطای  بدست آید. مدار درایو APF سپس تصمیم را تشخیص می­دهد. واضح است که بلوک کنترل جریان در شکل 1 برای عملکرد APF بسیار با اهمیت است. آن (بلوک) باید به سرعت واکنش دهد و بردار فضایی ولتاژ را به درستی تعیین کند تا خطای جریان را به طور مؤثر کاهش دهد و برای عملکرد ایمن در این مدت بهتر است فرکانس کلیدزنی اینورتر منبع ولتاژ ثابت بماند.



شکل 1- نمودار شماتیک سیستم با فیلتر توان اکتیو (APF)

روش­های کنترل جریان پیشنهادشده مختلفی برای پیکربندی­های فیلتر توان اکتیو وجود دارد، اما از نظر توانایی کنترل جریان سریع و پیاده­سازی ساده، روش کنترل هیسترزیس جریان بالاترین رتبه را در بین سایر روش­های کنترل جریان دارد]1[. فرکانس کلیدزنی به طور پیوسته در یک چرخه فرکانس قدرت تغییر می­کند. قاعدتاً افزایش فرکانس عملکرد اینورتر به بدست آوردن شکل موج­های جبران­کننده بهتر کمک می­کند. به هر حال محدودیت­های ابزاری وجود دارد و نیز افزایش فرکانس کلیدزنی منجر به افزایش تلفات کلیدزنی، نویز قابل شنود و سایر مشکلات مرتبط می­شود. در این مقاله کنترل فرکانس کلیدزنی با معرفی یک الگوریتم کنترل هیسترزیس جریان فرکانس ثابت تشخیص داده می­شود. هدف اصلی این مطالعه تحقیق درمورد تاثیر پهنای باند هیسترزیس روی فرکانس کلیدزنی APF است. کنترل­کننده جریان با محدوده هیسترزیس، پهنای باند هیسترزیس را به عنوان تابعی از تغییرات جریان مرجع تغییر می­دهد. در این مقاله نخست تئوری  برای شناسایی جریان به طور خلاصه بازنگری می­شود. در قسمت دوم، کنترل کننده هیسترزیس جریان با فرکانس ثابت توصیف می­شود. در قسمت سوم، نتایج شبیه­سازی و به دنبال آن نتیجه­گیری ارایه می­شود.

**3- کنترل­کننده هیسترزیس جریان فرکانس ثابت**

روش کنترل جریان با محدوده هیسترزیس در بین روش­های مختلف PWM (مدولاسیون پهنای پالس) عموماً به خاطر ساده بودن پیاده­سازی مورد استفاده عموم قرار گرفته است ]4[و]5[. در کنار پاسخ سریع حلقه جریان و توانایی محدود کردن پیک جریان این روش نیازی به اطلاعات در مورد پارامترهای سیستم ندارد. به هر حال کنترل جریان با یک محدوده هیسترزیس ثابت عیبش این است که فرکانس کلیدزنی در داخل یک محدوده تغییر می­کند به خاطر اینکه ریپل جریان پیک تا پیک باید در تمامی نقاط موج فرکانس اصلی کنترل شود ]6[و]7[.

بنابراین، روش کنترل هیسترزیس جریان با فرکانس ثابت بر پایه باند هیسترزیس متغیر در این مقاله پیش برده می­شود. اصول این روش در شکل 3 نشان داده شده است و روش کنترل HB (باند هیسترزیس) به روش کنترل­کننده هیسترزیس مرسوم اضافه می­گردد.



شکل3- کنترل­کننده جریان با محدوده هیسترزیس متغیر

نخست، وضعیت کلیدزنی اینورتر منبع ولتاژ در کنترل جریان بررسی می­شود. به راحتی مورد فاز A برداشته می­شود. شکل 4 نمودار شماتیک وضعیت کلیدزنی فاز A کنترل شده با کنترلر هیسترزیس است. در شکل 4، $i\_{ca}$ جریان بازخورد (فیدبک) ، جریان واقعی جبران­کننده و جریان اسمی خروجی اینورتر منبع ولتاژ است.



$U\_{0}$ ولتاژ خروجی VSC، $U\_{sa}$ ولتاژ شبکه قدرت و $V\_{dc}$ ولتاژ دی­سی APF می­باشد.



شکل4- نمودار شماتیک کنترل­کننده هیسترزیس

معادله مداری سیستم می­تواند با استفاده از نمودار شماتیک بدست آید.



و $U\_{0}$ را می­توانیم به صورت زیر بدست آوریم:



****

شکل 5- شکل موج­های ولتاژ و جریان با کنترل هیسترزیس جریان (برای APF)

مبانی کنترل هیسترزیس جریان به صورت زیر توصیف می­شود: زمانی که جریان خروجی VSC از حد بالای هیسترزیس فراتر رود ازHB + $i\_{ca}^{\*}$ ، خروجی کنترلر هیسترزیس S=0 و کلید پایین روشن می­شود، ولتاژ خروجی VSC،$\frac{V\_{DC}}{2}$-= $U\_{0}$ و جریان خروجی VSC، $i\_{sa}$ افت خواهد کرد. به طور مشابه زمانی که $i\_{ca}$ از حد پایین هیسترزیس ازHB - $i\_{ca}^{\*}$ کمتر شود، خروجی کنترلر هیسترزیس S=1، کلید بالایی روشن ، ولتاژ خروجی VSC ، $\frac{V\_{DC}}{2}$= $U\_{0}$ و جریان خروجی VSC، افزایش خواهد یافت.

بنابراین، دو رابطه می­تواند به صورت زیر محاسبه شود:



با توجه به شکل 4 می­توانیم بدست آوریم:





که در آن t1 و t2 بازه­های زمانی کلیدزنی و f فرکانس کلیدزنی است.

$\frac{di\_{ca}^{+}}{dt}$ و$\frac{di\_{ca}^{-}}{dt}$ ، HB ، $t\_{1}$و $t\_{2}$ به عنوان کمیت­های نامعلوم و $V\_{dc}$، $U\_{s}$، f، L و $\frac{di\_{ca}^{\*}}{dt}$ به عنوان کمیت­های معلوم فرض می­شوند. با ترکیب 5 رابطه فوق، رابطه بین HB و f می­تواند محاسبه شود.



که f فرکانس مدولاسیون، $\frac{di\_{ca}^{\*}}{dt}$ شیب موج جریان دستور داده شده است. HB می­تواند در نقاط مختلف سیکل فرکانس اصلی مدوله شود تا الگوی کلیدزنی اینورتر را کنترل نماید. برای عملکرد مشابه سه­فاز انتظار می­رود HB نماد $HB\_{a}$، $HB\_{b}$ و $HB\_{c}$ مشابه اما فازهای متفاوتی داشته باشند. کنترل­کننده جریان فرکانس ثابت با محدوده هیسترزیس ثابت پهنای باند هیسترزیس را مطابق تغییرات لحظه­ای جریان جبران­کننده ($(\frac{di\_{ca}^{\*}}{dt}$ و ولتاژ $V\_{dc}$تغییر می­دهد تا اثر اعوجاج جریان روی شکل موج مدوله­شده مینیمم شود. در این مقاله، کنترل­کننده هیسترزیس جریان با فرکانس ثابت توسط معادله 8 طراحی شده است. بلوک دیاگرام محاسبه پهنای باند هیسترزیس فرکانس ثابت می­تواند توسط رابطه 8 بدست آید.



شکل 6- بلوک دیاگرام محاسبه پهنای باند هیسترزیس فرکانس ثابت

رابطه 8 HB را به عنوان تابعی از فرکانس کلیدزنی، ولتاژ تغذیه، ولتاژ خازن دی­سی و شیب $i\_{ca}^{\*}$ موج جریان مرجع جبران­کننده نشان می­دهد. باند هیسترزیس می­تواند به عنوان تابعی از $V\_{dc}$ تنظیم شود به طوری که فرکانس مدولاسیون f تقریبا ثابت بماند. این امر باعث بهبود عملکرد PWM و اساساً APF می­شود. بنابراین کنترل­کننده جریان هیسترزیس فرکانس ثابت می­تواند به صورت شکل 7 طراحی شود.



شکل 7- بلوک دیاگرام کنترل­کننده جریان هیسترزیس فرکانس ثابت

**4. نتایج شبیه سازی و بحث و گفتگو**

به منظور بررسی اعتبار کنترل کننده جریان جریان هیستریک با فرکانس ثابت ، شبیه سازی Matlab6.5 اتخاذ شده است. پارامترهای مدار در جدول نشان داده شده است.



فرکانس­های کلیدزنی لحظه­ای در شکل 8 به ترتیب نشان داده شده است. در روش کنترل هیسترزیس جریان فرکانس ثابت، فرکانس کلیدزنی لحظه­ای با اندکی انحراف ثابت می­ماند برخلاف روش کنترل جریان هیسترزیس با باند ثابت. در کاربردهای عملی، ضروری است که فرکانس کلیدزنی در یک محدوده مطمئن ثابت نگه داشته شود، به منظور مشخص شدن کلیدزنی ادوات و نیز مشخص شدن تلفات کلیدزنی. در کنترل­کننده هیسترزیس جریان مرسوم ، نه تنها مشخص کردن پهنای باند هیسترزیس امکان­پذیر نیست بلکه مشخص کردن فرکانس کلیدزنی هم مطابق پارامترهای مدار غیر ممکن است (Cdc,L,Vdc). در کنترل­کننده هیسترزیس جریان فرکانس ثابت، فرکانس کلیدزنی مطابق پارامترهای سیستم و فرکانس تعریف­شده ثابت می­ماند.

شکل­موج های جریان سه­فاز در سیستم قدرت بدون جبرانساز در شکل 9 و با جبرانساز در شکل 10 نشان داده شده است. در شکل 9 دیده می­شود که هارمونیک جریان زیادی در سیستم قدرت وجود دارد. و در شکل 10 با جبرانساز APF، شکل موج به سینوسی نزدیک است. نتایج به صورت زیر بدست می­آید: APF تحت کنترل جریان هیسترزیس فرکانس ثابت مشخصه آفست رضایت­بخش دارد و قادر به حذف اکثر هارمونیک­ها می­باشد و مشکلات روش کنترل هیسترزیس جریان مرسوم نظیر پدیده تلفات کلیدزنی و نویز قابل شنود را زمانی که VSC در فرکانس بالا در حال کار است، حل می­کند. نتایج شبیه­سازی اعتبار روش کنترل هیسترزیس جریان فرکانس ثابت را اثبات می­کند.



شکل 8- مقایسه فرکانس­های کلیدزنی تحت دو روش کنترلی مختلف



شکل 9- شکل موج جریان سه­فاز بدون جبرانساز در سیستم قدرت



شکل 10- شکل موج جریان سه­فاز با جبرانساز در سیستم قدرت

**5- نتیجه­گیری**

این مقاله اعتبار کنترل­کننده هیسترزیس جریان فرکانس ثابت را برای فیلتر توان اکتیو نشان می­دهد. مطابق نتایج مطالعه شبیه­سازی روش جدید APF که در این مقاله ارایه شد، رضایت نسبتاً بالایی با حذف هارمونیک­ها و مولفه­های توان راکتیو از جریان حاصل شد. اعتبار این روش به منظور جبران هارمونیک­های جریان بر اساس نتایج شبیه­سازی ثابت شده است. نتایج شبیه­سازی نشان می­دهد که کنترل هیسترزیس جریان مرسوم و کنترل هیسترزیس جریان فرکانس ثابت به یک اندازه در فیلتر کردن هارمونیک­های تولید شده در بار غیر خطی موفق هستند. تفاوت اصلی بین دو روش کنترلی باید در هارمونیک­های فرکانس بالای تولیدشده توسط کلیدزنی IGBT ها باشد. فرکانس کلیدزنی لحظه­ای در روش جدید برخلاف روش کنترل هیسترزیس مرسوم ثابت می­ماند و فرکانس کلیدزنی باید در یک محدوده امن که توسط ادوات کلیدزنی تعیین می­شود، ثابت نگه داشته شود. این مقاله یک کنترل هیسترزیس جریان فرکانس ثابت از روش کلیدزنی اینورتر منبع ولتاژ را توصیف می­کند که پهنای باند می­تواند توسط $\frac{di\_{c}^{\*}}{dt}$ تعریف شود.

