

**مدارات مرجع با منبع 1.2ولت، 100نانووات، 1.09ولت بندگپ و منبع 0.7ولت، 52.5نانووات، 0.55ولت زیربندگپ برای LSIهای CMOS نانووات**

**چکیده**

این مقاله منبع بندگپ[[1]](#footnote-1) و مدارات sub-BGR برای LSIهای نانووات را نشان می‌دهد. مدارات شامل یک مدار جریان مرجع نانوآمپری، یک ترانزیستور دوقطبی و ژنراتورهای ولتاژ متناسب با دمای خالص[[2]](#footnote-2) می‌باشند. مدارات پیشنهادی از استفاده از مقاومت‌ها اجتناب کرده و شامل تنها MOSFET و یک ترانزیستور دوقطبی است. به دلیل اینکه مدار sub-BGR ولتاژ خروجی ترانزیستور دوقطبی را بدون استفاده از مقاومت تقسیم می‌کند، می‌تواند با منبع زیر 1ولت کار کند. نتایج تجربی به دست آمده در تکنولوژی CMOS 0.18 میکرومتر نشان می‌دهند که مدار BGRمی‌تواند ولتاژ مرجع 1.09ولت و مدار sub-BGR ولتاژ مرجع 0.548 را تولید کند. اتلاف توان مدارات BGR و sub-BGR به ترتیب 100 و 52.5 نانووات می‌باشد.

**اصطلاحات شاخص -** مدارهای مرجع با فاصله باند (BGR)، آنالوگ CMOS مدارهای مجتمع، ولتاژ پایین، نانو وات، مدارهای مرجع.

**1. مقدمه**

انتظار می‌رود که پیشرفت LSIهای نانووات منجر به گسترش نسل بعدی اپلیکیشن‌هایی با قابلیت نظارت توان، مثل وسیله‌های پزشکی مرتبط با عمر و کمک کننده به زندگی، سنسورهای محیطی و شبکه سنسورهای بی‌سیم شود. ما نیاز داریم که LSIهایی طراحی کنیم که با اتلاف توان بسیار پایین کار کنند زیرا آن‌ها باید برای مدت طولانی با منبع انرژی کمتر از حد ایده‌آل که از میکروباتری‌ها یا از انرژی طبیعی محیطی گرفته می‌شوند، عمل کنند. برای پیشرفت چنین LSIهایی، ما در ابتدا باید مدارات ولتاژ مرجع را توسعه دهیم زیرا از جمله مدارات سازنده آنالوگی پایه‌ای هستند. در اینجا مدارت ولتاژ مرج مقاوم به تغییرات پروسه، ولتاژ و دما را که می‌تواند در ده‌ها نانووات یا کمتر عمل کند، توصیف می‌کنیم.

مدارات BGR به طور گسترده در LSIهای مردن استفاده می‌شوند تا ولتاژ مرجع را درون چیپ‌ها تولید کنند. ولتاژ تولید شده برای پردازش سیگنال آنالوگ متنوعی استفاده می‌شود. با وجود اینکه BGRهای مختلفی توسعه داده شده‌اند، اتلاف توان اکثر آن‌ها از توان نانووات بشتر بوده و کاهش آن چشمگیر نبوده است. یکی از دلایل آن استفاده از مقاومت‌هاست. مقاومت‌ها در اکثر مدارات مرجع برای تولید جریان و یا ولتاژ برای کنترل ویژگی‌های دمایی ولتاژ مرجع خروجی استفاده می‌شود. وقتی از یک مقدار میانه برای مقاومت استفاده می‌شود جریان کافی برای مقاومت‌ها نیاز بوده و لذا اتلاف توان نمی‌تواند کاهش یابد. در صورتی که برای کاهش جریان مقاومت بزرگتر در نظر گرفته شود مساحت سطح سیلیکون افزایش می‌یابد.

مدارات مرجع بدون مقاومتی که در توان نانوواتی کار می‌کنند گزارش شده‌اند. اگرچه، خروجی ولتاژ مرجع این مدارات با تغییرات پروسه تغییر می‌کند، زیرا به ولتاژ آستانه ماسفت‌ها بستگی دارند. لذا برای استفاده به عنوان مدار ولتاژ مرجع مناسب نیستند.

در این مقاله یک مدار BGR نانوواتی که از مقاومت استفاده نمی‌کند ارائه می‌شود. در تضاد با Hirose et al از یک تکنولوژی CMOS 0.18 میکرومتر متفاوتی استفاده کرده تا استحکام معماری مدار BGR خود را نشان دهیم. BGR پیشنهادی شامل یک مدار جریان مرجع نانوآمپری، یک ترانزیستور دوقطبی و یک ژنراتور ولتاژ PTAT می‌باشد. چون این مدار فقط شامل ماسفت‌ها و یک ترانزیستور دوقطبی است، می‌تواند یک ولتاژ بندگپ بدون مقاومت را تولید کند. علاوه بر آن یک مدار sub-BGR که ولتاژ کمتر از 1.2ولت را تولید می‌کند نیز ارائه می‌شود. Sub-BGR پیشنهادی از یک مقسم ولتاژ استفاده می‌کند. مقسم ولتاژ، ولتاژ بیس-امیتر دوقطبی را در ورودی گرفته و در ترکیبی از ژنراتورهای ولتاژ PTAT، یک ولتاژ مرجع کمتر از 1ولت را تولید می‌کند لذا sub-BGR پیشنهادی به عنوان یک مدار مرجع در LSIهای کمتر از 1ولت مفید است.

این مقاله به این ترتیب سازمان‌دهی شده است که بخش II اصول عملکرد نهفته در مدارات پیشنهادی را ارائه می‌کند. بخش III پیاده‌سازی مدارات با استفاده از تکنولوژی 0.18 میکرومتر و N-well عمیق را توصیف کرده و نتایج تجربی با چیپ ساخته شده ارائه می‌شود. اتلاف توان بسیار کم 100 و 52.5 نانووات برای مدارات BGR و sub-BGR حاصل شدند. بخش IV نتیجه مقاله می‌باشد.

**2. معماری**

**A. ویژگی‌های جریان subthreshold**





عملکرد در subthreshold به توان بسیار پایین منجر می‌شود زیرا جریان در ان در حد نانوآمپر است. اگر یک ولتاژ درین-سورس ماسفت بیشتر از 0.1ولت باشد جریان subthreshold به صورت زیر می‌باشد:



که K نرخ ابعاد ترانزیستور، I0(=$μC\_{ox}(η-1)V\_{T}^{2}$)پارامتر مستقل از ساخت، $μ$ قابلیت حرکت حامل‌ها، $C\_{ox}(=ε\_{ox}/t\_{ox})$ خازن اکسید گیت، $ε\_{ox}$قابلیت گذردهی اکسید، $t\_{ox}$ ضخامت اکسید، $η$ فاکتور شیب آستانه ، VGS ولتاژ گیت سورس، VT ولتاژ دمایی، K ثابت بولتزمن، T دمای خالص، q بار اولیه و VTH ولتاژ استانه ماسفت می‌باشد. ما از (1) برای آنالیز ویژگی‌های یک ماسفت subthreshold استفاده می‌کنیم. توجه کنید که در این شبکه، فرض می‌شود $η$ یک پارامتر ثابت است ( در تکنولوژی مورد استفاده برای NMOS و PMOS به ترتیب 1.14 و 1.4 می‌باشد ). اگرچه $η$ در یک مدار واقعی ثابت نبوده و به اکسید گیت و خازن ناحیه تخلیه بستگی دارد. در مدارات با دقت بسیار بالا باید به این نکته توجه شود.

1. شکل 1 معماری مدار BGR پیشنهادی را نشان می‌دهد. مدار شامل یک مدار مرجع جریان نانوآمپری، یک دوقطبی و یک ژنراتور ولتاژ PTAT است. اصول عملکرد مدار به شرح زیر است.

ولتاژ PTAT در مدارات BGR مرسوم با استفاده از دوقطبی‌ها و مقاومت‌ها تولید می‌شود. اگرچه، مطابق توضیح قسمت قبل، برای استفاده از جریان‌های در سطح نانوآمپر استفاده از مقاومت مناسب نیست. شکل 2 ژنراتور ولتاژ PTAT استفاده شده را نشان می‎‌دهد. این ژنراتور شامل یک زوج دیفرانسیلی با آینه جریان است. وقتی ماسفت‌ها در ناحیه subthreshold عمل می‌کنند، ولتاژ گیت-گیت در این مدار در نتیجه (1) به صورت زیر می‌باشد:





که KD1 و KD2 به نسبت ابعاد زوج دیفرانسیلی وابسته هستند و KM1 و KM2 به نسبت ابعاد آینه جریان PMOS . لذا ولتاژ PTAT با  ایجاد می‌شود.

مدار جریان مرجع نانوآمپری، جریان 10نانوآمپر را تولید می‌کند و جاهای دیگر را تامین می‌کند. شکل 3 شماتیکی از مدار جریان مرجع نانوآمپری (مدار start up نشان داده نشده است )مورد استفاده است. مدار شامل یک مدار بایاس ولتاژ، ژنراتور ولتآژ PTAT و یک مدار منبع جریان می‌باشد. همه ماسفت‌ها به جز ماسفت MR که در ناحیه معکوس قوی و نواحی خطی عمیق عمل میکند، در ناحیه subthreshold هستند.طول گیت L و عرض گیت W برای ماسفت MR و MB مشابه بوده و در یک جریان بایاس شده‌اند. ژنراتور ولتاژ PTAT ولتاژی به ولتاژ گیت سورس MB به منظور افزایش ولتاژ MR اضافه می‌کند. اختلاف در ولتاژ گیت-سورس آن‌ها به مقاومت ماسفت MR که در ناحیه معکوس قوی و نواحی خطی عمیق عمل می‌کند، اعمال می‌شود. مقدار مقاومت ماسفت به صورت زیر تعریف می‌شود:



برابری ابعاد در MR وMB ولتاژ آستانه آن‌ها را مشابه می‌کند، لذا مقدار جریان تولیدی نسبت به تغییرات ساخت مقاوم است، جریان تولیدی در 15نمونه از یک ویفر واریانس 14.1درصد را نشان داده‌است.

ترانزیستور دوقطبی جریانش را از طریق آینه جریان عبور داده و ولتاژ بیس-امیتری تولید می‌کند که به صورت زیر بیان می‌شود:





که IS جریان اشباع ترانزیستور دوقطبی است. چون ولتاژ بیس-امیتر به صورت خطی با دما کاهش می‌یابد می‌تواند به صورت زیر ساده شود:



که VBGR ولتاژ بندگپ سیلیکون بوده و γ ضریب دمایی ولتاژ بیس-امیتر است. چون ولتاژ بیس-امیتر نسبت معکوس با دما دارد، ژنراتور ولتاژ PTAT برای خنثی کردن این نسبت استفاده شده است. همانطور که در (5) تقریب مرتبه اول زده شد، ولتاژ بیس-امیتر وابستگی‌های بیشتر از یک درجه نیز نسبت به دما دارد. لذا رفتار غیرخطی ای در خروجی وجود دارد، حتی اگر وابستگی منفی ولتاژ بیس-امیتر به دما خنثی شود. اگرچه، رفتارهای غیرخطی با ستفاده از تکنیک‌های جبرانسازی خمیدگی مانند تکنیک گزارش شده توسط Ge et al جبران می‌شوند. دقت ولتاژ بیس-امیتر توسط جریان بایاس دوقطبی تعیین می‌شود. به دلیل اینکه جریان بایاس از مدار جریان مرجع تولید می‌شود و جریان تولید شده به تغییرات ولتاژ آستانه مقاوم است، تغییرات جریان به حداقل می‌رسد. لذا تاثیر تغییرات جریان بایاس به حداقل می‌رسد.

ژنراتور ولتاژ PTAT در شکل 2 ولتاژی که نسبت به دما رابطه مستقیم دارد را تامین می‌کند. اگرچه، به دلیل  در (2) یک تابع لگاریتمی نتیجه می‌شود، باید مقدار بزرگی () داشته باشد تا ضریب دمایی مثبت ولتاژ گیت-گیت وابستگی دمایی منفی ولتاژ بیس-امیتر را خنثی کند. علاوه بر آن، برای  بزرگتر از  نیاز به سطح بزرگی است. نیاز است تا از تعدادی زوج دیفرانسیلی استفاده شود که به صورت کسکود قرار گرفته‌اند تا ولتاژ PTAT کافی را ایجاد کند. وقتی زوج‌های دیفرانسلی به صورت کسکود متصل هستند، کل ولتاژ گیت-گیت به صورت زیر تعریف می‌شود:



که N تعداد زوج دیفرانسیلی هاست. چون نرخ  چند برابر می‌شود، ولتاژ PTAT بزرگ از رابطه (6) به دست می‌آید.

ولتاژ خروجی مرجع VREF1 در مدار ولتاژ مرجع بندگپ از روابط (5) و (6) به دست می‌آید:



لذا، شرایط VREF1=VBGR با انتخاب مناسب نسبت ابعاد ترانزیستورها در زوج‌های دیفرانسیلی و آینه‌های جریان و N حاصل می‌شود.

**BGR .B**

چون ولتاژ بندگپ سیلیکون بزرگتر از 1.2ولت است، مدار BGR به ولتاژ منبع بیش از 1.2ولت نیاز دارد. در اینجا یک مدار ولتاژ مرجع که در ولتاژ منبع زیر 1ولت کار می‌کند ارائه می‌شود.

شکل 4 یک بلوک دیاگرام از مدار پیشنهادی sub-BGR را نشان می‌دهد. مدار مقسم ولتاژ ولتاژ بیس-امیتر را تقسیم می‌کند. خروجی ولتاژ VBE/M مقسم ولتاژ به صورت زیر بیان می‌شود:



که M نرخ تقسیم مقسم است. سپس ژنراتور ولتاژ PTAT همچنین برای خنثی کردن وابستگی دمایی منفی VBE/M استفاده می‌شود. ولتاژ خروجی مرجع VREF2 مدار به صورت زیر بیان می‌شود



که  تعداد زوج‌های دیفرانسیلی است. توجه کنید که چون ولتاژ بیس-امیتر با ضریب M تقسیم می‌شود، ضریب دمایی منفی γ نیز بر M تقسیم می‌شود. لذا، ولتاژ PTAT مورد نیاز کاهش یافته و تعداد زوج‌های دیفرانسیلی می‌تواند کاهش یابد. درنتیجه، هم مساحت سطح و هم جریان تلف شده در مدار sub-BGR کمتر از مقدار آن‌ها در مدار BGR است.



یک ولتاژ با ضریب دمایی صفر در یک راه مشابه برای مدار BGR با طراحی نسبت ابعاد حاصل می‌شود لذا دومین عبارت در (9) صفر می‌شود و ولتاژ به صورت زیر نوشته می‌شود:



توجه کنید که اگر VBGR پس از تولید بر M تقسیم شود، ولتاژ منبع مورد نیاز برای مدار بیش از 1.2ولت است. این به این دلیل است که مدار باید ولتاژ VBGR را تولید کند. اگرچه، به دلیل اینکه مدار پیشنهادی sub-BGR ولتاژ بیس-امیتر را تقسیم کرده و ولتاژ مرجع خروجی VREF/M کمتر از 1.2ولت است، مدار sub-BGR می‌تواند در ولتاژ منبع کمتر از 1ولت کار کند.

**3. نتایج تجربی**

**A. پیاده‌سازی مدار**

یک چیپ ساخته‌شده در تکنولوژی 0.18میکرومتر 1پلی 6متال CMOS با N-well عمیق درنظرگرفته شده‌است. شکل 5 و 6 شماتیکی برای مدار BGR و sub-BGR را پیشنهادی نشان می‌دهد. یک ساختار کسکود در مدار استفاده شده تا وابستگی با ولتاژ منبع را کاهش دهد. همه ابعاد ترانزیستورها در شکل 5 و 6 آورده شده‌اند. ابعاد ترانزیستورها بر اساس نتایج شبیه‌سازی‌های منت-کارلو با فرض تغییرات die-to-die (D2D) (یک die به die دیگر) و within-die (WID) (داخل یک die) در پارامترهای ترانزیستورها به دست می‌آید.

5زوج دیفرانسیلی در BGR در طراحی استفاده شده‌اند. ولتاژ خروجی مرجع VREF1 در مدار می‌تواند به صورت زیر بیان شود:



ولتاژ با ضریب دمایی صفر می‌تواند با طراحی نسبت ابعاد زوج‌های دیفرانسیلی و آینه‌های جریان حاصل شود لذا دومین عبارت در رابطه (11) صفر می‌شود.

از یک مدار سورس-فالور به عنوان مدار مقسم ولتاژ در sub-BGR استفاده شده است. مدار مقسم ولتاژ، ولتاژ بیس-امیتر را به نصف تقسیم می‌کند. هر ترمینال بدنه از NMOSFETها در مدار سورس-فالور به ترمینال سورس متصل است تا از اثر بدنه جلوگیری شود. از جریان نشتی بین گیت و بدنه چشم‌پوشی می‌شود زیرا این جریان‌های نشتی کوچکتر از جریان subthreshold تکنولوژی که استفاده شده است، می‌باشد. ولتاژ خروجی VBE/2 سورس-فالور می‌تواند به صورت زیر بیان شود:







سپس، سه زوج دیفرانسیلی در sub-BGR استفاده شده تا وابستگی دمایی VBE/2 را خنثی کند. توجه کنید که دو زوج دیفرانسیلی PMOS به عنوان اولین ژنراتور ولتاژ PTAT استفاده شده است چون لازم است تا VBE/2 بسیار کوچک باشد تا به ژنراتور PTAT nMOS اعمال شود. ولتاژ خروجی مرجع VREF2 در این مدار به صورت زیر است:



لذا، ولتاژ با ضریب دمایی صفر با طراحی نسبت ابعاد زوج‌های دیفرانسیلی و آینه‌های جریان حاصل می‌شود لذا دومین عبارت رابطه (13) صفر شده و ولتاژ به صورت زیر است:



شکل 7 یک میکروگراف از چیپ و جانمایی هرمدار را نشان می‌دهد. سطحی که مرجع جریان (CUR شامل ترانزیستور دوقطبی)، BGR و مدار sub-BGR اشغال می‌کند، به ترتیب 0.0144میلی‌متر مربع، 0.0150 میلی‌مترمربع و 0.0102میلی‌مترمربع می‌باشد. 9نمونه چیپ اندازه‌گیری شده‌اند.





**B. نتایج**

شکل 8a جریان عملکرد در مدار جریان مرجع را به عنوان تابعی از VDD نشان می‌دهد. مدار در ولتاژ منبع بیش از 0.7ولت عمل کرده و جریان تقریبا 6نانوآمپر است. تنظیم خط جریان 6.47درصد بر ولتاژ بود. شکل 8b ولتاژ VREF1 و VREF2 اندازه‌گیری شده به عنوان تابعی از VDD را نشان می‌دهد. مدار BGR مقدار 1.08ولت را برای VREF1 در ولتاژ منبع بیش از 1.2ولت تولید می‌کند. مدار sub-BGR می‌تواند در ولتاژ منبع کمتر از 1ولت (0.7ولت) کار کند و VREF2 0.549ولت است.

شکل 9 ولتاژ VREF1 و VREF2 اندازه گیری‌شده به عنوان تابعی از دما از -40 تا 120 درجه در سه ولتاژ منبع متفاوت نشان می‌دهد. ضریب‌های دمایی (TCs) ویژگی‌های مشابهی در ولتاژهای متفاوت منبع دارند.

شکل 10 جریان I عملکرد اندازه‌گیری شده را به عنوان تابعی از دما از -40درجه تا 120درجه در 9نمونه را نشان می‌دهد. مدار مرجع جریان، جریان نانوآمپری در رنج وسیعی از دما را تولید می‌کند. جریان با وابستگی‌های دمایی متفاوتی در دماهای بالاتر افزایش می‌یابد. فرض می‌شود که دلیل آن جریان نشتی است. اگرچه، این تاثیر چندانی بر عملکرد مدار ما ندارد زیرا افزایش جریان کوچک است. شکل 11 ولتاژهای VREF1 و VREF2 اندازه‌گیری شده را به عنوان تابعی از دما از -40درجه تا 120درجه نشان می‌دهد. توان اتلافی متوسط مدارات BGRو sub-BGR در 9نمونه در دمای اتاق 100 و 52.5 نانووات است. TCهای متوسط مدارات BGR و sub-BGR به ترتیب 147 و 114 ppm/C است. ولتاژهای خروجی وابستگی غیرخطی نسبت به دما را همانطور که در بخش قبلی اشاره شد، نشان می‌دهد. می‌توان وابستگی دمایی با استفاده از تکنیک جبرانسازی خمیدگی کاهش داد.

شکل 12 اتلاف VREF1 و VREF2 در 9نمونه در 20درجه سانتیگراد با 1.5ولت ولتاژ منبع نشان می‌دهد. ولتاژهای خروجی تنظیم نشده‌اند. ضرایب تغییرات ( که µ و σ مقادیر میانگین و استاندارد انحراف هستند) برای VREF1 و VREF2 0.737درصد و 1.05درصد است. ضرایب تغییرات بسیار کوچک بوده زیرا 9نمونه از یک ویفر هستند.

شکل 13 PSRR اندازه‌گیری شده از VREF1 و VREF2 را نشان می‌دهد. PSRR ولتاژ VREF1 در 100هرتز و 1مگاهرتز به ترتیب -62 و -14db است. PSRR ولتاژ VREF2 در 100هرتز و 1مگاهرتز -56 و -8.7db است. PSRR برای ولتاژ VREF1 بهتر از VREF2 است زیرا مقسم ولتاژ در مدار sub-BGR تحت تاثیر تغییر ولتاژ منبع بوده و PSRR ولتاژ VREF2 را کاهش می‌دهد.

چون مدارات BGR و sub-BGR ما اتلاف توان کمی داشتند، از قابلیت تحمل نویز کمتر، قابلیت‌های درایو ضعیف‌تر و زمان start-up کمتر رنج می‌برد. توجه شود که چگالی نویز شبیه‌سازی شده از VREF1 و VREF2 با خازن‌های روی چیپ 4.43پیکوفاراد در 100هرتز، 1.72 و 1.90  است و زمان start-up شبیه‌سازی شده در مدار ما 6میلی‌ثانیه است. یک خازن جداشده[[3]](#footnote-3) روی چیپ نویز را کاهش می‌دهد. اگرچه، باعث کاهش زمان start-up می‌شود. لذا، خازن decoupling باید به گونه‌ای طراحی گردد که دقت نویز مورد نیاز و زمان start-up وابسته به کاربرد حاصل شود. مدارات درایو نباید مستقیما به بارهای مقاومتی متصل شوند زیرا جریان درایو آن‌ها ضعیف است. اگر بخواهیم بارهای مقاومتی و یا خازنی را درایو کنیم، جریان بایاس در آخرین طبقه از ژنراتورهای PTAT افزایش می‌یابد. با این وجود، افزایش جریان بایاس منجر به اتلاف توان بالا می‌شود. باید جریان بایاس در ارتباط با کاربردها طراحی شود.





جدول I خلاصه‌ای از کارایی مدارات BGR و sub-BGR پیشنهادی را ارائه می‌دهد و با مدارات ولتاژ مرجع گزارش شده دیگر مقایسه می‌کند. مدارات پیشنهادی در اتلاف توان بسیار پایین عمل می‌کنند. ولتاژ منبع حداقل sub-BGR 0.7 است.

**C. مباحثه**

ضرایب تغییرات در نتایج تجربی بسیار کوچک بوده زیرا 9نمونه از یک ویفر هستند. برای ارزیابی مقاومت مدار به نوسانات پروسه ساخت، شبیه‌سازی‌های منت-کارلو اسپایس انجام شده است. نتایج برای 500 اجرا در شکل 14 نشان داده‌شده است. ضرایب تغییرات برای VREF1 و VREF2 0.351درصد و 1.61درصد هستند. در [11] این مورد 7درصد گزارش شده است. بهبود از این موضوع که مدار پیشنهادی نه تنها مبتنی بر ولتاژ آستانه بلکه بر ولتاژ بندگپ سیلیکون است، حاصل می‌شود.

ولتاژ خروجی VREF1 1.09ولت در نتایج تجربی، کمتر از ولتاژ بندگپ مواد که حدود 1.2 است، می‌باشد. این به این دلیل است که جریان عملکرد با دما افزایش می‌یابد. شکل 15 ولتاژ بیس-امیتر شبیه‌سازی شده را به عنوان تابعی از دما از -40تا 120درجه نشان می‌دهد. ولتاژهای بیس-امیتر با جریان‌های بایاس ثابت در 10نانوآمپر و 1میکروآمپر بایاس شده‌اند. ولتاژ بیس-امیتر اندازه گیری‌شده با جریان I بایاس شده و منحنی‌های تطبیقی خطی آن‌ها نیز در شکل نشان داده‌شده‌اند. وقتی ترانزیستور دوقطبی جریان ثابتی دارد، ولتاژ بیس-امیتر در دمای مطلق صفر برابر با ولتاژ بندگپ ماده یعنی تقریبا 1.2 ولت است. از طرفی، وقتی ترانزیستور دوقطبی جریان وابسته به دما را عبور می‌دهد، ولتاژ بیس-امیتر در دمای صفر مطلق برابر با ولتاژ بندگپ ماده نیست و با افزایش جریان عملکرد با دما، افزایش می‌یابد. نتیجتا، ولتاژ بیس-امیتر در دمای مطلق صفر کمتر از ولتاژ بندگپ ماده است.





**4. نتیجه‌گیری**

مدارات BGRو sub-BGR برای LSIهای با اتلاف توان بسیار پایین هستند. این‌ها شامل یک مدار مرجع جریان نانوآمپری، یک ترانزیستور دوقطبی و ژنراتورهای ولتاژ PTAT هستند چون مدارات تنها شامل MOSFET و یک ترانزیستور دوقطبی هستند، ولتاژهای مرجعی بدون مقاومت تولید می‌کنند. چون مدار sub-BGR خروجی ولتاژ ترانزیستور دوقطبی را تقسیم می‌کند، می‌تواند در ولتاژ منبع زیر 1ولت عمل کند. نتایج تجربی نشان داد که مدار BGR می‌تواند ولتاژ مرجع 1.09ولت و مدار sub-BGR ولتاژ مرجع 0.548 را تولید کند. اتلاف توان مدار BGR 100نانووات و اتلاف توان مدار sub-BGR 52.5نانووات بود.





1. Bandgap reference (BGR) [↑](#footnote-ref-1)
2. PTAT [↑](#footnote-ref-2)
3. decoupling [↑](#footnote-ref-3)