

یک SAR ADC، 20MS/s، 8 بیتی، منطقه کارآمد و توان پایین در CMOS 0.18 μm

چکیده

این مقاله نتایج طراحی نمونه اولیه بلوک IP یک مبدل آنالوگ به دیجیتال با تقریب متوالی (SAR ADC) را برای پیاده سازی با فن آوری 0.18 μm MMRF CMOS از شرکت UMC (تایوان) ارائه می دهد.

در درجه اول، واحد ADC در این مقاله با توجه به الزامات فنی بازخوانی دستگاه های الکترونیکی سیستم ردیابی سیلیکونی برای آزمایش ماده باریونی فشرده [Compressed Baryonic Matter] در دستگاه شتاب دهنده FAIR (www.gsi.de/en/research/fair.htm) طراحی شده است. هر چند، از این ADC می توان برای طیف وسیع تری از کاربردها هم استفاده کرد.

برای افزایش دقت و حصول اطمینان از قدرت تشخیص ADC از یک مقایسه کننده rail-to-rail استفاده شد. این SAR ADC بر روی تراشه ناحیه ای به مساحت $325 \mu\text{m} \times 325 \mu\text{m}$ را اشغال می کند، ENOB برابر 6.88 بیت است، حداکثر DNL کمتر از 0.8 LSB و INL کمتر از 0.6 LSB است، فرکانس نمونه برداری 20 MHz، فرکانس ساعت 200 MHz و SNDR برابر 43.2 dB است. با این پارامترها ADC در ولتاژ تغذیه اسمی 1.8 V، در حدود 1.3 mA جریان مصرف می کند.

1. مقدمه

در ساختمان مدارهای مجتمع با کاربرد خاص (ASIC) برای سیستم های مختلف، آشکارساز بازخوانی اطلاعات یکی از بلوک های مهم مبدل های آنالوگ به دیجیتال (ADC) است. به طور خاص، ADC ها برای سیستم های داده - محور چند کانالی برای جمع آوری و پردازش داده ها با عملکرد غیر تصادفی سازی [derandomization] آنالوگ مورد نیاز هستند، که در [1]، [2] برای آزمایش CBM در مرکز شتاب دهنده بین المللی FAIR طراحی شده اند. الزامات اصلی یک ADC برای این کاربرد عبارتند از: ناحیه کوچک اشغال شده روی تراشه، مصرف توان کم و سرعت متوسط (10 - 100 MS/s). به منظور برآوردن الزامات فنی برای دستگاه های الکترونیکی بازخوانی سیستم ردیابی سیلیکونی CBM، از معماری خط لوله ای [pipeline] و ADC با تقریب متوالی به عنوان محبوب ترین راه حل ها استفاده می شود [3]. در مقایسه این دو معماری از تعدادی از آثار مدرن [4-7]، به نظر می رسد، مبدل آنالوگ به دیجیتال با تقریب متوالی (SAR) نسبت به ADC خط لوله ای، به دلیل مصرف توان بیشتر و ناحیه بزرگتر بر روی تراشه با معماری ADC خط لوله ای، برای سرعت های نمونه برداری در محدوده متوسط برتر باشد [3].

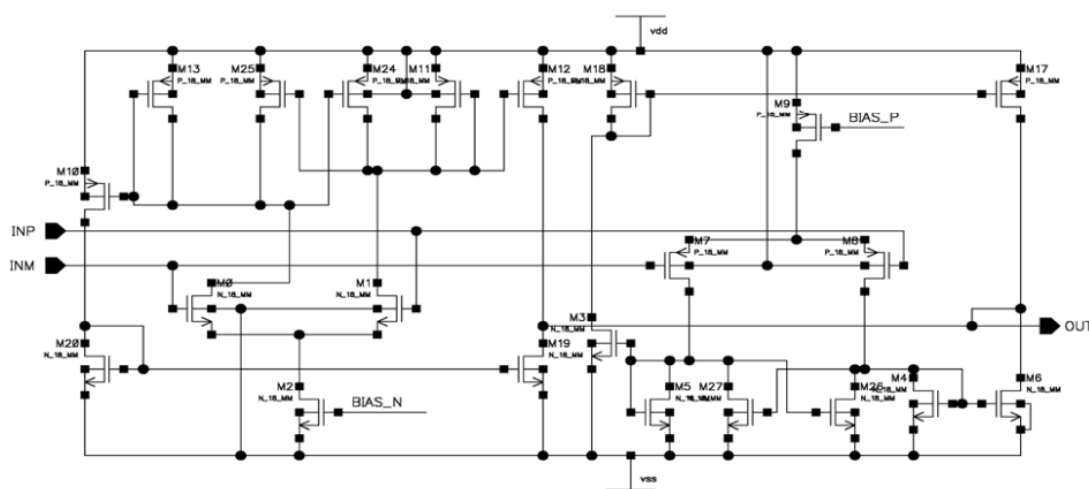
در این مقاله ما طراحی SAR ADC در فرآیند 0.18 μm CMOS را ارائه می دهیم که از DAC توزیع مجدد بار استفاده می کند، و برای دستیابی به دقت خوب، مصرف توان کم و اشغال ناحیه کوچک بر روی تراشه طراحی شده است. اگر چه، فن آوری های پیشرفته تر اجازه می دهند ADC ها عملکرد بهتری داشته باشند [3]، انجمن FAIR از فن آوری UMC 0.18 μm به عنوان فن آوری استاندارد استفاده می کند.

به منظور برآوردن مشخصات مصرف توان، این ADC به جای DAC مبتنی بر مقاومت، از یک مبدل دیجیتال به آنالوگ (DAC) مبتنی بر الگوریتم توزیع مجدد بار استفاده می کند [8]. لازم به ذکر است، که این DAC، توزیع مجدد بار را برای یک آرایه خازنی فراهم می کند، و در مقایسه با مدار مبتنی بر آرایه مقاومتی، منجر به افزایش دقت و بیشتر شدن سطح تراشه می شود. برای کاهش مساحت اشغال شده توسط ADC، تصمیم گرفته شد که یک DAC یک طرفه با یک خازن ساخته شود تا اطمینان حاصل شود دقت مقایسه کننده عملکرد rail-to-rail [9]

- SH وارد فاز نمونه برداری می شود و شروع به ضبط سطح فعلی بار ورودی می کند.
- ثبات تقریب متوالی DAC MSB، که بزرگترین ظرفیت 128 Cunit را دارد، روشن می کند، DAC ولتاژی تولید می کند که برابر نصف مقیاس تبدیل کامل است.
- مقایسه کننده تصمیم می گیرد که در طول تبدیل MSB باید روی تنظیمات بالا و یا پایین [high or low] باقی بماند.
- مقایسه ادامه می یابد تا همه مقادیر بیت های خروجی تعیین شوند.
- پس از شناسایی همه 8 بیت، سیگنال پایان شمارش EOC تولید می شود، ADC تا زمان سیگنال بازنشانی بعدی RST مقدار خود را حفظ می کند.

B. مقایسه کننده

مقایسه کننده در شکل 2 نشان داده شده است. مقایسه دقیق سطح ولتاژ ورودی با ولتاژ ثابت شده توسط SHA که از DAC می آید، ضروری است. این مقایسه کننده دارای عملکرد rail-to-rail برای ورودی است تا دقت مورد نیاز را فراهم کند.

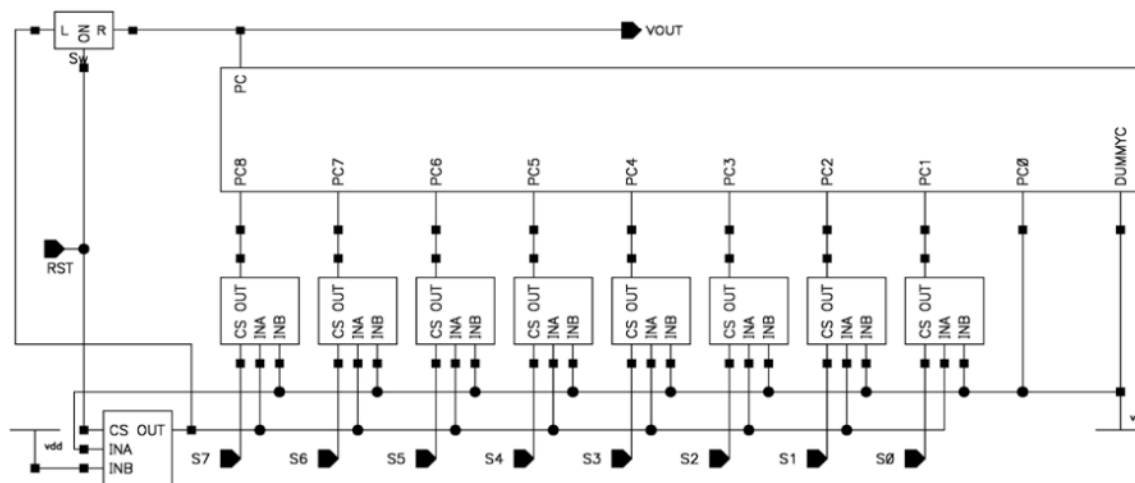


شکل 2- مقایسه کننده با عملکرد rail-to-rail برای ورودی

سیگنال مثبت بازنشانی RST ثابت سری با ضبط 1 در اولین راه اندازی [trigger] پاک شده و با ذخیره نتیجه تبدیل های قبلی از clocking [همزمان سازی دو دستگاه] جلوگیری می کند. بعد و پس از بازنشانی منطق 0 ساعت یک ثابت تجمعی را بازنشانی می کند و نقاب MSB آن را به واحد منطقی تغییر می دهد. EOC (پایان تبدیل) به منطق 0 می رود، که تنها پس از مقایسه حداقل بیت قابل توجه [least significant bit] معکوس می شود.

DAC.D

DAC نشان داده شده در شکل 4، به وسیله آرایه ای از خازن های وزن دهی شده به صورت دودویی با خازن مرجع $C_{unit} = 10fF$ ساخته شده است، چون که این راه حل بهترین تبدیل خطی و بهترین تعداد عناصر کلیدی برای سوئیچینگ خازن ها به زمین یا منبع تغذیه را فراهم می کند.



شکل 4- منطق SAR

مهم ترین وظیفه، طراحی توپولوژی تخصصی آرایه خازنی به منظور اطمینان از حداکثر دقت تطبیق عناصر آرایه، و در نتیجه حداقل انحراف از مقادیر نامی نسبی عناصر آرایه است.

یکی از مشکلات هنگام تولید نقاب، داشتن بایاس مؤثر بر نسبت ابعاد (مقدار نامی) خازن هاست. این امر غیر خطی بودن دیفرانسیل (DNL) و انتگرال (INL) را افزایش می دهد. به خصوص وقتی که تعداد بیت ها زیاد باشد، مقدار

این بایاس بزرگ تر می شود. راه حل این مشکل تفکیک [partition] هر خازن متصل به عناصر مشابه موازی است. به عنوان مثال، مقدار نامی خازنی که مضربی از Cunit است. پارامترهای مؤثر بر ساخت این خازن ها، نسبت های قبلی خود را حفظ می کنند.

از آن جا که خازن ها از طریق مقاومت سوئیچ ها شارژ می شوند، برای حفظ دقت DAC باید اندازه آن ها در نظر گرفته شود:

$$\tau = R_{switch}C \rightarrow \frac{T_{CLK}}{2} \gg R256C_{unit} \quad (1)$$

$$\langle V^2 \rangle = \frac{kT}{256C_{unit}} \quad (2)$$

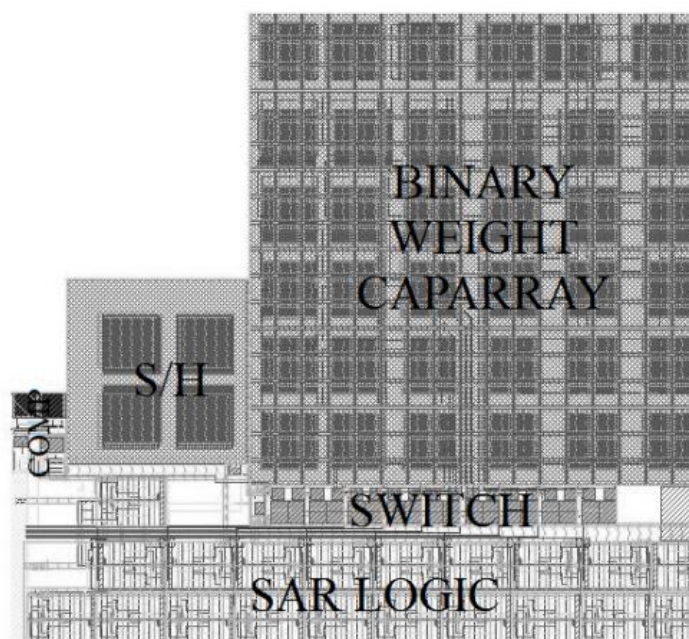
با کاهش Cunit، عملکرد DAC (1) بهبود و دقت کاهش می یابد. نویز حرارتی (2) افزایش یافته و اثر عناصر پارازیتی بر روی نسبت اندازه خازن ها افزایش می یابد.

به منظور کاهش نفوذ پارازیت ها، عناصر سیم بندی کل آرایه توسط یک ناحیه فلزی زمین شده (بلوک واقع در بالای حفاظ فلزی) تحت پوشش قرار داده می شود، و تنها سوراخ ها برای اتصال به صفحه پایینی خازن باقی می ماند. این کار به ظرفیت خازنی پارازیتی زمین شده صفحات بالا و پایین اضافه می کند، اثر عناصر پارازیتی سیم بندی را کاهش و مصرف را در مرحله شارژ DAC افزایش می دهد.

3. نتایج شبیه سازی و آرایش

تراشه پیشنهادی برای ساخت در فرآیند 180 nm single poly 6 metal MMRF CMOS به وسیله شرکت UMC (تایوان) طراحی شده است. شکل 5، آرایش ADC را نشان می دهد. این ADC به همراه آرایه خازنی ناحیه ای در حدود 0.105 mm^2 از سطح تراشه را اشغال می کند. پارامترهای دیگر ADC در جدول 1 ارائه شده است.

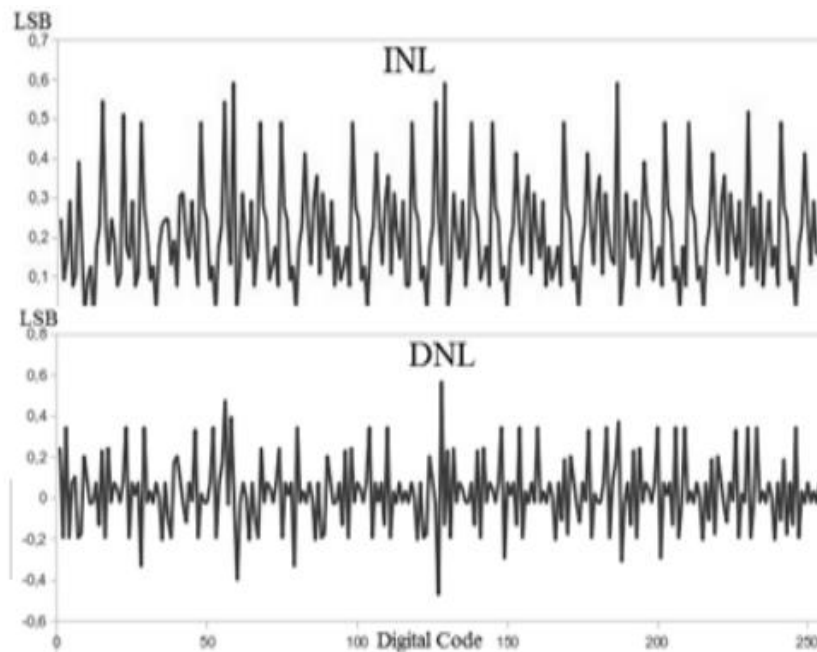
INL و DNL برای ADC SAR طراحی شده در شکل 6 نشان داده شده است. دقت DAC به دقت اچینگ [etching] فلزی و نویز آرایه خازنی وابسته است. مقادیر پیک INL بین 0.1 - 0.65 LSB و مقادیر پیک DNL بین 0.55 - 0.68 LSB قرار دارند. سوئیچ های مقاومت کم، سرعت را بالا برده و مصرف توان و غیرخطی بودن ADC را افزایش می دهند.



شکل 5- آرایش ADC

جدول 1- خلاصه عملکرد SAR ADC

Parameters	This work
Process	180nm
Resolution	8 b
Chip Area	0.105 mm ²
Supply	1.8V
Input range	0-1.8V
Sampling rate	20 MS/s
Clock Frequency	200 MHz
ENOB	6,88 b
Power Consumption	2.36 mW
SNDR	43.2 dB



شکل 6- INL و DNL برای SAR ADC

4. نتیجه گیری

ADC نشان داده شده شکل 5، برای فن آوری CMOS $0.18 \mu\text{m}$ طراحی شده است. این مبدل ناحیه ای به مساحت $325 \mu\text{m} \times 325 \mu\text{m}$ را بر روی تراشه اشغال می کند. ENOB در فرکانس نمونه برداری 20 MHz برابر 6.88 بیت، فرکانس ساعت برابر 200 MHz و SNDR نیز برابر 43.2 dB است. با این پارامترها ADC در ولتاژ تغذیه اسمی 1.8 V در حدود 1.3 mA مصرف می کند. ADC طراحی شده به عنوان جزء اصلی کاربرد داده محور IC های خاص برای محفظه موآن [moun] آزمایش CBM در نظر گرفته شده است.

قدردانی

این کار توسط کمک هزینه پژوهشی به شماره 14.A12.31.0002، صادره از وزارت آموزش و پرورش و علوم فدراسیون روسیه مطابق با مصوبه دولتی RF به شماره 220 پشتیبانی شده است.

REFERENCES

- [1] E. Atkin, A. Kluev, V. Shumikhin "Data-driven ASIC for Multichannel Sensors", World Academy of Science, Engineering and Technology, 59, 2011.
- [2] A.Klyuev, "Ph.D. thesis", https://www.gsi.de/documents/DOC_Jan82-1.pdf , MEPhI, Moscow, 2010, In Russian, Available online
- [3] B. Murmann, "ADC Performance Survey 1997-2013," <http://www.stanford.edu/~murmman/adcsurvey.html>. Available Online
- [4] Pieter J. A. Harpe, Cui Zhou, Yu Bi, Nick P. van der Meijs, et al "A 26 uW 8 bit 10 MS/s Asynchronous SAR ADC", IEEE Journal of Solid-State Circuits, 46(7), 2011, pp. 1585-1595
- [5] Zhu, Y., Chan, C.-H., Chio, U.-F., Sin, S.-W., Seng-Pan, U., Martins, R. P., et al. "A 10-bit 100-MS/s reference-free SAR ADC n 90 nm CMOS". IEEE Journal of Solid-State Circuits, vol. 45, № 6, 2010, pp. 1111–1121.
- [6] Liu, C.-C., Chang, S.-J., Huang, G.-Y., & Lin, Y.-Z. "A 10-bit 50-MS/s SAR ADC with a monotonic capacitor switching procedure". IEEE Journal of Solid-State Circuits, vol. 45, №4, 2010, pp. 731–740.
- [7] C.-C. Liu, S.-J. Chang, G.-Y. Huang, Y.-Z. Lin, and C.-M. Huang, "A 1 V 11 fJ/conversion-step 10 bit 10 MS/s asynchronous SAR ADC in 0.18 um CMOS," in IEEE Symp. VLSI Circuits Dig., 2010, pp. 241–242.
- [8] Hegong Wei, Chi-Hang Chan, U-Fat Chio, Sai-Weng Sin, Seng-Pan U, et al, "An 8-b 400-MS/s 2-b-Per-Cycle SAR ADC With Resistive DAC", IEEE Journal of Solid-State Circuits, vol. 47, №. 11, 2012, pp. 2763-2772.
- [9] Saisundar. S, Jia Hao Cheong, Minkyu Je, "A 1.8V 1MS/s Rail-to-Rail 10-bit SAR ADC in 0.18µm CMOS" IEEE International Symposium on Radio-Frequency Integration Technology, 2012, pp. 83-85
- [10] Mallik Kandala, Haibo Wang, "A 0.5 V high-speed comparator with rail-to-rail input range" Analog Integrated Circuits and Signal Processing, 2012, Vol 73, Issue 1, pp 415-421
- [11] D. F. Cox "Complete Synthesis Method for D Flip-Flops with Set and Reset Inputs" 9th NASA Symposium on VLSI Design, 2000