یک SAR ADC خط لوله ای تک تقویت کننده عملیاتی۴ مرحله ای ۱۲ بیت 110MS/s با تکنیک مبتنی بر نسبت GEC

چکیده

این مقاله یک راه‌اندازی خط لوله‌ای ۴ مرحله‌ای ۱۲ بیت 110 MS/s یکپارچه SAR ADC را از طریق یک تک تقویت‌کننده عملیاتی با بهره پایین ارائه می‌دهد. یک تکنیک مبتنی بر نسبت کالیبراسیون خطای بهره[1] بر اساس به اشتراک‌گذاری تک تقویت‌کننده عملیاتی به‌منظور کاهش پیچیدگی مدار دیجیتالی کالیبراسیون پیشنهادشده است. تنها یک سیگنال عدد شبه تصادفی[2] برای انجام تزریق لرزش[3] به کار گرفته‌شده است، اما خطاهای متعدد بهره را کالیبره می‌کند، و درنتیجه تسریع سرعت همگرایی، رهایی از کاهش سیگنال ورودی و به حداقل رساندن اصلاح آنالوگ با توجه به کالیبراسیون پس‌زمینه‌ای را انجام می‌دهد. اثربخشی معماری در تراشه‌های ۶۵ نانومتری CMOS که مساحت هسته آنالوگ آن‌ها تنها $0.12\ mm^2$ است، تأیید شده است.

ADC به‌طور متوسط ۶۳ دسی‌بل SNDR و ۷۵/۲ دسی‌بل SFDR را در 110 MS/s با مصرف توان آنالوگ ۱۱/۵ میلی وات از یک منبع ۱/۲ ولت به دست می‌آورد. تنها ۴۰ هزار نقطه برای رسیدن به SNDR مطلوب با روش کالیبراسیون ارائه‌شده موردنیاز است.

کلمات کلیدی: SAR ADC، خط لوله‌ای، کالیبراسیون دیجیتال، به اشتراک‌گذاری تقویت‌کننده عملیاتی

[1] GEC
[2] PN
[3] dither

1. مقدمه

در حال حاضر با مصرف توان کمتر به‌صورت ذاتی، SAR ADC خط لوله‌ای [۱] [۲] به یک توپولوژی جایگزین محبوب برای خط لوله مرسوم ADC تبدیل شده است. اتلاف توان کمتر، از MDAC ساده‌شده به دست می‌آید و تعداد مقایسه‌گرها را به دلیل جایگزینی فلاش با SAR در هر یک از زیر مرحله‌های ADC به حداقل رسانده است. یک تک تقویت‌کننده عملیاتی با دو گام خط لوله‌ای غالباً در طرح‌های قبلی [۱] [۲] برای خط لوله SAR ADC به کار گرفته‌شده است، اما برای رسیدن به سرعت بالا و وضوح بالا (> ۱۰ بیت) با توجه به نوسان کوچک سیگنال باقی‌مانده‌اش بیش‌ازحد مرزی است. از سوی دیگر، خط لوله چندمرحله‌ای، دارای مزایای به دست آوردن فضای بیشتر از طریق معاوضه بهتر در تخصیص وضوح هر یک از زیر مراحل که برای وضوح بالاتر بسیار مهم است، چندین تقویت‌کننده عملیاتی برای MDAC و مقدار نوسان باقی‌مانده است. بااین‌وجود، چندین تقویت‌کننده عملیاتی در ساختار خط لوله چندمرحله‌ای مرسوم اجتناب‌ناپذیر است، مگر اینکه روش به اشتراک‌گذاری زمان [۳] استفاده شود، که قابل‌استفاده برای خط لوله SAR ADC است.

همان‌طور که تکنولوژی سیلیکون به سمت مقیاس عمیق‌تر از زیر میکرون در حال حرکت است، طراحی تقویت‌کننده عملیاتی برای رسیدن به بهره بالای حلقه باز توسط بهره پایین ذاتی ترانزیستور و منبع ولتاژ سخت‌تر می‌شود. بنابراین، استفاده از یک تقویت‌کننده عملیاتی بهره کم با کالیبراسیون دیجیتال می‌تواند مزایا را از روند ریزمقیاس نمایی حفظ کند. چند تکنیک کالیبراسیون پس‌زمینه‌ای [۴] [۵] برای ADC خط لوله‌ای چندمرحله‌ای برای جبران بهره پایین تقویت‌کننده عملیاتی در حوزه دیجیتال ارائه‌شده است.

روش مبتنی بر برابرسازی [۴] یک ماکت مجازی ADC را در حوزه دیجیتال با استفاده از درون‌یابی غیرخطی برای کالیبره کردن ADC واقعی به کار می‌گیرد، اما آن در باند سیگنال ورودی محدود و سخت‌افزار بزرگ برای ماکت ADC نتیجه می‌شود. روش مبتنی بر لرزش[1] [۵]، یک دنباله پالس عدد شبه تصادفی را برای استخراج خطاها از

[1] Dithering-based technique

MDAC بدون محدودیت پهنای باند سیگنال ورودی تزریق می‌کند. بااین‌حال، این روش از کاهش دامنه سیگنال و زمان طولانی همگرایی رنج می‌برد.

این مقاله یک SAR ADC خط لوله‌ای ۴ مرحله‌ای ۱۲ بیت 110 MS/s را در فرآیند ۱۲ نانومتری CMOS ارائه می‌دهد. روش مبتنی بر زمان‌بندی برای به اشتراک گذاشتن یک تک تقویت‌کننده عملیاتی برای باقی‌مانده تقویت بین مراحل خط لوله SAR ارائه‌شده است، که در آن سه مرحله غیر هم‌پوشان برای به حداکثر رساندن افزایش زمان تقویت‌کننده عملیاتی و بیت‌های قابل‌استفاده در هر دوره از نمونه‌برداری اختصاص داده‌شده است. علاوه بر این، تکنیک مبتنی بر نسبت کالیبراسیون خطای بهره بر اساس به اشتراک‌گذاری تقویت‌کننده عملیاتی برای به‌کارگیری تنها یک سیگنال عدد شبه تصادفی برای برآورد خطاهای متعدد بهره توسط یک خطای مطلق بهره MDAC ثانویه و نسبت مقایسه‌ای بین دیگر MDACها ارائه‌شده است، که سرعت همگرایی را تسریع می‌کند، اصلاح آنالوگ و سربار دیجیتال را به حداقل می‌رساند، و از کاهش سیگنال ورودی با توجه به کالیبراسیون پس‌زمینه‌ای خلاص می‌شود.

2. روش‌ها و معماری پیشنهادی ADC

بلوک دیاگرام SAR ADC خط لوله‌ای پیشنهادی با کالیبراسیون پس‌زمینه‌ای دیجیتال در شکل ۱ نشان داده‌شده است. این بلوک دیاگرام از سه مرحله SAR خط لوله‌ای ۴ بیتی و یک مرحله SAR پایانی ۵ بیتی تشکیل‌شده است. علاوه بر این، با هدف مصرف توان کمتر، هر زیر مرحله SAR از روش سوئیچینگ VCM و روش عاری از میانیگر مرجع برای حذف نردبان مرجع از تمام مراحل [۲] استفاده می‌کند. بهره‌های حلقه بسته از سه MDAC اول عیناً به‌عنوان ۴ برای یک معاوضه بهتر بین سرعت تقویت‌کننده عملیاتی و DNL توسط تخریب واحد کوچک‌تر خازن در MDAC اختصاص داده‌شده‌اند.

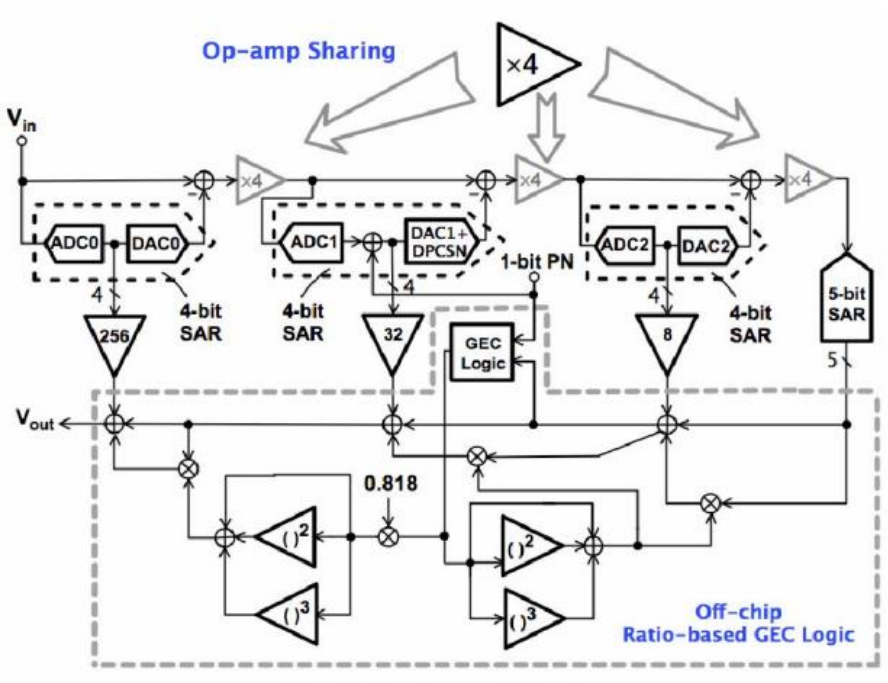

Fig. 1. System architecture

فقط یک تقویت‌کننده عملیاتی توسط همه ۴ مرحله از طریق روش مبتنی بر زمان‌بندی برای تقویت در شکل ۲ ارائه‌شده است. همان‌طور که در شکل ۲ نشان داده‌شده است، با توجه به غیر هم‌پوشانی بودن مرحله تقویت بین هر مرحله و مرحله عدم تقویت برای آخرین مرحله، یک تک تقویت‌کننده عملیاتی دائماً از طریق ۴ مرحله به اشتراک گذاشته‌شده است و آخرین مرحله، زمان تبدیل SAR طولانی‌تری را نشان می‌دهد. علاوه بر این، سه قسمت از سه مرحله اول، همان مقدار از زمان را برای معاوضه بهتر بین سرعت سیستم و خطی سازی تقویت‌کننده عملیاتی موردنیاز اشغال می‌کنند. بنابراین، الگوی توزیع بیت از نمودار زمان‌بندی تعیین می‌شود، که تعداد مشابه بیت‌ها در سه مرحله اول و بیت‌های بیشتر در آخرین مرحله وجود دارد.

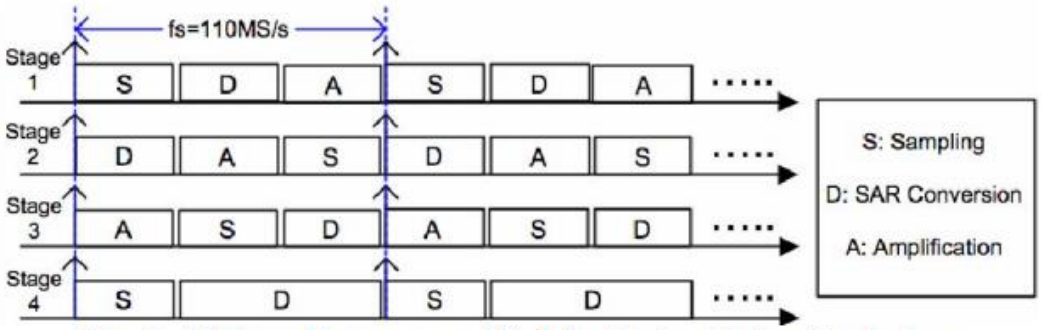

Fig. 2. Timing diagram specified for timing-derived technique

به‌منظور کاهش نیاز بهره از تک تقویت‌کننده عملیاتی و افزایش سرعت سیستم، تقویت‌کننده عملیاتی با بهره کم استفاده‌شده است و روش مبتنی بر نسبت کالیبراسیون خطای بهره بر اساس به اشتراک‌گذاری تقویت‌کننده عملیاتی برای کالیبره کردن سریع خطاهای بهره در هر مرحله تقویت ارائه‌شده است، که به‌عنوان معادلات زیر نشان داده‌شده است:

$$D_{total} = D_{out,4} \times (1+\frac{R_3 \times \varepsilon_2}{1-R_3 \times \varepsilon_2}) \times (1+\frac{\varepsilon_2}{1-\varepsilon_2}) \times (1+\frac{R_1 \times \varepsilon_2}{1-R_1 \times \varepsilon_2})$$

$$+D_{out,3} \times (1+\frac{\varepsilon_2}{1-\varepsilon_2}) \times (1+\frac{R_1 \times \varepsilon_2}{1-R_1 \times \varepsilon_2}) + D_{out,2} \times (1+\frac{R_1 \times \varepsilon_2}{1-R_1 \times \varepsilon_2}) + D_{out,1} \qquad (1)$$

$$R_i = \frac{1-A_{CL,i}/A_{ideal,CL,i}}{1-A_{CL,2}/A_{ideal,CL,2}} = \frac{\varepsilon_i}{\varepsilon_2} \qquad (2)$$

$$\frac{\varepsilon_2}{1-\varepsilon_2} \approx \varepsilon_2 + (\varepsilon_2)^2 + (\varepsilon_2)^3 \qquad (3)$$

که در آن $A_{CL,i}$، $A_{ideal,CL,i}$ و ε_i به ترتیب بهره حقیقی حلقه بسته، بهره ایده آل حلقه بسته و خطای تخمین‌زده شده بهره iامین MDAC است، هنگامی‌که R_i نسبت بین خطای بهره حلقه بسته iامین و دومین MDAC است. به‌جای تخمین سه خطای بهره‌ی MDACها در روش کالیبراسیون خطای بهره مرسوم [۹]، تنها باید ε_2 از طریق منطق کالیبراسیون خطای بهره تخمین زده شود. خطاهای بهره ε_1 و ε_2 توسط حاصل‌ضرب خطای بهره مطلق ε_2 و نسبت‌های R_3 , R_1 تخمین زده می‌شوند، که از شبیه‌سازی post-layout حاصل می‌شود. با توجه به اشتراک‌گذاری تقویت‌کننده عملیاتی، نسبت R_i به تغییرات غیریکنواخت هر دو بهره حلقه باز و خازن پارازیتی ورودی تقویت‌کننده عملیاتی حساس نیست. علاوه بر این، اثر عدم تطابق خازن‌های MDAC در R_i است تا زمانی که از نقشه اشکوب مانند طرح مرکزیابی مشترک استفاده‌شده است، به‌شدت کاهش می‌یابد.

ازآنجاکه یک خطا بهره مطلق از طریق منطق کالیبراسیون خطای بهره تخمین زده می‌شود، تنها یک سیگنال عدد شبه تصادفی به تنها یک مرحله تزریق می‌شود، که نفوذ کمتری در مدارات آنالوگ اعمال می‌کند، و همچنین سبب کاهش توان سربار و زمان همگرایی کالیبراسیون دیجیتال می‌شود. مرحله میانی برای تزریق به‌عنوان ملزومات خطی

سازی تقویت‌کننده عملیاتی و رهایی از کاهش سیگنال ورودی و جلوگیری از تخریب تخمین خطا توسط نویز مراحل پایانی انتخاب شده است.

در این طرح، سیگنال لرزش ۱ بیتی از طریق روش DPCSN [۶] در حوزه دیجیتال به مرحله دوم تزریق می‌شوند، که اختلال را از تزریق لرزش به بهره‌برداری آنالوگ سیستم لغو می‌کند. ازآنجاکه کاهش SNDR کوچک باقی‌مانده القایی نمی‌تواند به‌صورت دیجیتالی کالیبره شود، حداقل ۳۰ دسی‌بل بهره حلقه باز برای رسیدن به ENOB ۱۱٫۸ در تجزیه‌وتحلیل نرم‌افزار متلب بر اساس الگوریتم کالیبراسیون خطای بهره [۵] موردنیاز است. $\varepsilon_2/(1-\varepsilon_2)$ در معادله ۳ به سری تیلور مرتبه سوم گسترش‌یافته است تا این ENOB ۱۱٫۸ را حفظ کنند. با توجه به بهره کم به اشتراک‌گذاری تقویت‌کننده عملیاتی، بار وابسته سیگنال در خازن پارازیتی بزرگ ورودی تقویت‌کننده عملیاتی انباشته‌شده است. بنابراین، یک مرحله تنظیم مجدد برای اشغال یک اسلات کوتاه فاز تقویت اعمال شده است، هنگامی‌که ورودی تقویت‌کننده عملیاتی برای VCM برای لغو این اثر حافظه، کوتاه است.

با اجرای دو روش ارائه‌شده، توزیع بیت استفاده‌شده در این طراحی در شکل ۳ نشان داده‌شده است. همان‌طور که زمان تعیین میزان SAR ADC توسط فن‌آوری برگزیده تعیین شد، حداکثر سرعت کل سیستم توسط تعدادی کمی از هر زیر مرحله تعیین‌شده است. بنابراین، تعداد بیت کمتر از هر زیر مرحله SAR به‌منظور افزایش سرعت کلی ترجیح داده‌شده است. برای وضوح مؤثر ۱۲ بیتی با هم‌پوشانی بین طبقه‌ای، حداقل تعداد بیت از ۴ برای سه مرحله اول در معماری پیشنهادی انتخاب‌شده است، که تقویت ولتاژ مرجع را توسط ۲ در اولین مرحله ارائه می‌دهد. برای تصحیح خطا، حداقل یک بیت هم‌پوشانی بین دو مرحله موردنیاز است. ازآنجاکه سیگنال‌های لرزش همان‌طور که قبلاً ذکر شد به مرحله ۲ تزریق شده است، باید ۲ بیت هم‌پوشانی هم بین مراحل دوم و سوم وجود داشته باشد، که سبب تقویت ۴ برابری ولتاژ مرجع برای مراحل دوم و سوم می‌شود. ازآنجاکه بیش از ۴ بیت در آخرین مرحله، سرعت سیستم را به دلیل عدم تقویت فازش تخریب نمی‌کند، دو بیت همپوشانی بین مراحل سوم و جهارم استفاده شده است. بنابراین، ۵ بیت در آخرین مرحله استفاده شده است و ولتاژ مرجع آخرین مرحله ۴ برابر تقویت شده است.

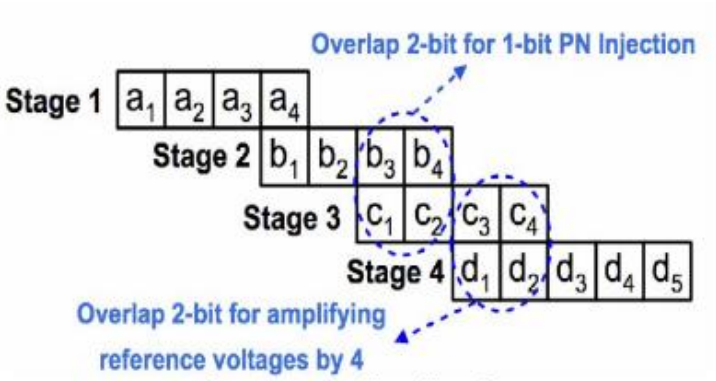

Fig. 3. Bit distribution

3. پیاده‌سازی مدارها

3.1 آرایه‌های MDAC

آرایه‌های خازن‌های مورداستفاده در هر MDAC از این طرح با معماری flip-around به کار گرفته‌شده‌اند [۲]. هر آرایه DAC خازنی شامل دو مجموعه از خازن‌ها است: زیرمجموعه DACC برای تبدیل SAR سوئیچینگ VCM استفاده می‌شود درحالی‌که زیرمجموعه DACA برای تقویت ولتاژ مرجع است و بخشی از آن نیز به‌عنوان خازن فیدبک کار می‌کند [۲]. با توجه به توزیع بیت و بهره‌های حلقه بسته MDACها، ولتاژ مرجع مرحله ۱ به‌اندازه ۲ برابر و سه مرحله آخر به‌اندازه ۴ برابر تقویت می‌شود، که در کل خازن‌های زیرمجموعه DACA به ترتیب 16C، 48C، 48C و 48C تقویت‌شده‌اند. علاوه بر این، بخشی از زیرمجموعه DACA به خروجی تقویت‌کننده عملیاتی خورده تا بهره حلقه بسته ۴ را تشخیص بدهد. در طول کوانتیزاسیون SAR، روش میانگیر مرجع برای سوئیچینگ DAC استفاده شده است، که از نردبان مرجع خلاص می‌شود.

از تجزیه‌وتحلیل نویز KT/C، خازن‌های نمونه‌برداری ورودی 1.6 PF از هر طرف برای SNR ۱۱،۷ بیتی تحت نویز کوانتیزاسیون ۱۲ بیتی انتخاب شده است، که در آن مقدار واحد خازن برای تطبیق انطباق موردنیاز ۵۰ fF است. به‌منظور ساده‌سازی طراحی آرایه‌های خازنی، تولید بیشتر برای عدم تطابق خازن و القاء کمتر نویز KT/C از

نمونه‌برداری مراحل پایانی، کل خازن‌ها از سه مرحله پایانی به‌گونه‌ای طراحی‌شده‌اند که یکسان باشند، که واحد خازن ۱۰ fF در MDACهای خود را ارائه کنند.

3.2 تقویت‌کننده عملیاتی با بهره کم آیینه جریان سرعت بالا

همان‌طور که در بخش قبلی توضیح داده شد، بهره حلقه باز تقویت‌کننده عملیاتی باید حداقل ۳۰ دسی‌بل شود، و درنتیجه ۳۳ دسی‌بل بهره حلقه باز تقویت‌کننده عملیاتی برای نیاز در اینجا طراحی شده است. برای ارائه فضای بیشتر برای خطی سازی بیشتر، یک تقویت‌کننده عملیاتی با خروجی خط به خط[1] ترجیح داده شده است. با هدف دستیابی به سرعت بالاتر، GBW بالاتر نیز موردنیاز است. بنابراین، همان‌طور که در شکل ۴ نشان داده شده است، به‌منظور تحقق بخشیدن به بهره نسبتاً بالاتر، سرعت نشست سریع‌تر و خروجی خط به خط، یک تقویت‌کننده عملیاتی جریان آینه در این طراحی به کار گرفته‌شده است.

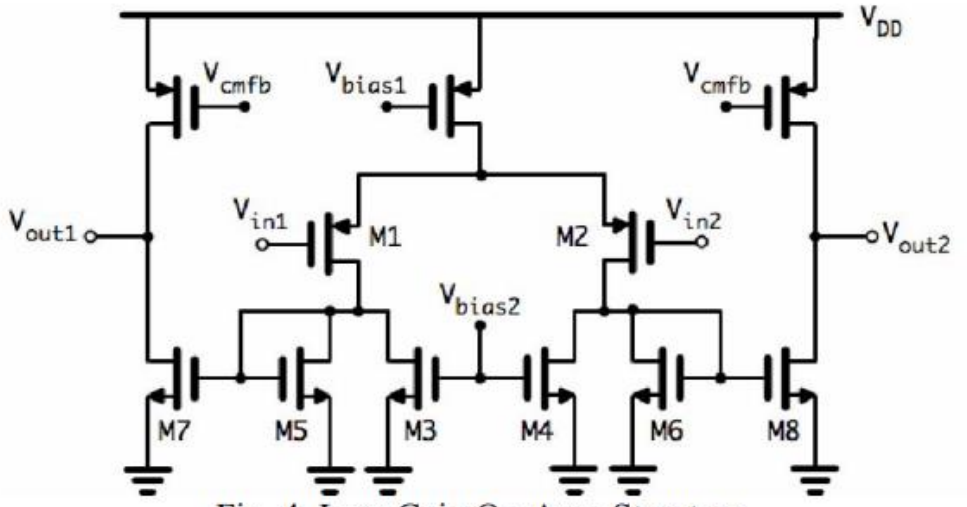

Fig. 4. Low-Gain Op-Amp Structure

بهره حلقه باز توسط نسبت ابعاد M3/M4 و M5/M6 افزایش یافته است. به‌منظور افزایش GBW تقویت‌کننده عملیاتی، نسبت بین M5/M6 و M7/M8 به نحوی طراحی‌شده‌اند تا بزرگ‌تر از یک باشند. ازآنجاکه قطب غیر غالب در گیت M5/M6 به دلیل افزایش بهره به قطب غالب نزدیک‌تر است، حاشیه فاز می‌تواند نزدیک ۷۳ درجه

[1] Rail to rail

بهینه، برای رسیدن به نشست سریع‌تر و همچنین تحمل تغییرات زاویه‌ای تحت‌فشار قرار بگیرد. با بارگذاری خازنی ۱٫۵pF، یک تقویت‌کننده عملیاتی با بهره حلقه باز ۳۳ دسی‌بل، GBW 2.5GHz و حاشیه فاز ۷۸ درجه در پهنای باند موردمطالعه، در تجزیه‌وتحلیل post-layout AC به‌دست‌آمده است.

3.3 تخمین نسبت بهره

ازآنجاکه GBW تقویت‌کننده عملیاتی برای برآوردن نیاز سرعت مرحله اول طراحی شده است، بهره حلقه بسته از هر MDAC به‌صورت معادله زیر است:

$$A_{CL} = \frac{\left(\frac{C_1 + C_2}{C_1 + C_2 + C_p}\right)}{\frac{1}{A_{OL}} + \left(\frac{C_2}{C_1 + C_2 + C_p}\right)} \qquad (4)$$

که در آن C_1 و C_2 به ترتیب خازن فیدبک و غیر flip-over از MDAC هستند و همان‌طور که در شکل ۵ نشان داده‌شده است، C_P خازن پارازیتی کل در ورودی تقویت‌کننده عملیاتی است و A_{OL} بهره حلقه باز تقویت‌کننده عملیاتی است. از معادلات (۱)، (۲)، (۳) و (۴)، R_1 و R_3 به‌دست‌آمده است. ازآنجاکه A_{CL} از MDAC دوم و سوم یکسان است، R_3 برابر ۱ است. با نگاه جامع در این طرح، C_P از دو MDAC اول و بهره حلقه باز از تقویت‌کننده عملیاتی به ترتیب 439fF، 413fF و ۳۳ دسی‌بل است، که نسبت R_1 ۰٫۸۱۸را ارائه می‌کند. از معادله (۴)، اگر A_{OL} از ۳۳ دسی‌بل به ۳۰ دسی‌بل تغییر کند، R_1 تنها ۱٪ تغییر می‌کند؛ اگر مجموع C_1 و C_2 و C_P ۲۰٪ تغییر کند، R_1 تنها ۲٪ تغییر خواهد کرد. بنابراین، تغییرات خازن و بهره حلقه باز، نسبت R_1 را در کل بیش از ۵٪ تحت تأثیر قرار نمی‌دهد. علاوه بر این، در شبیه‌سازی post-layout، نسبت R_1 تنها از ۰٫۸۱۵۵ گوشه FF به ۰٫۸۲۰۵ گوشه SS تغییر می‌کند.

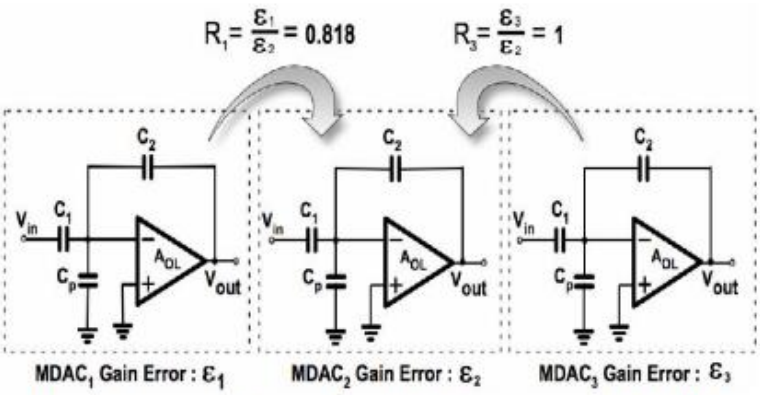

Fig. 5. Gain error ratios between each MDAC

4. نتایج اندازه‌گیری

مدار آنالوگ ADC نمونه در یک فرآیند CMOS ۶۵-نانومتری اجرا و عکس قالب در شکل ۶ نشان داده‌شده است. این تراشه یک مساحت فعال $0.12\ mm^2$ را اشغال می‌کند و ۱۱/۵ میلی وات را در ۱۱۰ MS/s از منبع تغذیه ۱/۲ ولتی در نظر می‌گیرد. بدون کاهش سیگنال ورودی، محدوده ورودی تفاضلی آن در مقیاس کامل ۱/۲ VPP است. توان تخمین زده‌شده کالیبراسیون دیجیتال خارج از تراشه تحت منبع تغذیه ۱ ولت و فرکانس ۱۱۰ مگاهرتز، با مساحت تخمین زده‌شده 20.1mm، برابر ۱/۸ میلی وات است، و توان کل ۱۳/۳ میلی وات است.

برای همگرایی خطای بهره به عملکرد حالت ماندگار ۴۰ هزار نمونه طول می‌کشد، به‌عنوان‌مثال ۰/۳۷ میلی‌ثانیه در ۱۱۰ مگاهرتز نرخ نمونه‌برداری، و سرعت همگرایی در مقایسه با الگوریتم‌های مبتنی بر همبستگی نسبتاً سریع‌تر است [۵]. همان‌طور که در شکل ۷ نشان داده‌شده است، با تغییر نسبت R_1 از ۰/۷۸۵ به ۰/۸۸، هنوز هم بیش از ۶۱/۵ دسی‌بل SNDR می‌تواند به دست بیاید. DNL و INL اندازه‌گیری شده با و بدون کالیبراسیون در شکل ۸ نشان داده‌شده است. ADC کالیبره نشده، بسیاری از کدهای گم‌شده و نقطه اوج INL را ۱۶/۴ LSB نشان می‌دهد. با کالیبراسیون، نقطه اوج DNL و INL به ترتیب مقدار 0.421 LSB و 1.63 LSB است.

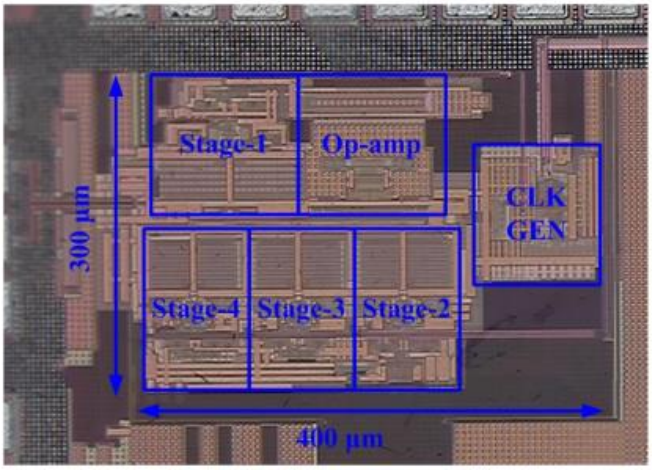

Fig. 6. Chip Photograph

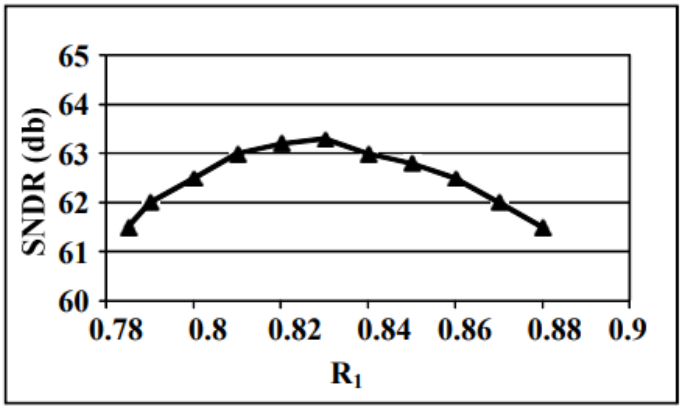

Fig. 7. Measured SNDR vs. R_1 @ 110MS/s

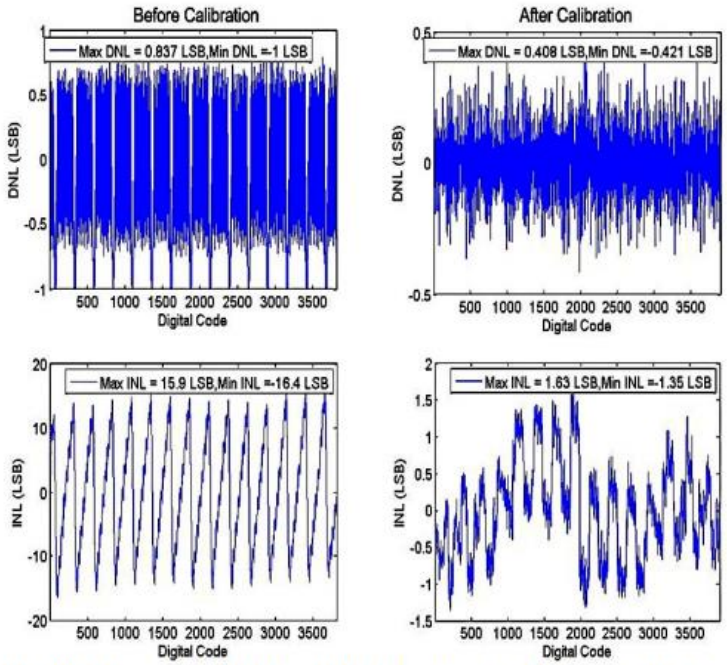

Fig. 8. Measured DNL and INL before and after calibration

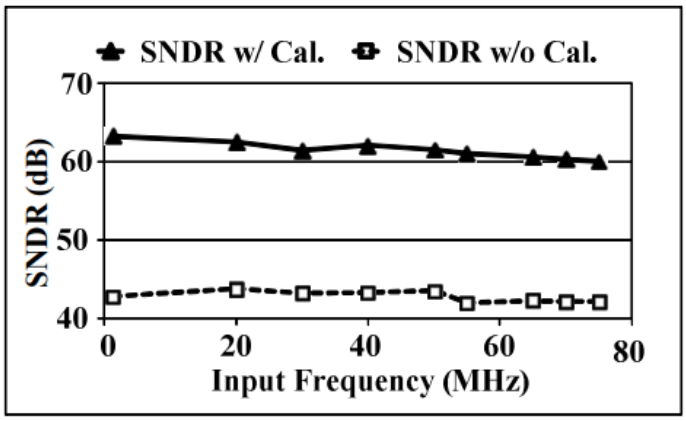

Fig. 9. SNDR vs. input frequency
before and after calibration @ 110MS/s

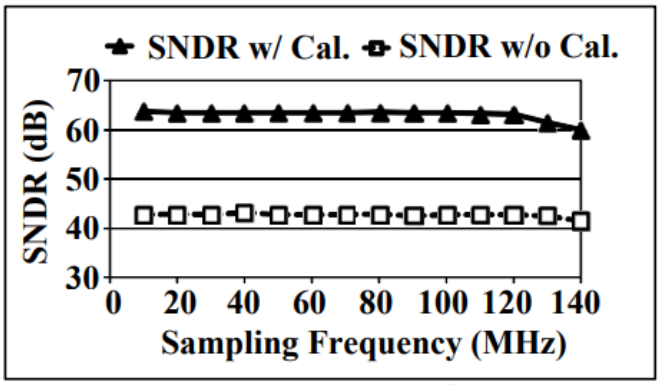

Fig. 10. SNDR vs. sampling frequency
before and after calibration @ f_{in}=1.2MHz

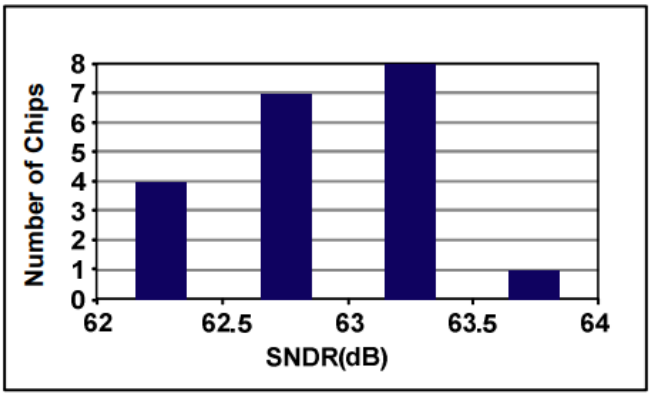

Fig. 11. Measured SNDR among 20 chips @ f_{in}=1.2MHz

TABLE I
PERFORMANCE SUMMERY AND COMPARISONS

	JSSC'09 [7]	VLSI'10 [8]	ESSCIRC'10 [9]	CICC'11 [4]	This Work
CMOS Process (nm)	90	90	65	65	65
Supply Voltage (V)	1.2	1.2	1.2	1.2	1.2
Input Range (V_{PP})	1.2	2	1.8	1.5	1.2
Area (mm^2)	1.36	0.32	0.36 + N/A	0.78 + 0.21(Est.)	0.12 + 0.1(Est.)
Speed (MS/s)	200	100	30	150	110
SNDR@DC (dB)	64	65	65.2	67.5	63
SNDR@Nyquist (dB)	61.6	63	64.5	55	61
Power (mw)	348	6.2	2.63 + 0.32 (Est.)	36 + 12 (Est.)	11.5 + 1.8 (Est.)
FOM@DC(fJ/conv)	1340	42	65	194	103
FOM @Nyquist (fJ/conv)	1770	53	72	696	131

بعد از کالیبراسیون دیجیتال،SNDR از 42.8dB به63dB بهبود می یابد.شکل 9 SNDRاندازه گیری شده در مقابل فرکانس ورودی در یک نرخ نمونه برداری 110MHz بدون و با کالیبراسیون دیجیتال را نشان میدهد،کهSNDRاز 63dB@1.2MHzو @61dBنایکوییست نشان میدهد.شکل 10نشان دهنده SNDRاندازه گیری شده در مقابل فرکانس نمونه برداری شده 1.2MHz بدون و با کالیبراسیون دیجیتال است.SNDRاندازه گیری شده در ورودی1.2MHz در میان 20 chip در شکل 11 نشان داده شده است و SNDR میانگین 63dB است.جدول I این کار را با کارهای 12 ADCبیتی گزارش شده اخیر مقایسه میکند.

5. نتیجه گیری

این مقاله یک SAR ADC پاپ لاین عملیاتی۴ مرحله‌ای ۱۲ بیت 110 MS/sتوان پایین در 65nm CMOS ارایه میکند.ویژگی های ساختار جدید یک تکنیک مبتنی بر زمانبندی(SAR(timing-derivedپاپ لاین برای اشتراک گذاری آپ امپ است. تکنیک مبتنی بر نسبت GEC بر اساس اشترک گذاری آپ امپ به منظور سرعت بخشیدن به سرعت همگرایی و ساده کردن پیچیدگی کالیبراسیون دیجیتال معمول ارایه شده است.

REFERENCES

[1] M. Furuta, M. Nozawa, and T. Itakura, “A 0.06mm2 8.9b ENOB 40MS/s Pipelined SAR ADC in 65nm CMOS,” ISSCC Dig. Tech. Papers, pp. 382-383, Feb. 2010.

[2] Y. Zhu, C. H. Chan, S. W. Sin, S. P. U, R. P. Martins, and F. Maloberti, “A 35 fJ 10b 160 MS/s pipelined-SAR ADC with decoupled flip-around MDAC and self-embedded offset cancellation,” in proc. of IEEE Asian Solid-State Circuits Conference (ASSCC), pp. 61-64. Nov. 2011.

[3] Y. C. Huang, and T. C. Lee, “A 10b 100MS/s 4.5mW Pipelined ADC with a Time Sharing Technique,” ISSCC Dig. Tech. Papers, pp. 300-301, Feb. 2010.

[4] B. Peng, G. Huang, H. Li, P. Wan, and P. Lin, “A 48-mW, 12-bit, 150- MS/s pipelined ADC with digital calibration in 65nm CMOS”, in proc of 2011 IEEE Custom Integrated Circuits Conference (CICC), pp. 1-4, Sep. 2011.

[5] E. J. Siragusa, and I. Galton, "A digitally enhanced 1.8V 15b 40MS/s CMOS pipelined ADC," ISSCC Dig. Tech. Papers, pp. 452-453, Feb. 2004.

[6] R. Wang, U F. Chio, C. H. Chan, L. Ding, S. W. Sin, S. P. U, Z. H. Wang, and R. P. Martins, “A Time-Efficient Dither-Injection Scheme for Pipelined SAR ADC,” in Proc. of IEEE Asia Pacific Conference on Postgraduate Research in Microelectronics & Electronics (PrimeAsia), pp. 9-12, Oct. 2011.

[7] B. D. Sahoo, and B. Razavi, “A 12-bit, 200-MHz CMOS ADC,” in IEEE Journal of Solid-State Circuits, vol. 44, no. 9, pp. 2366-2380, Sep., 2009.

[8] J. Chu, L. Brooks, and H.-S. Lee, "A zero-crossing based 12b 100MS/s pipelined ADC with decision boundary gap estimation calibration," in Proc. of Symposium on VLSI Circuits Digest of Technical Papers, pp. 239-240, Jun. 2010.

[9] J.K.-R. Kim, and B. Murmann, “A 12-bit, 30-MS/s, 2.95-mW pipelined ADC using single-stage class-AB amplifiers and deterministic background calibration,” in Proc. of European Solid-State Circuits Conference (ESSCIRC), pp.378 -381, Sep. 2010.