

یک ADC خط لوله 12 بیتی، 200 MS/s، 11.5-Mw با استفاده از یک جلو دار تیپ دلو

پالسی

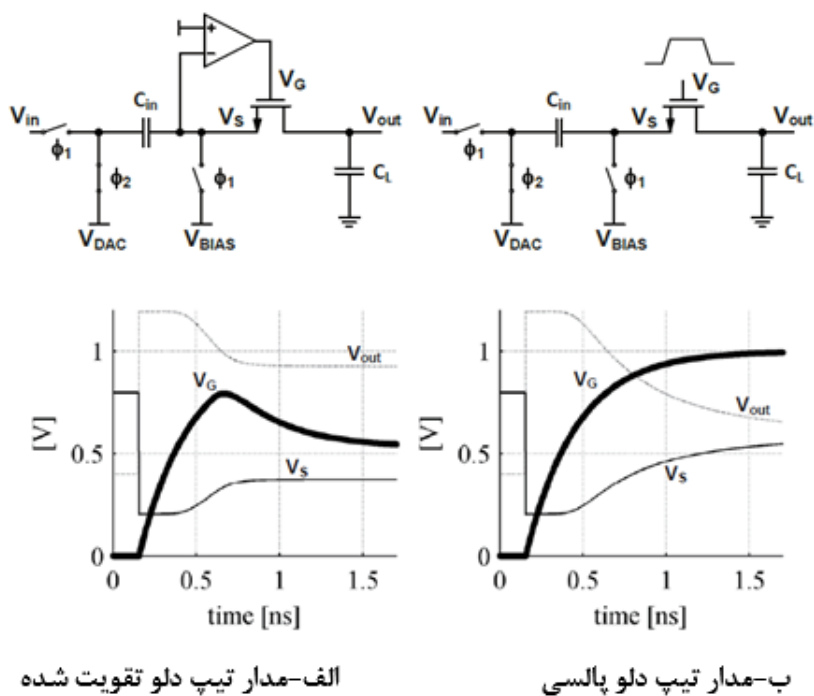
چکیده

یک ADC خط لوله کم توان، پر سرعت، توسط جایگزینی آمپلی فایرهای باقیمانده جلو دار با مدار بندی تیپ دلو پالسی و توسط جبران کردن خطاهای ورودی با استفاده از خطی سازی دیجیتال، پیاده می شود. ADC در CMOS 65 نانومتری پیاده سازی شده و 0.26 میلی متر مربع جا اشغال می کند. این در 200 MS/s کار می کند، 11.5 Mw از یک منبع 1 ولتی مصرف کرده و به SNDR معادل 65 دسی بل در فرکانس های ورودی پایین و 57.6 دسی بل نزدیک نایکوئیست دست می یابد. Schreier FOM مبتنی بر SNDR متناظر به ترتیب 164.5 و 157 دسی بل است.

مقدمه

بیشتر توان در مراحل ADC خط لوله معمول توسط آمپلی فایرهای عملیاتی مصرف می شود که باقیمانده مرحله را تولید می کند. برای کاهش توان کل ADC، متدهای تقویت جدید کشف می شوند. در [1] یک مدار تیپ دلو برای فعال کردن تولید باقیمانده موثر استفاده می شود. اما، این طرح هنوز به OpAmps کمکی برای ته نشانی دقیق و کامل متکی می باشد، این صرفه جویی های قابل دست یافت را محدود می کند. این کار بر مبنای [1]، توسط حذف OpAmps کمکی و به کار انداختن مدار در ولتاژ منبع پایین در یک فرایند خط-پالایش، بهبود انجام می دهد. خطاهای باقیمانده نتیجه شده از حذف OpAmps از طریق خطی سازی دیجیتال نشانی دهی می شوند.

اصل اساسی مورد استفاده در مراحل خط لوله تیپ دلو، تقویت انتقال شارژ (بار) است، که این بار از یک خازن بزرگ به یک خازن کوچک منتقل می شود تا بهره ولتاژ به دست آید. عمل یک مدار تیپ دلو تقویت شده با OpAmp معمولی در شکل 1 الف دیده می شود. در حین ϕ_1 ، ورودی روی C_{in} نمونه برداری می شود، و در حین ϕ_2 بار توسط اعمال کردن یک زمین مجازی در نود V_S درون C_L مجدداً توزیع می شود. با بهره OpAmp بزرگ، بهره ولتاژ نتیجه دقیقاً به نسبت C_{in}/C_L تنظیم می شود. الزامی ترین جنبه این مدار این است که بار ورودی نمونه گیری شده، برای شارژ کردن خروجی دوباره استفاده می شود. این متفاوت از یک خط لوله خازن سوئیچ شده ی سنتی است، که هر مرحله یک بسته بار جدید از منبع گرفته و بار ورودی اش اساساً تلف می شود.



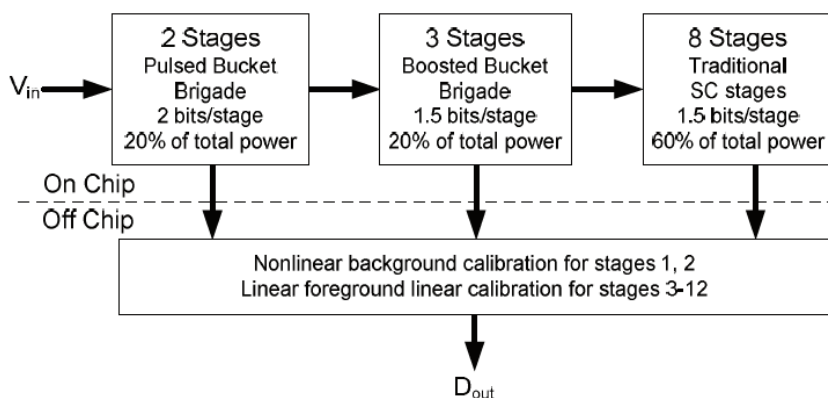
شکل 1-مدار تیپ دلو معمولی و پیشنهادی

شکل 1 ب، پیاده سازی کم-OpAmp پیشنهادی را نشان می دهد. گیت ترانزیستور گذر توسط یک پالس ولتاژ هدایت می شود که از رفتار خروجی OpAmp در حین گذار اولیه تقلید می کند. مخصوصاً، توجه کنید که OpAmp در شکل 1 الف بدو با یک پالس زمان خیزش محدود پاسخ می دهد تا انتقال بار را تسریع نماید (خط پر رنگ برچسب خورده با V_G). یک افزایش سرعت مشابه در پیاده سازی ما توسط گیت بندی ترانزیستور با یک

پالس تولید شده توسط یک مدار RC به دست می آید. تفاوت اصلی بین دو مدار این است که پیاده سازی کم-OpAmp دقیقا ته نشانی نمی کند. در پایان ϕ_2 ، نود V_s حاوی خطاهای خطی و غیر خطی وابسته به سیگنال است که می تواند با دما تغییر کند (مثلا به دلیل شیفت های V_t). در ADC پیشنهادی، این مساله توسط خطی سازی دیجیتال و کالیبراسیون پس زمینه پیوسته کاهش می یابد.

معماری ADC و طراحی مدار

شکل 2 بلوک دیاگرام طرح اثبات مفهوم 13 مرحله ای ما را نشان می دهد. دو تای اول و بحرانی ترین مرحله از مدار شکل ب استفاده می کند و برای بهره ولتاژ 3.1 طراحی شده است. برای کاهش سربار کالیبراسیون، سه مرحله بعدی با استفاده از توپولوژی مبتنی بر OpAmp شکل 1 الف با بهره 2 پیاده سازی می شوند. عقبه 8 مرحله ای با استفاده از مراحل خازن سوئیچ شده مبتنی بر OpAmp 1.5 بیتی سنتی پیاده سازی می شود.



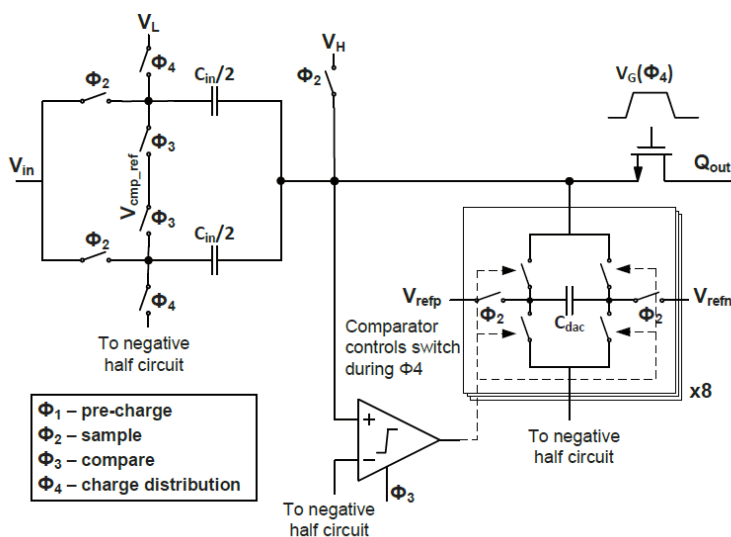
شکل 2- بلوک دیاگرام ADC

شکل 3 شمای مدار نصفه مرحله 1 را نشان می دهد. پیاده سازی واقعی شبه تفضلی است و از دو کپی این مدار استفاده می کند. مرحله در چهار فاز زمان بندی می شود: قبل از شارژ (فاز کوتاه)، نمونه، مقایسه (فاز کوتاه) و توزیع دوباره شارژ.

در فاز نمونه، ورودی بصورت موازی روی دو خازن با اندازه برابر $(C_{in}/2)$ نمونه گیری می شود. در حین فاز مقایسه، صفحات بالایی این خازن ها به ک ولتاژ مد مشترک متصل می شوند و مقایسه گر ها برای کمی کردن

درشت (تقریبی) ورودی فعال سازی می شوند. در فاز توزیع دوباره بعدی، صفحه بالایی یکی از خازن های نمونه برداری کننده به ولتاژ مرجع V_L متصل شده و دیگری به همتای آن در مدار نیمه بعدی متصل می شود. این بهره مد مشترک را به اندازه واحد کاهش داده و بنابراین به ما اجازه می دهد تا مراحل شبه تفاضلی را بدون تنزل مد مشترک قابل توجه از مرحله ای به مرحله دیگر اتصال متوالی کنیم.

برق پذیری های DAC در حین فاز نمونه به ولتاژ مرجع شارژ می شوند. در حین توزیع مجدد، سوئیچ های DAC مطابق با تصمیم های مقایسه گر تنظیم شده و V_G برای انتقال بار سریع به مرحله بعدی بردار می شود، طبق توضیح بالا. چون ورودی مرحله 1 یک ولتاژ است، فاز پیش از بردار شدن استفاده نمی شود. در مراحل 2-5، که روی بار ورودی عمل می کند، فاز پیش-شارژ برای مقدار دهی اولیه ولتاژ نود ورودی پیش از دریافت بار از مرحله راندن آن خدمت می کند.



شکل 3- پیاده سازی مرحله خط لوله اول

نتایج سنجش

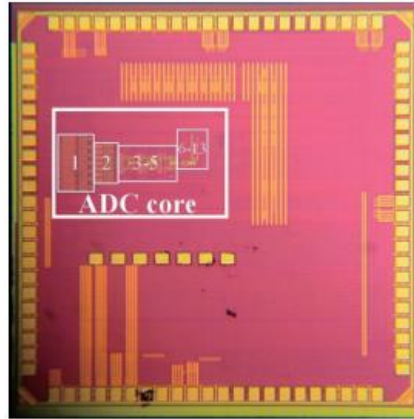
یک IC نمونه در 65 CMOS نانومتری پیاده شد. مساحت قالب کل 3.33 میلی متر مربع است و هسته ADC 0.26 میلی متر مربع اشغال می کند (شکل 4). طبق شکل 2، کالیبراسیون خارج-تراشه روی داده خروجی سرعت-

پرانجام می شود. برای نتایج واقعی، موتور کالیبراسیون یک بار با استفاده از ورودی های فرکانس پایین اجرا می شود و هر چه فرکانس ورودی عوض شود ضرایب ثابت می مانند. شکل 5 نتایج سنجش شده را نشان می دهد، که یک SNDR 65 دسی بل را در فرکانس های ورودی پایین ($f_{in} = 1$ MHz) و 57.6 نزدیک نایکویست ($f_{in} = 99$ MHz) نشان می دهد. تنزل فرکانس بالا بخشی به دلیل پرش کلاک است، که حدود $PS_{rms} 1.2$ در تنظیم ما تخمین زده شد. شکل 6 DNL و INL سنجیده شده را نشان می دهد، که درون 1 و 1.25 LSB، در سطح 12 بیتی هستند.

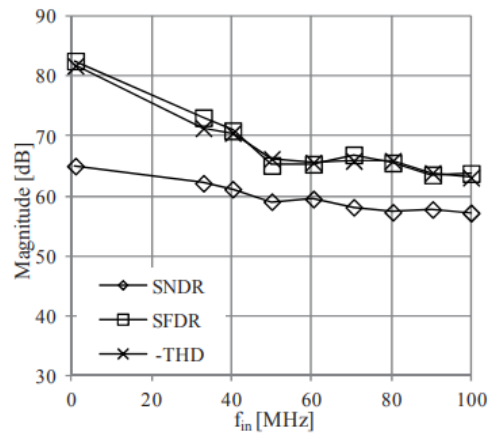
با $P=11.5m$ W (بجز مرجع، I/O ئ موتور کالیبراسیون بیرونی)، $FOM = SNDR_{dB} + 10\log[(f_s/2)/P]$ ، SNDR-Schrier به دست آمده برای f_{in} پایین، 164.5 دسی بل و 157 دسی بل نزدیک نایکویست است. پس طراحی موجب کارایی توان لبه در سرعت مشخص شده می شود در حالیکه رزولوشن یا تفکیک بالاتر نسبت به توپولوژی های کم-OpAmp پر سرعت رقیب فراهم می کند، مانند [5].

تاییدیه ها

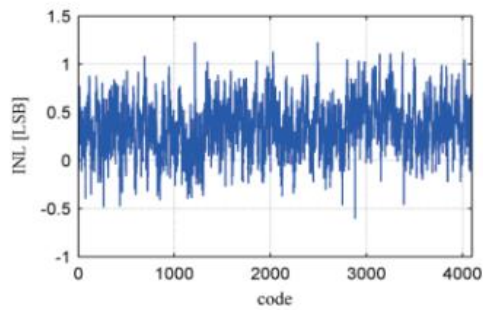
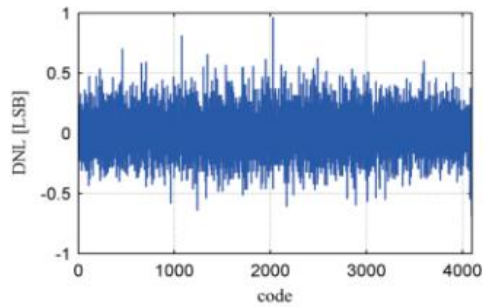
این کار به حمایت Renesas و مرکز کانون C2S2 انجام شد، یکی از شش مرکز تحقیقاتی تحت برنامه تحقیق مرکز کانونی FCRP، یک موجودیت موسسه تحقیقاتی نیمه رسانا می باشد. ساخت تراشه توسط برنامه شاتل دانشگاه TSMC محقق شد. ما از اتوماسیون طراحی برکلی برای استفاده پلتفرم اسپایس سریع آنالوگ AFS تشکر می کنیم.



شکل ۴. عکس قالب



شکل ۵. مگاهرتز) $f_s = 0.2$ در مقابل باله -THD و SFDR، SDR



شکل ۶. مگاهرتز) $f_s = 0.2$ اندازه گیری شده DNL و INL

References

- [1] M. Anthony et al., "A Process-Scalable Low-Power Charge-Domain 13-bit Pipeline ADC," Dig. VLSI Circuits Symposium, June 2008, pp. 222-223.
- [2] K. Kotani et al., "CMOS Charge-Transfer Preamplifier for Offset Fluctuation Cancellation in Low-Power A/D Converters," IEEE J. Solid-State Circuits, May 1998, pp. 762-769.
- [3] B. Murmann and B. E. Boser "A 12-bit 75-MS/s pipelined ADC using open-loop residue amplification," IEEE J. Solid-State Circuits, Dec. 2003, pp. 2040-2050.
- [4] P.G.A. Jespers et al., "A fast sample and hold charge-sensing circuit for photodiode arrays," IEEE J. Solid-State Circuits, pp. 232-237, June 1977.
- [5] B. Verbruggen et al., "A 1.7 mW 11b 250 MS/s 2-Times Interleaved Fully Dynamic Pipelined SAR ADC in 40 nm Digital CMOS," IEEE J. Solid-State Circuits, Dec. 2012, pp. 2880-2887.