

یک SAR ADC لوله ای 12 بیتی، 210 MS/s، 5.3 mW با یک تکنیک

انتقال باقیمانده غیر فعال

چکیده

یک مبدل آنالوگ به دیجیتال 12 بیتی دوکاناله 210 MS/s (ADC) که روی معماری تقریب متوالی لوله ای بکار برده شده ارائه می شود. ADC به 3 مرحله، با انتقال باقیمانده غیر فعال بین مراحل اول و دوم و تقویت باقیمانده فعال بین مراحل دوم و سوم افزاز می شود. ADC 5.3 mW از یک منبع 1 ولتی مصرف کرده و به SNDR 63.48 دسی بل در یک ورودی 5MHz و 60.1 دسی بل نزدیک نرخ نایکویست دست می یابد.

مقدمه

تقاضا روی ADC های رزولوشن-بالا پر سرعت، کم توان با تعدد کاربردها افزایش یافته که این نیاز به پهنای باند سیگنال عریض تر می باشد. برای رعایت مشخصات، ADC های لوله ای معمولاً برای سرعت عالی تر مورد استفاده قرار می گیرند. عبارت دیگر، با کم کردن مقیاس فناوری های CMOS، SAR ADC ها جای ADC های لوله ای را گرفته اند، بخاطر کارایی توان فوق العاده ای که دارند. وای عملکرد SAR ADC ها محدود است به دلیل نویز مقایسه کننده و تبدیل چرخش بیتی سریالی.

این کار از یک معماری SAR خط لوله ای برای بهبود گذردهی و همچنین تخفیف و کاهش پیش نیاز طراحی مقایسه کننده استفاده می کند. برای حداقل کردن تعداد OP AMP خورنده توان در امتداد مسیر سیگنال، SAR ADC های لوله ای معمولاً از یک طرح 2 مرحله ای استفاده می کنند که نیازمند فقط یک OP AMP برای تقویت باقیمانده می باشد. یک متد انتقال باقیمانده غیر فعال در این کار پیشنهاد می شود تا عمل

لوله کاری شده از 2 به 3 مرحله بسط یابد در حالیکه کارایی توان حفظ می شود. در ضمن، سه مقایسه گر میان مراحل چرخش داده می شوند تا شرط طراحی افست (انحراف) راحت شود.

معماری و پیاده سازی مدار

شکل 1 معماری ADC پیشنهادی را نشان می دهد. ADC بصورت 3 مرحله پیکر بندی شده و هر مرحله 4 بیت، 5 بیت و 6 بیت را به ترتیب تفکیک می کند تا خروجی 12 بیتی تولید شود. یک بیت اضافی توسط مرحله آخر تفکیک می شود که برای کالیبراسیون بهره مورد استفاده قرار می گیرد.

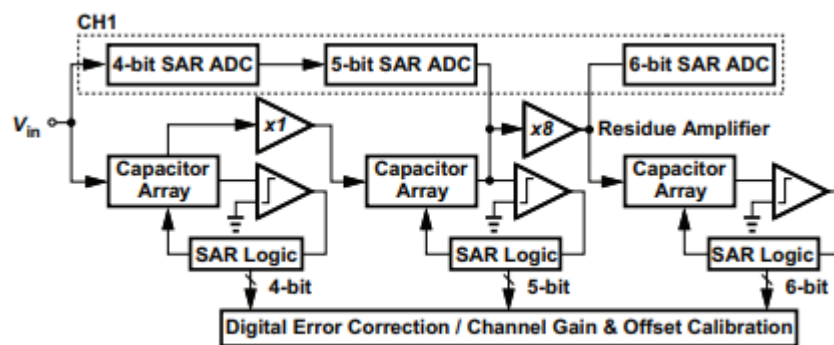


Fig. 1 ADC architecture

در پایان مرحله اول تبدیل A/D، DAC باقیمانده متناظر را تولید می کند که بعد به صورت غیر فعال به مرحله دو منتقل می شود. یک آمپلی فایر باقیمانده 8x (RA) مشترک بین کانال ها بین مراحل دوم و سوم جای می گیرد تا نویز عقبه و نیازهای افست رفع شوند.

برای یک SAR ADC معمولی، خازن DAC (CDAC) همیشه دوباره تنظیم می شود وقتی که این تبدیل تمام می شود. اگر باز ذخیره شده روی CDAC بتواند دوباره استفاده شود توان قابل توجهی برای تولید باقیمانده می تواند ذخیره شود. ایده انتقال باقیمانده غیر فعال در شکل 2 نشان داده می شود.

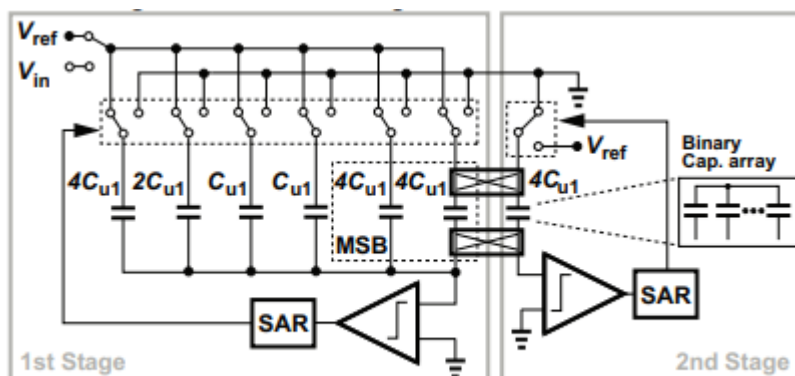


Fig. 2 Passive residue transferring

با در نظر گرفتن یک 4 SAR ADC بیتی با نمونه برداری صفحه-زیرین معمولی بعنوان مرحله اول، نسبت خازن برای D/A باینری 1:1:2:4:8 نشان داده می شود. وقتی تبدیل انجام می شود، باقیمانده روی این خازن ها ذخیره می شود. پس یکی از خازن ها می تواند برای فرایند SAR بعدی به مرحله دوم برود. بعبارت دیگر، باقی خازن ها در مرحله اول، برای نمونه وارد شونده بعدی، نگهداری می شوند. در این طراحی، دو نیمه خازن $4C_{u1}$ ، MSB، برای انتقال باقیمانده مورد استفاده قرار می گیرند که الزام نویز KT/C را رعایت می کند.

وقتی یک $4C_{u1}$ باقیمانده را از مرحله اول به دوم جابجا می کند، نوع دیگر متناظر با آن به عقب به مرحله اول سوئیچ می شود. این عمل پینگ پونگی، انتقال باقیمانده را بدون هر نوع مولفه فعال امکان پذیر می کند. همراه با سوئیچ ها از طریق متد پیشنهادی، ADC با خطای بهره ناشی از برق پذیری پارازیتی غیر خطی هنوز به حدود کارایی 13 بیتی مطابق با شبیه سازی دست می یابد. در ضمن، زمان ته نشانی DAC، گلوگاه سرعت اصلی در مرحله اول می شود؛ بخاطر برق پذیری نسبتا بزرگ آن. یک راهکار ساده این است که از خازن های افزونه و سیکل های تصمیم برای تحمل خطای ته نشانی DAC با جریمه برق پذیری ورودی مازاد و سربار محدوده پویا استفاده شود. برای تفکیک مسائل طراحی، طبق شکل 3، سه خازن MSB اول شکسته می شوند و یک سیکل اضافه برای پیاده سازی 2.8 بیتی در حین تبدیل 4 بیت در مرحله اول اضافه می شود، زیرا که خطاهای ته نشانی بزرگ معمولا در ابتدا و سوئیچینگ DAC ثانوی رخ می دهند. مشابه با مرحله 2.8 بیتی یک ADC موازی سازی شده، تحمل خطا، $\pm V_{ref}/8$ است. در این کار، طرح ته نشانی DAC ناکامل و نویز مقایسه گر محقق می شود.

افست (انحراف) مقایسه کننده ها در مراحل مختلف، مساله خطی شدن بالقوه را وضع می کند. بطور سنتی، مساله افست به سادگی توسط افزودن افزونگی بین مراحل حل می شود. با وجود افزونگی یک بیت، تحمل آنقدر کافی نیست چون ورودی مرحله های دوم و سوم به مقیاس کامل تقویت نمی شود که توان را ذخیره کند. یک طرح چرخش مقایسه کننده در شکل 4 پیشنهاد می شود. با استفاده از مقایسه کننده یکسان از مراحل اول به سوم، افست برابر از طریق هر مقایسه تجربه می شود. چون این تکنیک چرخش، افست مقایسه کننده را به افست نمونه به نمونه ترجمه می کند که می تواند توسط کالیبراسیون افست کانال کنسل شود، شرط افست مقایسه کننده ها می تواند از $mV 3$ به $mV 100$ کم می شود (تخفیف می یابد).

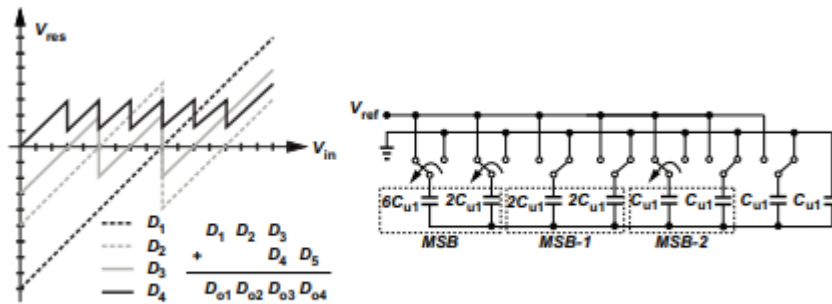


Fig. 3 Embedded 2.8-bit conversion

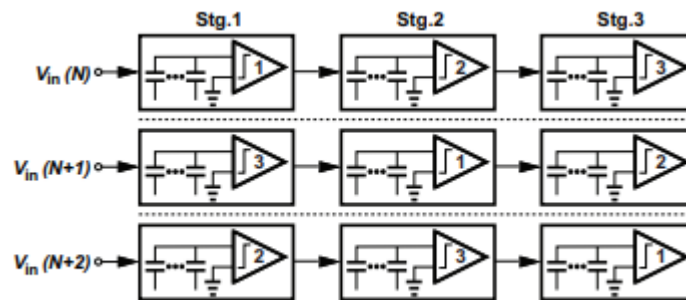


Fig. 4 Comparator rotation scheme

برای اینکه نویز محدود به مرحله 3 نباشد، باقیمانده تولید شده توسط مرحله دوم توسط یک 8X RA تقویت می شود. OP AMP بصورت ساختار تلسکوپی تقویت شده با بهره با یک ورودی NMOS پیاده سازی می شود و دارای بهره حداقل 65 دسی بل است که اثر حافظه ایجاد شده توسط تسهیم کانال را سرکوب می کند. ADC مرحله سوم بصورت نمونه برداری صفحه-بلا طراحی می شود، یعنی معماری تنظیم و کسر کردن.

نتایج تجربی

ADC پیشنهادی در یک فناوری 65 CMOS نانومتری ساخته می شود که 0.48 میلی متر مربع جا اشغال می کند. ADC یک سیگنال تفاضلی مقیاس کامل $V_{PP}1.6$ را با یک برق پذیری ورودی 2 PF می پذیرد. کالیبراسیون دیجیتال، خارج از تراشه برای هر دو خطای بهره و افسد، انجام می شود. میکروگراف تراشه در شکل 5 نشان داده می شود. طبق شکل 6، DNL و INL سنجش شده در محدوده $+0.66/-0.57$ LSB و $+1.45/-0.68$ LSB هستند.

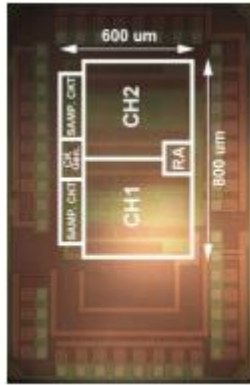


Fig. 5 Die photo

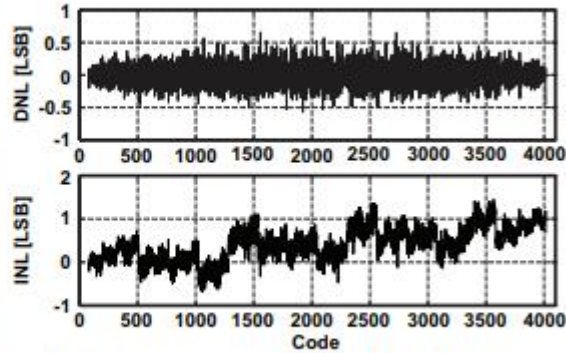


Fig. 6 Measured INL and DNL plots

شکل 7 عملکرد دینامیک سنجش شده را در MS/S210 نشان می دهد. نتایج یک SNDR 63.48 دسی بل و یک SFDR 77.5 دسی بل را با یک ورودی 5 MHz نشان می دهد. با یک ورودی نرخ نایکویست، شکل 8 خلاصه ای از عملکرد دینامیکی در برابر فرکانس ورودی را نشان می دهد. جدول 1 خلاصه ای از عملکرد ADC پیشنهادی و مقایسه با ADC های پر سرعت 12 بیتی دیگر را نشان می دهد. این کار به FOM پایین مرحله-تبدیل Fj30.3 دست می یابد در حالیکه در ms/s210 کار می کند.

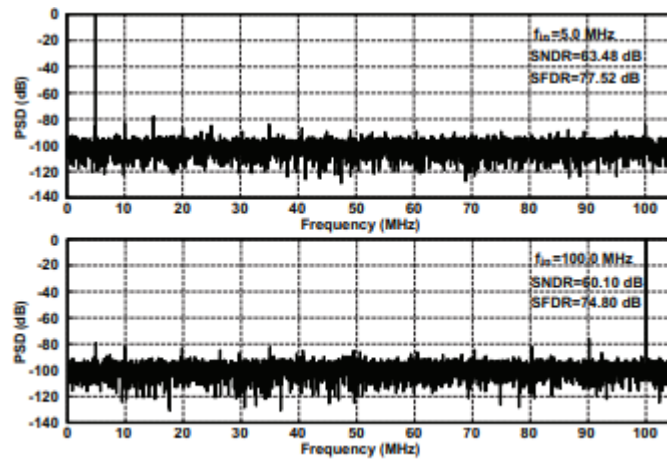


Fig. 7 Measured FFT plots

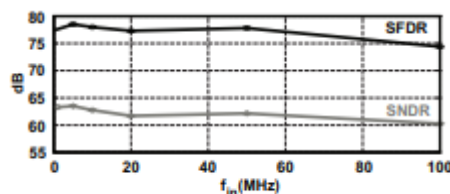


Fig. 8 Dynamic performance versus input frequency

Table 1. Performance summary and comparison table

	This work	[1]	[2]	[3]
Architecture	Pipelined-SAR	Pipelined	Pipelined-SAR	Pipelined-SAR
Technology	65-nm CMOS	65-nm CMOS	65-nm CMOS	65-nm CMOS
VDD	1.0 V	1.0 V	1.3 V	1.2 V
Resolution	12-bit	12-bit	12-bit	12-bit
Speed	210 MS/s	200 MS/s	50 MS/s	110 MS/s
SNDR	63.48 dB	65.0 dB	65.5 dB	63.0 dB
DNL / INL	0.66/1.45 LSB	1.0/1.25 LSB	0.75/1.5 LSB	0.42/1.63 LSB
Power	5.3 mW	11.5 mW	3.5 mW	13.3 mW
FoM	30.3 fJ/Conv.	93.1 fJ/Conv.	52.0 fJ/Conv.	131 fJ/Conv.

تاییدیه ها

این کار توسط Mediatek و NSC 102-2220-E-002-004 حمایت می شود. نویسندگان از TSMC بابت ساخت تراشه تشکر می کنند.

References

- [1] N. Dolev, M. Kramer, and B. Murmann "A 12-bit, 200-MS/s, 11.5-mW Pipeline ADC using Pulsed Bucket Brigade Front-End," in Proc. VLSI Circuits Symp., Jun. 2013, pp. 98-99.
- [2] C. C. Lee and M. Flynn, "A 12b 50MS/s 3.5mW SAR Assisted 2-Stage Pipeline ADC," in Proc. VLSI Circuits Symp., Jun. 2010, pp. 239-240.
- [3] R. Wang, U.-F. Chio, S.-W. Sin, S.-P. U, Z.-H. Wang, and R. P. Martins "A 12-bit 110MS/s 4-stage Single-Opamp Pipelined SAR ADC with Ratio-Based GEC Technique," in Proc. IEEE ESSCIRC, Sep. 2012, pp. 265-268.
- [4] Y.-D. Jeon, Y.-K. Cho, J.-W. Nam, K.-D. Kim, W.-Y. Lee, K.-T. Hong, and J.-K. Kwon, "A 9.15mW 0.22mm² 10b 204MS/s Pipelined SAR ADC in 65nm CMOS," in IEEE CICC Dig. Tech. Papers, Oct. 2010, pp. 1-4.
- [5] C.-C. Liu, et al. "A 10b 100MS/s 1.13mW SAR ADC with binary scaled error compensation," in IEEE ISSCC Dig. Tech. Papers, pp.386-387, Feb. 2010.