

کالیبراسیون چند مرحله ای کاملاً قطعی مبتنی بر ADC برای ADC های خط لوله

با سرعت بالا

خلاصه

کالیبراسیون پس زمینه دیجیتال به طور کامل قطعی برای ADC ها خط لوله ارائه شده است. روش پیشنهادی بر اساس مفهوم انشعاب ADC به کوتاه ترین زمان کالیبراسیون پس زمینه با دقت بالا است. روش میانگین شیب عدم تطابق در یک طرح کالیبراسیون چند مرحله ای استفاده شده است تا تشخیص خطاهای مدار بدون هر گونه عملیات تکراری و یا بازخورد حلقه ها انجام شود، که ارائه آن سریع و دقیق است. تجزیه و تحلیل رفتار شبیه سازی شده برای کالیبراسیون چند مرحله ای توسعه یافته کارایی این تکنیک و شایستگی خود را بر تکنیک مبتنی بر LMS نشان میدهد. ملاحظات عملی در نظر گرفته شده و کالیبراسیون ارائه شده بر روی یک CMOS 40 نانومتر 200Ms/s اعمال شده است. نتایج شبیه سازی شده چرخه کالیبراسیون بسیار سریع را نشان می دهد ، که در آن ADC به بیش از 11 ENOB در کمتر از 1600 چرخه کلاک رسیده است.

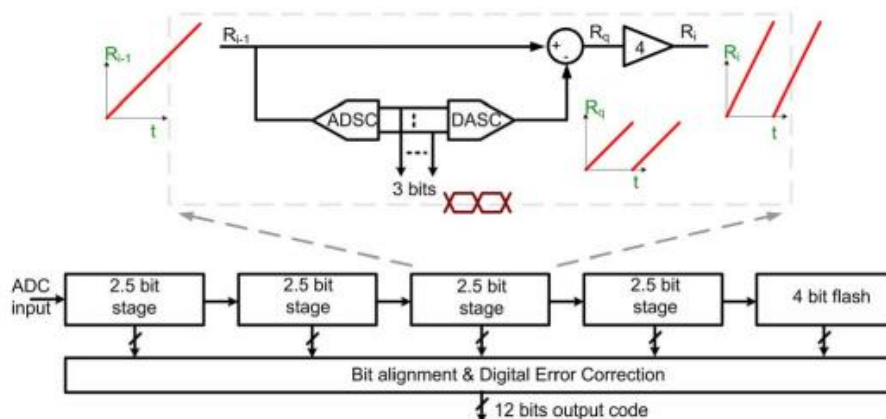
شرایط فهرست - تبدیل دیجیتال آنالوگ، زمان کالیبراسیون، CMOS، کالیبراسیون دیجیتال، آنالوگ با کمک

دیجیتال، خط لوله مبدل، اسپلیت ADC

1. مقدمه

مبدل های آنالوگ به دیجیتال با کارایی بالا نیازمندند که پردازش های دیجیتالی را برای ورودی RF در سیستم های ارتباطی پهن باند تا حد امکان فشرده کنند. این کار انعطاف پذیری بالاتر و سطح ادغام بالاتر باراندمان مصرف انرژی بهتر را قادر می سازد دارد [1]. برای عملکردهایی با سرعت بالا و وضوح بالا، Pipeline ADC مناسب ترین معماری را ارائه می دهد که در شکل 1 برای ADC 12 بیتی نشان داده شده است. این یک چندی کننده (quantizer) دامنه چند مرحله ای است که دیجیتال کردن توسط خط لوله کردن تعدادی از مراحل مشابه یا یکسان انکدرهای آنالوگ به دیجیتال کیفیت پایین انجام شده است که مبدل های پایه (sub-converter) آنالوگ به دیجیتال (ADSC) نامیده میشوند. خروجی ADSC هر مرحله خط لوله با سیگنال ورودی اش توسط مبدل آنالوگ به دیجیتال ضرب کننده (MDAC) پردازش شده است، که با مبدل آنالوگ به دیجیتال پایه (ADSC) ترکیب شده، تفریق و تقویت در مدار خازن سوئیچ شده (SC) انجام می شود. دقت MDAC به بهره بالای تقویت کننده در سرعت مورد نیاز ADC بستگی دارد. طراحی سریع تقویت کننده با بهره بالا، با پیشرفت فن آوری پیچیده تر و توان نا کارآمدتر می شود، که ویژگی طول ترانزیستور را برای سرعت های بالاتر کاهش می دهد که در عملکرد آنالوگ کمتر و استفاده از ولتاژ کمتر هزینه بر است.

یک روش کارآمد برای قدرت نفوذ وضوح موثر آنالوگ در سرعت بالا استفاده از تقویت کننده ها با بهره پایین است که برای درجه بندی صحیح برای رفع محدودیت مدار آنالوگ استفاده می شود [2].



شکل 1. pipeline ADC 12 بیتی

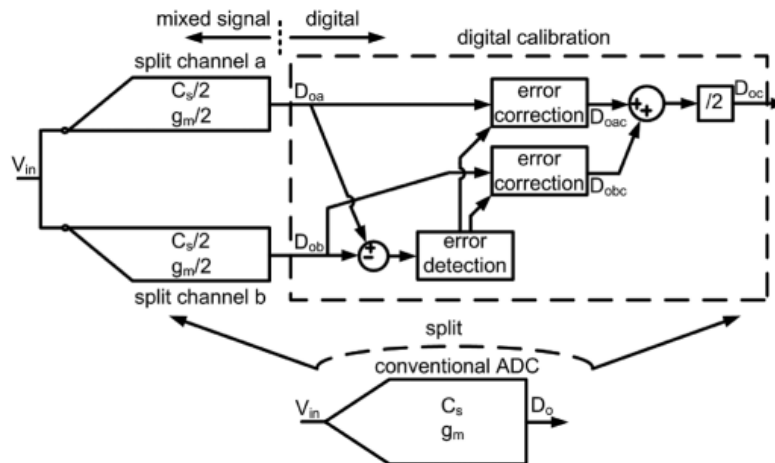
این روش به خوبی با روند تکنولوژی که در آن پردازش دیجیتال در حال سریعتر شدن و کارایی توان بیشتر است، مطابقت دارد. درجه بندی دیجیتال را می توان با ایجاد وقفه در عملکرد طبیعی ADC در پیش زمینه، یا می توان با اجرا تبدیل نرمال ADC در طول پس زمینه، انجام داد. درجه بندی پس زمینه عملکرد ADC بدون درز و انحراف کارایی مسیرها در سراسر تغییرات دما را ضمانت می کند، که ارائه درجه بندی قوی و موثر است. در میان تکنیک های درجه بندی پس زمینه های مختلف، درجه بندی ADC دو بخش شده است یکی که در [3] معرفی شده و دیگری به عنوان تکامل یک روش قطعی و عملی برای درجه بندی ADCها با سرعت بالاست. بر خلاف روش های دیگر [4] - [6]، درجه بندی ADC محدوده دینامیکی سیگنال ورودی را حفظ می کند، سنجش و تصحیح خطا را فراهم می کند، و چرخه کالیبراسیون در یک زمان بسیار کمتر و انجام می شود. یک روش جالب از ADC دو بخشی در [7] ارائه شده است که درجه بندی خطاهای MDAC را به سرعت انجام می دهد. این روش در [8] بیشتر توسعه یافته ، که درجه بندی سریع تر و دقیق تری را با استفاده از میانگین عدم تطابق شیب (SMA) به منظور تصحیح بهره محدود تقویت کننده ها و نمونه برداری خازن عدم تطابق را می دهد.

این کار با هدف گسترش روش SMA در ADC دو بخشی برای کالیبراسیون چند مرحله ای و با توجه به محدودیت های عملی آن با تجزیه و تحلیل، در یک Pipeline ADC 40 نانومتری شبیه سازی و استفاده شده است. بخش دوم یک بررسی اجمالی از ADC دو بخشی انجام می دهد. بخش سوم بحث و تجزیه و تحلیل از درجه بندی دیجیتال قطعی ADC دو بخشی را ارائه می دهد. بخش چهارم توسعه طرح درجه بندی پس زمینه را معرفی می کند. بخش پنجم ملاحظات عملی روش ارائه شده را می دهد و در نهایت بخش ششم از نتایج بدست آمده نتیجه گیری می کند.

2. درجه بندی ADC دو بخشی : مفهوم و بررسی اجمالی

درجه بندی ADC دو بخشی یک مرجع را برای تشخیص خطا با تقسیم ADC تک کانال به دو نیمه فراهم میکند همانطور که در شکل 2 نشان داده شده است. هر یک از دو نیمه از نیمی از خازن های نمونه برداری CS و نیمی از تقویت هدایت انتقالی gm، ADC تک کانال اصلی استفاده می کند، بنابراین ADC دو بخشی نزدیک به همان توان و

ناحیه را حفظ میکند. سپس درجه بندی پس زمینه در ناحیه دیجیتال با استفاده از خروجی کانال های هر دو ADC دو بخشی Doa و Dob انجام شده است. تفاوت بین خروجی های دو کانال برای تشخیص خطا استفاده می شود، که بلوک های تصحیح خطا را برای هر کانال ADC با پارامترهای تصحیح مربوطه تغذیه می کند.



شکل 2. مفهوم درجه بندی پس زمینی ADC دو بخشی

خروجی های درجه بندی شده هر دو کانال Doac و Dobc هستند که برای بازیابی خروجی درجه بندی نهایی ADC Doc میانگین گیری شده اند.

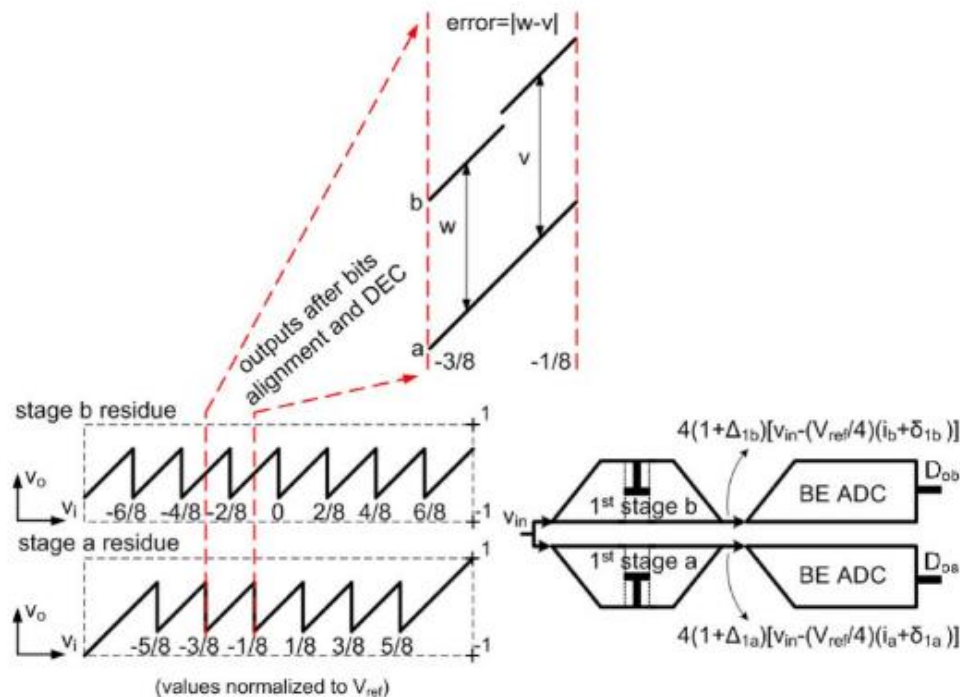
در [9] و [10]، روش های کالیبراسیون ADC دو بخشی غیر قطعی با حالت های باقی مانده های متعدد در مرحله درجه بندی ADC دو بخشی به منظور ارائه یک تشخیص خطا قوی استفاده شده است. حالت باقی مانده متعدد استفاده شده در این روش حاکی از استفاده بهره پایین در مرحله Pipeline به منظور محاسبه برای استانه افسست های مقایسه کننده بیش از محدوده است. مرحله بهره پایین به این معنی است که نیاز به توسعه دقت ADC در بیشتر مراحل لازم خواهد شد. هم چنین تصحیح با به روز کردن پارامترهای درجه بندی از میان حلقه انطباقی با استفاده از LMS (الگوریتم حداقل متوسط مربع) انجام شده است، که ضرورت زمان اضافی برای همگرایی حلقه است. در [7]، درجه بندی ADC دوبخشی برای یک Pipeline ADC با تغییر ویژگی های باقی مانده از هر درجه بندی نیمه ADC دوبخشی با توجه به یکی دیگر در نظر گرفته شده است، و برآورد مستقیم خطا برای بهره محدود تقویت کننده و عدم تطابق خازن با در نظر گرفتن تفاوت دو خروجی کانال تقسیم انجام شده است. با این حال، به منظور انجام این کار، یک حلقه LMS برای

اصلاح عدم تطابق خطای بهره بین دو ADC تقسیم شده استفاده شده است که روی دقت برآورد خطا و افزایش زمان درجه بندی تاثیر میگذارد. حلقه LMS باید در نرخ بسیار کندتر از الگوریتم کالیبراسیون برای عملکرد صحیح همگرا باشد، که در هنگام استفاده از این روش محدودیت اضافه می کند. همچنین این روش در [7] ارائه شده است که برای درجه بندی چند مرحله ای مناسب نیست، که به از استفاده از رزولوشن بالاتر در مرحله اول برای کاهش خطاهای ورودی از باطن تنظیم نشده ADC (BE ADC) اشاره دارد. استفاده از رزولوشن بالاتر مرحله Pipeline حداکثر سرعت مبدل را محدود می کند و احتیاج دقیقی به افست های مقایسه کننده ADSC دارد.

3. درجه بندی ADC دو بخشی چند مرحله ای: عملکرد و تحلیل و بررسی

کاهش محدودیت های قبلی کار ADC دو بخشی در بخش دوم اشاره شد، ما توسعه روش (SMA) به درجه بندی چند مرحله ای ارائه می دهیم. با تجزیه و تحلیل عملکرد ADC دو بخشی برای چند مرحله ای، یک رویکرد کاملاً قطعی در نظر گرفته شده است. این رویکرد قطعی بدان معنی است که تشخیص خطا و اصلاح بدون هیچ گونه تقریب محاسبات و یا تخمین انجام شده است، و در نتیجه باعث می شود درجه بندی بسیار دقیق و سریع شود، بسته به سطح نویز ADC و پردازش دیجیتال بهینه سازی لازم است. تجزیه و تحلیل و نتیجه گیری آن در این بخش ارائه شده است، و به دنبال آن در بخش های زیر طرح درجه بندی چند مرحله ای پیشنهاد شده مورد بحث است.

تشخیص خطا مدار در Pipeline ADC دو بخشی می تواند بطور مستقیم با استفاده از انتقال باقی مانده در مرحله درجه بندی انجام شود [7]. این خطای مدار، که دلیل آن بهره محدود تقویت کننده و عدم تطابق خازن است، به نظر می رسد که در آستانه تصمیم گیری هر باقی مانده در آن مراجع کم و یا اضافه شده است.



شکل 3. مفهوم تشخیص خطا در کالیبراسیون ADC دو بخشی برای مراحل 2.5 بیتی (Δ خطای بهره ناشی از بهره

DC محدود تقویت کننده است، و δ_i ناشی از خطای عدم تطابق خازن های نمونه برداری واحد است.)

در شکل 3 برای مرحله تقسیم 2.5 بیتی نشان داده شده است. انتقال ویژگی های باقی مانده بین دو کانال تقسیم شده اجازه می دهد که هر کانال به عنوان یک مرجع برای دیگری استفاده شود. انتقال و گذار در باقی مانده از مرحله درجه بندی در یک کانال از بخش معین برای دنبال کردن یکی می تواند به همان بخش باقی مانده خطی در کانال دیگر اشاره کند. در ارتباط با خطا برای انتقال این بخش میتواند بطور مستقیم توسط انجام دهنده یک خطا از عملکرد خطا بین دو خروجی کانال تقسیم شده $|w - v|$ شناسایی شود، همانطور که در شکل نشان داده شده است. خروجی بیت های خام از هر مرحله Pipeline تقسیم شده به عنوان یک شاخص مربوط به بخش مرحله باقی مانده خروجی برای انجام تشخیص و تصحیح خطا در پس زمینه استفاده شده است.

شکل 4. SC MDACs با ویژگی های باقی مانده منتقل شده برای مراحل 2.5 بیتی Pipeline نشان می دهد.

خروجی 2.5 بیتی SC MDAC و نسخه انتقال داده شده آن را می توان با این معادلات داد به ترتیب :

$$v_o = \left(v_{in} \frac{C_1 + C_2 + C_3 + C_{4f}}{C_{4f}} - \left(i + \frac{\Delta C_i}{C_{4f}} \right) V_{ref} \right) \times \frac{1}{1 + \frac{1}{A_{dc}} \frac{C_1 + C_2 + C_3 + C_{4f}}{C_{4f}}} \quad (1)$$

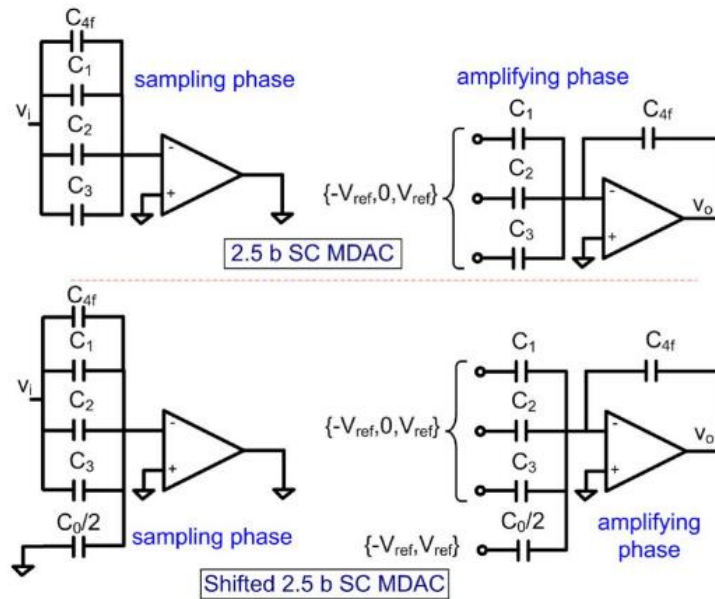
and

$$v_o = \left(v_{in} \frac{C_1 + C_2 + C_3 + C_{4f}}{C_{4f}} - \left(i + \frac{\Delta C_i}{C_{4f}} \right) V_{ref} \right) \times \frac{1}{1 + \frac{1}{A_{dc}} \frac{C_1 + C_2 + C_3 + C_{4f} + \frac{C_0}{2}}{C_{4f}}} \quad (2)$$

جایی که $C_{0,1,2,3,4f} = C_u$ است خازن های نمونه برداری واحد هستند، ΔC_i عدم تطابق خازن نمونه برداری واحد است، A_{dc} بهره DC محدود تقویت کننده است، $i \in \{[-3, 3], [-3.5, 3.5]\}$ بخش باقی مانده خروجی را تعیین میکند و به سطح سیگنال ورودی بستگی دارد، و V_{ref} ولتاژ مرجع ADC است. هر دو (1) و (2) می تواند به صورت قرار داده شود:

$$v_o = 4(1 + \Delta) \left[v_{in} - \frac{V_{ref}}{4} (i + \delta_i) \right] \quad (3)$$

که Δ بطور عمده خطاب بهره ناشی از بهره DC محدود تقویت کننده است، و δ_i عمدتاً خطای ناشی از عدم تطابق خازن نمونه برداری واحد است. خطای بهره Δ برای تمامی بخش های باقی مانده یکسان است، در حالی که خطای عدم تطابق خازن واحد δ_i از یک بخش به بخش دیگر در ویژگی باقی مانده متغیر است. خطای مربوط به هر بخش منتقل شده در باقی مانده



شکل 4. پیاده سازی SC برای دو حالت باقی مانده

از یک کانال ADC قطعی می تواند با استفاده از (3) محاسبه شود تا باقی مانده مرحله تقسیم را ارائه دهد، و در اینجا بعد انتقال از سومین بخش به چهارمین بخش برای باقی مانده اولین 2.5 بیت مرحله تقسیم از کانال b محاسبه خواهد شد، همانطور که در شکل 3 به تصویر کشیده شده است. می توان پاسخ دیجیتالی (3) را بصورت زیر داد:

$$D = 4(1 + \Delta) \left[\frac{v_{in}}{V_{ref}} - \frac{1}{4}(i + \delta_i) \right] \quad (4)$$

باتوجه به کانال b خروجی دیجیتال BE ADC برای سطح سیگنال ورودی v_{in1} مربوط به سومین بخش از مرحله باقی مانده:

$$D_{1b,1} = 4(1 + \Delta_{1b}) \left[\frac{v_{in1}}{V_{ref}} + \frac{\frac{3}{2} + \delta_{1b,-1.5}}{4} \right] \quad (5)$$

و با توجه به کانال a خروجی دیجیتال ADC برای همان ورودی:

$$D_{1a,1} = 4(1 + \Delta_{1a}) \left[\frac{v_{in1}}{V_{ref}} + \frac{1 + \delta_{1a,-1}}{4} \right] \quad (6)$$

که $\delta_{1b,-1.5}$: خطای عدم تطابق خازن نمونه برداری واحد برای بخش باقی مانده 1.5^{-} از اولین مرحله در کانال b است، و $\delta_{1a,-1}$ برای بخش باقی مانده 1^{-} از مرحله اول در کانال a است. خروجی دیجیتال BE ADC از کانال b برای سطح سیگنال ورودی v_{in2} مربوط به چهارمین بخش از مرحله باقی مانده است :

$$D_{1b,2} = 4(1 + \Delta_{1b}) \left[\frac{v_{in2}}{V_{ref}} + \frac{\frac{1}{2} + \delta_{1b,-0.5}}{4} \right] \quad (7)$$

و خروجی دیجیتال مربوط به BE ABC از کانال a بصورت زیر است:

$$D_{1a,2} = 4(1 + \Delta_{1a}) \left[\frac{v_{in2}}{V_{ref}} + \frac{1 + \delta_{1a,-1}}{4} \right] \quad (8)$$

تفاوت اختلاف $|w - v|$ باید بصورت ایده آل برابر 1 باشد، که مطابق با اضافه کردن V_{ref} وقتی که سطح سیگنال ورودی از بخش چهارم به بخش سوم در ویژگی باقی مانده از کانال b تغییر می کند. انحراف این اختلاف از مقدار ایده آل که ناشی از خطای بهره و عدم تطابق خازن است در شکل 3 نشان داده شده است، و خطای مربوط به بخش چهارم از کانال b مرحله باقی مانده در زیر داده شده است:

$$e_{b3} = 1 - [(D_{1b,1} - D_{1a,1}) - (D_{1b,2} - D_{1a,2})] \quad (9)$$

باجگذاری (5)، (6)، (7) و (8) در (9) :

$$\begin{aligned} e_{b3} = & 1 - 4(1 + \Delta_{1b}) \frac{v_{in1}}{V_{ref}} - (1 + \Delta_{1b}) \left(\frac{3}{2} + \delta_{1b,-1.5} \right) \\ & + 4(1 + \Delta_{1a}) \frac{v_{in1}}{V_{ref}} + (1 + \Delta_{1a})(1 + \delta_{1a,-1}) \\ & + 4(1 + \Delta_{1b}) \frac{v_{in2}}{V_{ref}} + (1 + \Delta_{1b}) \left(\frac{1}{2} + \delta_{1b,-0.5} \right) \\ & - 4(1 + \Delta_{1a}) \frac{v_{in2}}{V_{ref}} - (1 + \Delta_{1a})(1 + \delta_{1a,-1}) \quad (10) \end{aligned}$$

معادله (10) نشان می دهد که خطای عدم تطابق بهره بین دو کانال ADC دو بخشی باید صفر بطور کامل از محاسبات خطای سیگنال ورودی حذف شود $i.e., \bar{\Delta}_{1b} = \bar{\Delta}_{1a}$. خطای بهره عدم تطابق بین کانال ها در [7] توسط استفاده

از الگوریتم بهبود یافته LMS به حداقل رسیده است. یکی از گین ها تطابق یافته ، خطای مربوط به بخش چهارم از مرحله باقی مانده در کانال b ممکن است که مستقل از ورودی باشد و معادله (10) بصورت زیر شود:

$$e_{b3} = 1 - (1 + \Delta_{1b})(1 + \delta_{1b,-1.5} - \delta_{1b,-0.5}) \quad (11)$$

برای درجه بندی چند مرحله ای قطعی، خطاهای اولین مرحله ممکن است فرآیند تشخیص خطا از مرحله درجه بندی بعدی را تحت تاثیر قرار دهد، و در نتیجه تجزیه و تحلیل و اصلاح روشها برای انجام درجه بندی دقیق چند مرحله ای مورد نیاز است. با در نظر داشتن درجه بندی از مرحله دوم در Pipeline ADC، وبا توجه به تفاوت در باقی مانده های خروجی از مراحل تقسیم 1، ورودی ها در هر دو مرحله تقسیم دوم همانطور که در شکل 3 نشان داده شده است یکسان نیست. باقی مانده خروجی از مراحل تقسیم 1 به ترتیب داده شده:

$$res_{1a} = 4(1 + \Delta_{1a}) \left[v_{in} - \frac{V_{ref}}{4}(i_{1a} + \delta_{1a}) \right] \quad (12)$$

$$res_{1b} = 4(1 + \Delta_{1b}) \left[v_{in} - \frac{V_{ref}}{4}(i_{1b} + \delta_{1b}) \right] \quad (13)$$

با استفاده از (12) و (13)، و به دنبال همان روش که در محاسبه خطا برای مرحله اول تقسیم، خطا مربوط به بخش 4 از مرحله 2 باقی مانده در کانال در زیر داده شده است :

$$\begin{aligned} e_{b3,2} = & 1 - 4(1 + \Delta_{2b}) \frac{4(1 + \Delta_{1b}) \left[v_{in1} - \frac{V_{ref}}{4}(i_{1b,1} + \delta_{1b,1}) \right]}{V_{ref}} \\ & - (1 + \Delta_{2b}) \left(\frac{3}{2} + \delta_{2b,-1.5} \right) \\ & + 4(1 + \Delta_{2a}) \frac{4(1 + \Delta_{1a}) \left[v_{in1} - \frac{V_{ref}}{4}(i_{1a,1} + \delta_{1a,1}) \right]}{V_{ref}} \\ & + (1 + \Delta_{2a})(1 + \delta_{2a,-1}) \\ & + 4(1 + \Delta_{2b}) \frac{4(1 + \Delta_{1b}) \left[v_{in2} - \frac{V_{ref}}{4}(i_{1b,2} + \delta_{1b,2}) \right]}{V_{ref}} \\ & + (1 + \Delta_{2b}) \left(\frac{1}{2} + \delta_{2b,-0.5} \right) \\ & - 4(1 + \Delta_{2a}) \frac{4(1 + \Delta_{1a}) \left[v_{in2} - \frac{V_{ref}}{4}(i_{1a,2} + \delta_{1a,2}) \right]}{V_{ref}} \\ & - (1 + \Delta_{2a})(1 + \delta_{2a,-1}) \end{aligned} \quad (14)$$

از (14)، برای مرحله دوم درجه بندی می توان استنباط کرد که :

مسئله دقت LMS : عدم تطابق خطای بهره ناشی از مراحل تقسیم 1 و 2 است که برای حذف سیگنال ورودی از

محاسبات خطا باید صفر شود

$$(1 + \Delta_{1b})(1 + \Delta_{2b}) = (1 + \Delta_{1a})(1 + \Delta_{2a})$$

همانطور که از (10) به درجه بندی مرحله یک پی بردیم شرط $(1 + \Delta_{1b}) = (1 + \Delta_{1a})$ باید به همان دلیل

محقق شود. با استفاده از LMS الگوریتم بهبود یافته در [7] خواهد پارامترهای اصلاح شده ی عدم تطابق خطای بهره به طور متوسط بین دو شرط جای داده شده است. بیان کننده مسئله دقت و صحت است که بطور مستقیم در برآورد خطا موثر است.

• مسئله درجه بندی چند مرحله ای: خروجی درجه بندی مورد نیاز برای تخمین خطا که مربوط به برخی

از بخش باقی مانده برای درجه بندی مرحله 2 است برای لغو هر گونه خطای خروجی از این مراحل در محاسبات

مرحله دوم باید در همان بخش از باقی مانده مرحله تقسیم اول بماند. $(i_{1b,1} + \delta_{1b,1}) = (i_{1b,2} + \delta_{1b,2})$ و

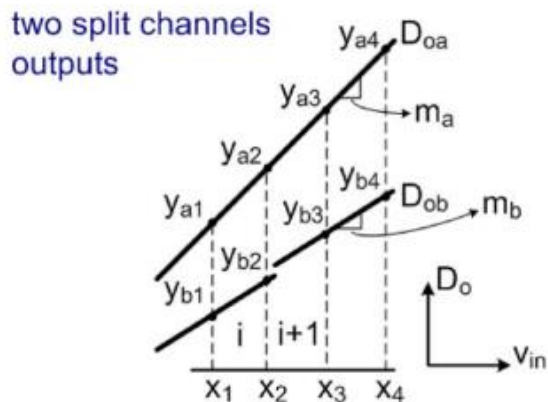
$$(i_{1a,1} + \delta_{1a,1}) = (i_{1a,2} + \delta_{1a,2}).$$

زمانی که شرایط ذکر شده در بالا به دست آمد، خطای مربوط به بخش 4 از باقی مانده مرحله 2 در کانال با رایه زیر داده شده است :

$$e_{b3,2} = 1 - (1 + \Delta_{2b})(1 + \delta_{2b,-1.5} - \delta_{2b,-0.5}) \quad (15)$$

که شبیه به خطا مرحله 1 برای بخش مربوطه است. محاسبات خطا برای دیگر بخش های انتقالی و برای هر دو کانال را

می توان با استفاده از همان روش بدست آورد.



شکل 5. مفهوم SMA (برای باقی مانده بخش i و $i+1$ نشان داده شده است)

4. درجه بندی کاملا قطعی ADC دو بخشی

بر اساس تجزیه و تحلیل و نتیجه گیری از بخش سوم، یک درجه بندی چند مرحله ای کاملا قطعی ارائه شده است. این طرح درجه بندی به یک الگوریتم که از روش SMA با باقی مانده دو حالت قابل برنامه ریزی در اولین مرحله Pipeline استفاده می کند، بستگی دارد. عناصر و روش های کالیبراسیون در آخر بحث شده است.

A. شیب متوسط عدم تطابق

روش SMA عدم تطابق خطای بهره بین دو کانال تقسیم را داخل حساب برآورد خطا بخش باقی مانده می برد. این برآورد خطا دقیق را با تشخیص محلی عدم تطابق خطای بهره بین بخش باقی مانده از تقسیم مرحله فراهم می کند، و آن را برای تصحیح خطای مدار مرحله Pipeline بدون لحاظ تصحیح خطای عدم تطابق بهره بصورت دستی بین دو کانال تقسیم در سخت افزار محاسبه می کند. این کاهش محدودیت LMS در بخش سوم بحث شده است. مفهوم شیب متوسط عدم تطابق (SMA) در شکل 5 نشان داده شده است، که خروجی های دیجیتال $y_{a1} \dots y_{a4}$ و $y_{b1} \dots y_{b4}$ از کانال ADC دو بخشی D_{0a} و D_{0b} برای درجه بندی بخش مشخص $i+1$ در باقی مانده MDAC از کانال ADC b نشان داده شده است.

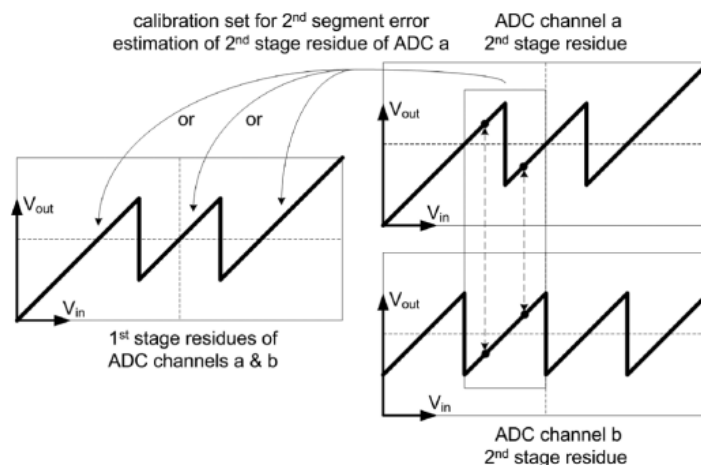
با استفاده از بیت های خام از مراحل 1 تقسیم، دو خروجی درجه بندی در پس زمینه برای هر بخش درجه بندی شده مرحله از کانال مبدل مشخص شده است، آنالوگ همراه با خروجی متناظر کانال مبدل در شکل نشان داده شده است. شیب های بخش باقی مانده از هر دو کانال ADC تقسیم، m_a و m_b ، سپس محاسبه شده و پارامتر اصلاح عدم تطابق خطای بهره برای تمامی بخش های باقی مانده توسط داده شده است [8]:

$$m_{\frac{b}{a}} = \left\{ \frac{m_{b,i}, m_{b,i+1}}{m_{a,i}, m_{a,i+1}} \right\} \quad (16)$$

برآورد خطا مربوط به مانده بخش $i+1$ از کانال را می توان با دقت توسط متوسط داد:

$$e_{b,i+1} = \frac{\left\{ \left(y_{b1} - y_{a1} \times m_{\frac{b}{a}} \right) - \left(y_{b3} - y_{a3} \times m_{\frac{b}{a}} \right), \right.}{\left. \left(y_{b2} - y_{a2} \times m_{\frac{b}{a}} \right) - \left(y_{b4} - y_{a4} \times m_{\frac{b}{a}} \right) \right\}} \quad (17)$$

به عنوان خطا از بخش $i+1$ محاسبه شده است، می توان آن را از خروجی ADC برای تراز کردن بخش باقی مانده به بخش قبل با استفاده از بیت های خام مرحله کم کرد، که خطی بودن ADC بازیابی می شود.

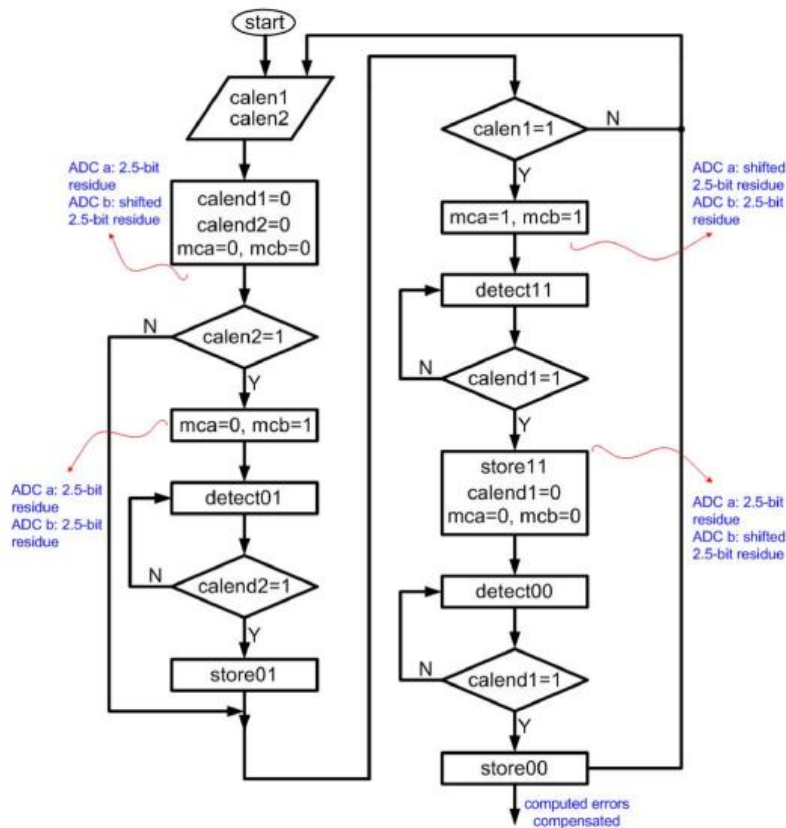


شکل 6. مفهوم الگوریتم تشخیص خطا برای کالیبراسیون مرحله دوم

B. درجه چند مرحله ای بندی قطعی

برای درجه بندی چند مرحله به طور کاملاً قطعی، یک باقی مانده دو حالت قابل برنامه ریزی در اولین مرحله تقسیم Pipeline به کار گرفته شده است. این باقی مانده قابل برنامه ریزی بین مانده 2.5 بیتی و نسخه شیفت داده شده از آن بسته به سیگنال کنترل حالت متناوب است همانطور که در شکل 3 نشان داده شده است. این حالت باقی مانده در بهره اسمی مرحله Pipeline استفاده شده، اگر مرحله بهره پایین در نظر گرفته شده باشد در نتیجه نیاز به کوانتیزاسیون اضافی اجتناب می شود. این حالت ها در یک الگوریتم خاص برای آستانه تصمیم گیری از مرحله دوم Pipeline استفاده شده است، که خطاهای بهره محدود تقویت کننده و عدم تطابق خازن برای جلوگیری از اضافه شدن عیوب مرحله 1 در برآورد خطاهای مرحله 2، آشکار می شود.

مفهوم الگوریتم تشخیص خطا در مرحله 2 برای کانال مبدل تقسیم در شکل 6 نشان داده شده است. هر دو کانال تقسیم در مرحله اول Pipeline در حالت مانده 2.5 بیتی در طول کالیبراسیون مرحله تقسیم 2 پیکربندی شده است. برای درجه بندی مرحله دوم Pipeline، و با استفاده از بیت های خام مراحل، درجه بندی خروجی های دیجیتال در پس زمینه شناسایی برای برآورد خطا از یک بخش باقی مانده خاص تشخیص داده شده است همانطور که در بخش چهارم ارائه شده. این خروجی درجه بندی شده در یک مجموعه درجه بندی خاص مربوط به بخش باقی مانده درجه بندی شده ذخیره می شود. برای جلوگیری از خطای مدار در مراحل Pipeline 1، خروجی این مجموعه درجه بندی برای همان بخش باقی مانده خطی در باقی مانده مرحله یک ذخیره شده است. این الگوریتم برای همه بخش های باقی مانده از مرحله 2 از هر دو کانال ADCa و b دوبخشی تکرار شده است.



شکل 7. روش کالیبراسیون برای دو مرحله کالیبراسیون ADC دو بخشی

C. روش درجه بندی پس زمینه

روش کالیبراسیون را می توان در فلوچارت شکل 7 خلاصه کرد. اولین مرحله درجه بندی پرچم (Flag) را فراهم میکند، $calen1$ برای مراحل 1 و $calen2$ برای مراحل 2، بررسی می شود. کنترل حالت باقی مانده، MCA و MCB، و کالیبراسیون پایانپرچم چرخه، $calend1$ و $calend2$ ، قبل از چرخه کالیبراسیون چند مرحله ای مجدداً تنظیم می شوند. کالیبراسیون مرحله دوم می تواند به کالیبراسیون مرحله 1 با استفاده از فراهم سازی پرچم $calen2$ پرش کند. چرخه کالیبراسیون برای مرحله 2 با تنظیم حالت باقی مانده برای مراحل 1 به حالت 2.5 بیتی با استفاده از حالت کنترل MCB و MCA برای کانال ها به ترتیب شروع می شود. الگوریتم تشخیص خطا برای مرحله دوم باتشخیص 01 انجام شده است تا مجموعه کالیبراسیون حاوی کالیبراسیون شناسایی شده خروجی کامل شده و پرچم چرخه پایان کالیبراسیون $calend2$ افزایش می یابد. خطاهای مرحله دوم سپس برای اصلاح $store01$ ذخیره شده و کالیبراسیون

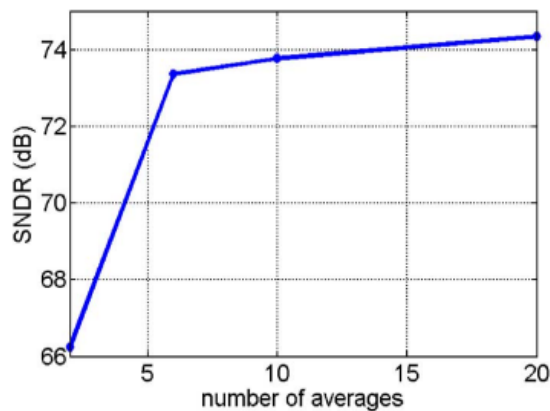
پرچم را برای بررسی مراحل یک calen1 فراهم میسازد. به طور مشابه، تشخیص خطاهای مرحله یک برای حالت های باقی مانده زمانی که سیگنال های کنترل حالت MCA و MCB هر دو به 1 سپس به 0 تنظیم شده است انجام می شود، و متناظر باخطاها برای اصلاح store11 و store00 به ترتیب ذخیره می شود. این روش پس از آن برای درجه بندی پس زمینه پیوسته تکرار می شود.

در این کار، دو مرحله درجه بندی در نظر گرفته شده، با این حال روش را می توان به مراحل دیگر در صورت لزوم تعمیم داد. این را می توان با معرفی یک باقی مانده دو حالت قابل برنامه ریزی در یک مرحله قبل از زیر کالیبراسیون انجام دادوهمان مفهوم الگوریتم کالیبراسیون می تواند استفاده شود.

5. ملاحظات عملی و نتایج شبیه سازی شده

A. تاثیر نویز و دقت درجه بندی

معمولا کالیبراسیون دیجیتال به طور متوسط به تعداد معینی نمونه برای رسیدن به دقت کالیبراسیون نیاز دارد. split pipeline ADC 13 بی تی در MATLAB به منظور بررسی تعداد میانگین لازم در درجه بندی پیشنهادی توسعه داده شده است. مبدل رفتاری از تقویت کننده با بهره کم در اولین مرحله از دو مرحله استفاده کرده است، و آفست مقایسه کننده های تصادفی در ADSC مدل شده اند. نویز حرارتی معدل 74dB در ADC است. SNDR قبل از درجه بندی 48.3dB است.



شکل 8. تاثیر نویز حرارتی بر دقت کالیبراسیون

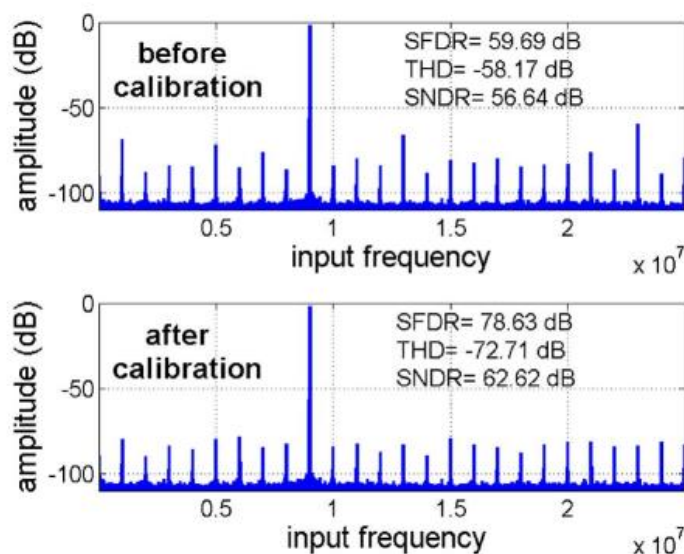
SNDR پس از کالیبراسیون با تعدادی از نمونه به طور متوسط در شکل 8 رسم شده است. در سطح نویز ADC مزبور ، شش میانگین برای بازگرداندن SNDR ADC که تقریباً همان SNR از ADC است کافی است ، توسط نویز حرارتی محدود شده است . تعداد کمی از متوسط ویژگی ها به طور کاملاً قطعی در روش کالیبراسیون پیشنهاد شده است، که خطاهای خطی ADC، با کدهای از دست رفته در سطح تصمیم گیری مقایسه کننده نشان داده شده است، که شناسایی و اصلاح بدون هیچ برآورد یا روش های تقریبی است.

دقت تشخیص قطعی و جبران کدهای گم شده را می توان با استفاده از معادلات پیش زمینه برای روش پس زمینه ارائه شده بطور تجربی تایید کرد. اندازه گیری آزمایشگاه در نمونه اولیه pipeline ADC 11 بیتی 65 نانومتری انجام شده بود، که ADC در پیش زمینه با تشخیص و محاسبه کدهای مفقودی در سطح تصمیم گیری مقایسه کننده درجه بندی شده است، که همان روش درجه بندی split ADC پیشنهادی ما در پس زمینه است. برای انجام این، یک ورودی موج سینوسی کوتاه کند که تمام کدهای ADC به عنوان سیگنال کالیبره استفاده شده است اعمال شده است، که اعمال کامل مقیاس 6 ADC بار است، و در نتیجه کالیبراسیون با 6 بار میانگین گیری از خطاهای تشخیص داده شده انجام شده است.

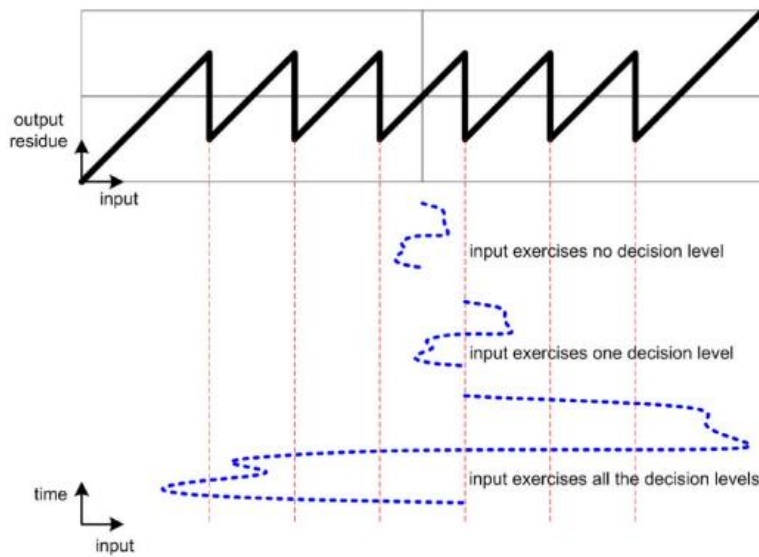
شکل. 9 عملکرد ADC قبل و بعد از کالیبراسیون از دو مرحله اول نشان می دهد. شش میانگین برای بازگرداندن اعوجاج هارمونیک کل ADC (THD) از 58.2 دسی بل به 72.7 دسی بل با وجود نقص از backend ADC کافی بود، (به عنوان انشعاب در طیف خروجی ADC پس از کالیبراسیون آشکار شد، که به طور عمده ناشی از عدم تطابق خازن در مراحل backend بود). به عنوان پیشنهاد کالیبراسیون ADC دوبخشی پیاده سازی از همان روش تشخیص و جبران کدهای گم شده از طریق یک روش کاملاً قطعی در پس زمینه، تعداد مورد نیاز میانگین برای بازگرداندن خطی بودن ADC بسته به سطح نویز ADC، بسیار پایین است.

B. تاثیر ویژگی های سیگنال ورودی بر درجه بندی پس زمینه

کالیبراسیون پس زمینه به عملکرد سطح تصمیم گیری ADSC توسط سیگنال ورودی بستگی دارد، همانطور که در شکل 10 نشان داده شده است. در ابتدا، یک ورودی به اندازه کافی شلوغ برای عملکرد تمامی سطوح تصمیم گیری برای سرعت محاسبه تمامی پارامترهای درجه بندی در نظر گرفته شده است. چرخه کالیبراسیون بسیار سریع اولیه در آزمونگر خودکار برای تولید با حجم بالازمان صرف شده رامی کاهد، و در نتیجه هزینه های کلی به طور قابل توجهی کاهش می یابد. در حین عملیات پس زمینه عادی، پارامتر کالیبراسیون معادل با یک سطح تصمیم خاص می تواند به روز شود بنابراین خطی بودن به سرعت بازیابی می شود حتی اگر ورودی تنها اجرا کننده سطح تصمیم گیری باشد.



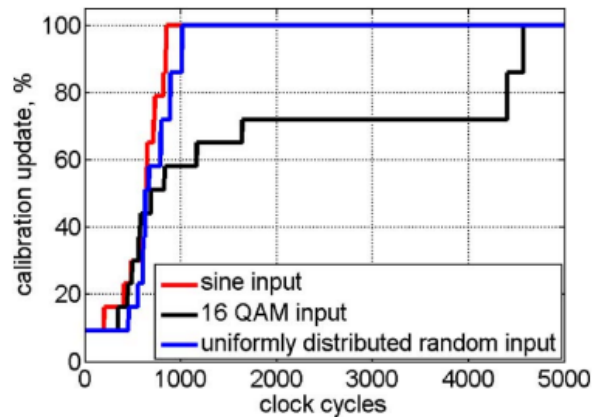
شکل 9. اندازه گیری 65 ADC نانومتري قبل و بعد از کالیبراسیون پیش زمینه



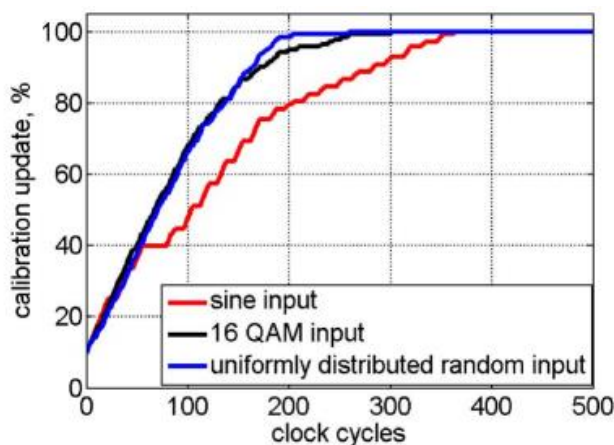
شکل 10. ویژگی مرحله pipeline با دامنه های مختلف ورودی

چنانچه ورودی به اندازه کافی کوچک باشد هیچ تصمیم گیری اجرا نمی شود. همتنطور که در شکل 10 نشان داده شده است، هیچ کالیبراسیونی بعنوان ورودی در ناحیه خطی ADC و مکان های خطاهای تجربی مورد نیاز نیست. برای اطمینان از یک چرخه کالیبراسیون بسیار سریع برای جبران اشتباهات برای تمامی سطوح تصمیم گیری مستقل از دامنه ورودی، خازن نمونه برداری واحد را می توان در یک توالی غیر همبسته با سیگنال ورودی برای تبادل چرخیده شود، همانطور که در [7] پیشنهاد شده (در این نمونه اولیه اجرا نمی شود).

کالیبراسیون ADC دوبخشی برای دو مرحله اول pipeline مدل رفتاری با ویژگی ها ورودی های مختلف در MATLAB انجام می شود، و به روز رسانی پارامترهای کالیبراسیون برای مراحل دوم و اول در شکل 11 و 12 به ترتیب نشان داده شده است. در هر مورد، میانگین 10 بار انجام شده، و THD از ADC بالاتر از 80 دسی بل پس از کالیبراسیون حفظ شده است. در حالی که سیگنال QAM16 را نشان می دهد که چرخه کالیبراسیون مرحله دوم به طور قابل توجهی طولانی تر از موج سینوسی و توزیع یکنواخت تصادفی همتای ورودی است، آمار ورودی تأثیری بر استحکام و دقت کالیبراسیون نمی گذارد.



شکل 11. کالیبراسیون مرحله دوم برای ورودی های مختلف

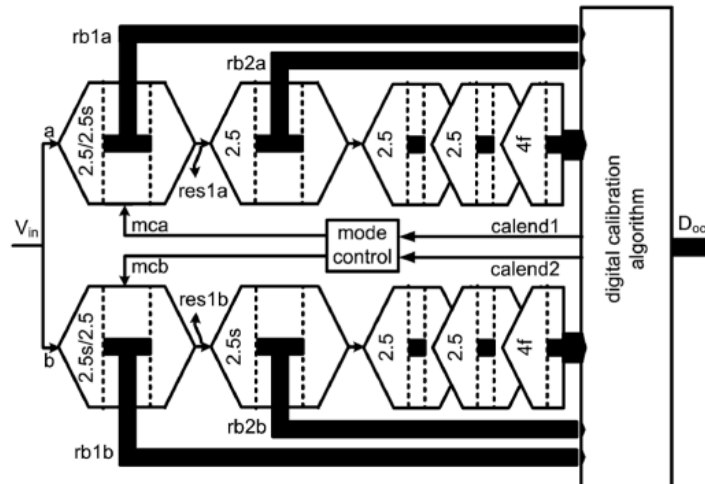


شکل 12. کالیبراسیون مرحله اول برای ورودی های مختلف

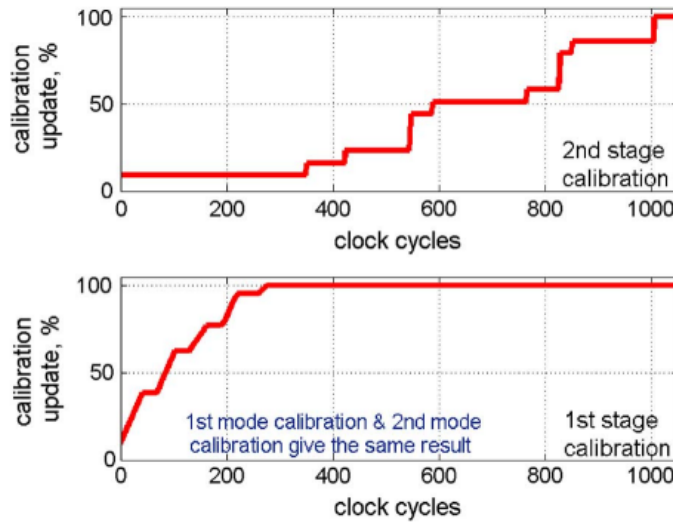
C. کاربرد Pipeline Split ADC در CMOS 40 نانومتری

یک 1.1V 200Ms/s split pipeline ADC در 40 CMOS نانومتری اجرا شده است و درجه بندی ADC دو بخشی اعمال شده است. شکل 13 معماری 12 split pipeline ADC برای درجه بندی دو مرحله اول نشان می دهد. هر کانال شامل چهار مرحله pipeline با 2.5 بیت (2.5) و 2.5 بیت انتقال یافته (2.5s) مشخصات باقی مانده است، و در آخر شامل یک flash ADC چهار بیتی میشود. خروجی های دیجیتال backend ADC از هر کانال تقسیم و بیت های خام دو مرحله اول درجه بندی در دو کانال (*rb1a*, *rb2a*, *rb1b*, and *rb2b*) در الگوریتم درجه بندی دیجیتال به منظور یدست آوردن خروجی کالیبره شده ADC D_{oc} استفاده شده است. الگوریتم درجه بندی

دیجیتال دو سیگنال خروجی، $calend1$ و $calend2$ ، که کنترل حالت بلوک منطق کنترل به منظور تغییر ویژگی های مانده از کانال تقسیم ADC ($res1a$) و کانال ($res1b$) را با استفاده از سیگنال های کنترل حالت مربوطه MCA و MCB به ترتیب فراهم می کند. backend ADCs تنظیم نشده در هر دو کانال تقسیم مراحل 2.5 بیتی یکسان دارند و برای دقت 12 بیتی MS / S ADC 200 طراحی شده است. ADSC در مرحله pipeline تقسیم درجه بندی به دقت توسط دو بیت بیش از وضوح مرحله $(n + 2)$ برای اطمینان از تغییر باقی مانده بین دو کانال ADC تقسیم شده نیاز دارد. این یک بیت دقیق تر از ADSC در مرحله pipeline تنظیم نشده است. شبیه سازی گذرای Mobte Carlo برای طراحی مقایسه کننده ها یک انحراف آفست استاندارد از $V_{ref}/2^7$ می دهد، که V_{ref} ولتاژ مرجع ADC است. ADC دو بخشی برای نرخ نویز به سیگنال حرارتی (SNR) تقریباً 75dB به منظور کاهش تعداد میلنگین های لازم در محاسبات درجه بندی طراحی شده است. خطاهای خطی ADC، ناشی از بهره پایین تقویت کننده و عدم تطابق خازن نمونه برداری واحد در MDAC، با استفاده از روش پیشنهادی کالیبره شده اند، در حالی که اعوجاج در MDAC به علت تقویت کننده غیر خطی در کالیبراسیون در نظر گرفته نشده، و در نتیجه ADC THD با MDAC محدود خواهد شد. تقویت کننده برای THD بهتر از 78 دسی بل طراحی شده است، ورودی در MDAC حلقه بسته اشاره شده. مدارات طراحی شده در ترانزیستور و سطح طراحی برای اعتبار عملکرد کالیبراسیون دیجیتال ارائه شده تایید شده اند. چرخه کالیبراسیون بسیار کوتاه تایید ADC کالیبره شده را آسان کرده و شبیه سازی ازطیف ADC در مدارات و سطح پس از طرح با زمان شبیه سازی نسبتاً مقرون به صرفه قادر می سازد. برای ارائه انعطاف پذیری بیشتر در راه اندازی تست، موتور کالیبراسیون دیجیتال خارج از تراشه اجرا شده، که در آن خروجی دیجیتال کانال تقسیم ADC از شبیه سازی مدار استخراج شده، و سپس به نرم افزار MATLAB برای انجام پس پردازش دیجیتال وارد شده است.



شکل 13. معماری ADC کالیبره شده دیجیتالی



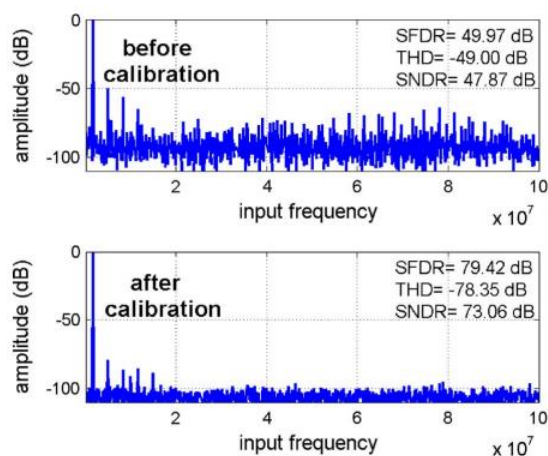
شکل 14. چرخه کالیبراسیون برای مراحل pipeline اول و دوم پس از استخراج

(post-layout simulation at $f_{in} = 1 \text{ MHz}$ and $f_s = 200 \text{ MHz}$).

به عنوان روش کالیبراسیون دیجیتال پیشنهاد شده نیاز به هیچ بازخورد از مدارات آنالوگ و صرفاً پردازش ADC خروجی دیجیتال نیست، عملکرد خارج از تراشه خروجی دیجیتال از ADC تقسیم کالیبراسیون را بدون از دست دادن اصل کلی تایید میکند.

شبهه سازی پس از طرح گذرا برای split pipeline ADC، با خازن های پارازیتی خلاصه انجام شده. چرخه کالیبراسیون برای اولین و دومین مرحله در شکل 14 نشان داده شده است، که در آن 10 نمونه برای داشتن نتیجه مینگین گیری شده اند. 1555 سیکل ساعت برای کالیبره کردن هر دو مرحله با دو حالت باقی مانده در پس زمینه مورد نیاز است، و تنها 275 سیکل ساعت برای کالیبره کردن مرحله اول pipeline در پس زمینه لازم است. عملکرد ADC قبل و بعد از کالیبراسیون در شکل 15 نشان داده شده است.، که در آن افزایش کالیبراسیون THD ADC از 49 دسی بل به 78 دسی بل، توسط اعوجاج غیر خطی MDAC محدود شده است. 78 دسی بل THD از ADC کالیبره شده بدون استفاده از چندی کردن اضافه بیت ها در ADC بدست آمده، که صحت رویکرد کالیبراسیون به طور کاملا قطعی توسعه یافته را تایید میکند. این شبهه سازی گذرا شامل نویز حرارتی نیست، اما به طور متوسط پارامترهای کالیبراسیون 10 بار باید برای هدف قرار 75 دسی بل SNR حساب شوند، همانطور که در بخش V-A بحث شده است.

جدول زمان کالیبراسیون روش پیشنهادی را با صنعت قبل از نظر تعداد سیکل کلاک مورد نیاز برای تکمیل کالیبراسیون و رسیدن به محدوده دینامیکی مجاز (SFDR) مقایسه می کند. تکنیک های کالیبراسیون دیجیتال متعدد هستند، آمیخته هستند و به طور گسترده ای متفاوت هستند، و در اینجا ما تم های اصلی روش کالیبراسیون، با توجه به حداقل زمان کالیبراسیون گزارش شده در هر روش مقایسه کرده ایم.



شکل 15. کارایی ADC قبل و بعد از کالیبراسیون با استخراج خازن پارازیت

(Post-layout simulation at $f_{in} = 1$ MHz and $f_s = 200$ MHz).

جدول 1 مقایسه زمانی کالیبراسیون با صنعت قبلی

Reference	Calibration technique	required cycles	SFDR
[4]	Correlation based on PRS insertion	2^{32}	94.9 dB
[5]	Statistical based on data histograms	200×10^3	90.9 dB
[6]	Skip and fill method	15×10^3	70 dB
[7]	Split ADC using LMS	10×10^3	70 dB
This Work	Split ADC using SMA	1.555×10^3	79.4 dB

با استفاده از SMA در ADC تقسیم، اندازه گیری و کالیبراسیون در دو مرحله pipeline در پس زمینه به بیش از شش برابر زمان کمتر از زمان حداقل کالیبراسیون گزارش شده برای روش های دیگر نیاز دارد. در عمل، انحراف در عملکرد ADC کالیبره شده با درجه حرارت در مرحله خط لوله دوم توسط بهره ی مرحله اول کوچک شده است، کالیبراسیون پس زمینه را می توان تنها برای مرحله اول نظر گرفت، و در نتیجه تنها 275 سیکل ساعت برای تکمیل چرخه کالیبراسیون در پس زمینه مورد نیاز است.

عملکرد کالیبراسیون دیجیتال با تغییر در بهره تقویت کننده ناشی از دما یا تغییرات تغذیه تحت تاثیر قرار نمی گیرد. این تغییرات را می توان ردیابی کرد و در پس زمینه با طرح کالیبراسیون ارائه شده با چرخه کالیبراسیون بسیار سریع جبران کرد. علاوه بر ردیابی کالیبراسیون سریع، و برای اطمینان از حداقل تخریب خطی ناشی از تغییر بهره، بهره تقویت کننده برای حفظ SNDR ADC بالای 68 دسی بل با 10٪ تغییر بهره 44dB ساخته شده است، همانطور که در [11] بحث شده.

وقتی که pipeline ADC از یک نمونه بردار و نگهدارنده front-end استفاده نکنند محدودیت در کالیبراسیون پیشنهادی می تواند بوجود بیاید. این امر اهمیت ویژه ای برای ورودی های با فرکانس بالا دارد، زمانی که عدم تطابق پتانسیل در نمونه برداری ورودی بین دو کانال از ADC تقسیم باعث تخریب در عملکرد کلی کالیبراسیون میشود، به عنوان مفهوم کالیبراسیون بستگی به پردازش همان ورودی بین دو کانال دارد. این مسئله می تواند با استفاده از یک نمونه سوئیچ نمونه برداری صفحه پایین بین کانال های ADC دوبخشی حل شود، همانطور که در [12] مورد بحث قرار گرفته، و نتایج را برای فرکانس ورودی تا 160 مگاهرتز THD بیش از 75 دسی بل را نشان می دهد.

D. ناحیه و توان بالای تقسیم ADC

همانطور که در بخش دوم ذکر شد، تقسیم ADC به دو کانال باید نتایج در در منطقه و قدرت حداقل مخارج کلی را داشته باشد، که در محدودیت نویز حرارتی با طراحی وضوح بالا ویژه ه است. منطقه اضافه شده و توان به طور عمده ناشی از دو برابر شدن تعداد ADSC ها، کلاک بافر، و همراه با منطق دیجیتال است. با توجه به این که در ADC دوبخشی پس از طرح، این مدارها نشان دهنده تقریباً 10٪ ناحیه و قدرت اضافی است. منطقه و قدرت 40 nm 200Ms/s 12bit مبدل دوبخشی پس از استخراج خازن های پارازیتی به ترتیب 0.42 میلی مترمربع و 54 میلی وات است. در مقایسه با یک ADC 90nm ، 200Ms/s 12bit ADC در [6] ناحیه تلف شده و توان به ترتیب 1.36 میلی متر مربع و 186 میلی وات است. این نشان می دهد که تقسیم ADC برای کالیبراسیون در یک طراحی با وضوح بالا یک رویکرد کارآمد می باشد.

6. نتیجه

در این مقاله، کالیبراسیون چند مرحله ای دیجیتال سریع بر اساس ADC تقسیم برای تبدیل خط لوله ارائه شده است. ارائه کالیبراسیون پس زمینه به دنبال یک رویکرد کاملاً قطعی، که باعث کاهش زمان کالیبراسیون و افزایش دقت کالیبراسیون می شود. در مقایسه با روش های دیگر که از برآورد خطا کور و یا حلقه های بازخورد مانند LMS استفاده کرده اند، پیشنهاد روش بر اساس SMA دقت بهتر در زمان کمتر و بدون نیاز به چندی کردن اضافی ADC می دهد، در نتیجه در منطقه و قدرت صرفه جویی می شود. ملاحظات عملی در نظر گرفته شده و روش کالیبراسیون یک نیرومندی کافی نشان می دهد. منطقه و برق رسانی از تقسیم ADC در طرح هایی با وضوح بالا حداقل است، و نتایج حاصل شبیه سازی پس از طرح از یک 12-bit 200Ms/s split pipeline ADC در CMOS 40 نانومتری کارایی و دقت از روش پیشنهادی را نشان داده است.

REFERENCES

- [1] J. Wu, C.-Y. Chen, T. Li, L. He, W. Liu, W.-T. Shih, S. Tsai, B. Chen, C.-S. Huang, B.-J. Hung, H. Hung, S. Jaffe, L. Tan, and H. Vu, "A 240-mW 2.1-GS/s 52-dB SNDR pipeline ADC using MDAC equalization," *IEEE J. Solid-State Circuits*, vol. 48, no. 8, pp. 1818–1828, 2013.
- [2] B. Murmann, "Digitally assisted analog circuits—A motivational overview," in *ISSCC Special-Topic Evening Session SE1.1*, 2007.
- [3] J. Li and U.-K. Moon, "Background calibration techniques for multistage pipelined ADCs with digital redundancy," *IEEE Trans. Circuits Syst. II, Analog Digit. Signal Process.*, vol. 50, no. 9, pp. 531–538, Sep. 2003.
- [4] A. Panigada and I. Galton, "Digital background correction of harmonic distortion in pipelined ADCs," *IEEE Trans. Circuits Syst. I, Reg. Papers*, vol. 53, no. 9, pp. 1885–1895, Sep. 2006.
- [5] L. Brooks and H.-S. Lee, "Background calibration of pipelined ADCs via decision boundary gap estimation," *IEEE Trans. Circuits Syst. I, Reg. Papers*, vol. 55, no. 10, pp. 2969–2979, Nov. 2008.
- [6] B. Sahoo and B. Razavi, "A 12-Bit 200-MHz CMOS ADC," *IEEE J. Solid-State Circuits*, vol. 44, no. 4, pp. 2366–2380, 2009.
- [7] I. Ahmed and D. Johns, "An 11-Bit 45 MS/s pipelined ADC with rapid calibration of DAC errors in a multibit pipeline stage," *IEEE J. SolidState Circuits*, vol. 43, no. 7, pp. 1626–1637, Jul. 2008.
- [8] H. Adel, M. M. Louerat, and M. Sabut, "Fast split background calibration for pipelined ADCs enabled by slope mismatch averaging technique," *Electron. Lett.*, vol. 48, no. 6, pp. 318–320, 2012.
- [9] D. B. J. A. McNeill, M. C. W. Coln, and B. Larivee, "Digital background-calibration algorithm for split ADC architecture," *IEEE Trans. Circuits Syst. I, Reg. Papers*, vol. 56, no. 2, pp. 294–306, Feb. 2009.
- [10] L.-H. Hung and T.-C. Lee, "A split-based digital background calibration technique in pipelined ADCs," *IEEE Trans. Circuits Syst. II, Exp. Briefs*, vol. 56, no. 11, pp. 855–859, Nov. 2009.
- [11] H. Adel, M.-M. Louerat, and M. Sabut, "Design considerations for low gain amplifier in the MDAC of digitally calibrated pipelined ADCs," in *Proc. IFIP/IEEE Int. Conf. Very Large Scale Integr. (VLSI-SOC 2013)*, 2013.
- [12] H. Adel, M. Sabut, R. Petigny, and M.-M. Louerat, "Split ADC digital background calibration for high speed SHA-less pipeline ADCs," in *Proc. IEEE Int. Symp. Circuits Syst. (ISCAS)*, Jun. 2014, pp. 1143–1146.