روش راه اندازی خط لوله برای طراحی SAR ADC با سرعت بالا و توان پایین

چکیده

در این مقاله یک مبدل آنالوگ به دیجیتال با توان پایین (ADC) ارائه شده است که براساس روش راه اندازی خط لوله بکار رفته در معماری SAR (رجیستر تقریب متوالی) می باشد. این ساختار یک SAR ADC خط لوله دو مرحله ای می باشد که دارای کانال های نامتقارن TI (جاداده شده در زمان) می باشد، که هدف آن دستیابی به نرخ بالای نمونه برداری تا حدود سه برابر یک SAR ADC معمولی می باشد، و در عین حال دارای مزیت مصرف توان پایین و ناحیه کوچک باشد. به منظور طراحی یک مبدل دقیق، سرعت بالا و با توان پایین، از تبدیل منفعل باقیمانده بدون استفاده از آمپلی فایر میانی و مشارکت سمفونیک مراحل استفاده شده است. در معماری پیشنهادی، در طول فرآیند تبدیل، هر نمونه سیگنال تجربه ای مشابه آفست مقایسه کننده دارد، که دلیل آن به خاطر عملیات جدیدی است که اعمال شده است، بدون آنکه شماتیک چرخش مقایسه کننده یا حالت افزونگی اضافه گردد. براساس معماری پیشنهادی، یک ADC هفت بیتی با نرخ نمونه برداری 83 MS/s طراحی شده است و عملکرد آن با نتایج شبیه سازی طرح قبلی در یک تکنولوژی 180-nm CMOSمورد بررسی قرار گرفته است.تحلیل سطح سیستم و تائیدیه های شبیه سازی هردو نشان دهنده برتری معماری پیشنهادی نسبت به دیگر معماری های مشابه SAR می باشند.

کلمات کلیدی: SAR ADC. Pipelining. باقیمانده غیرفعال. تبدیل زمان نامتقارن. آمیختگی توان کم. نرخ نمونه برداری بالا

1. مقدمه

مبدل آنالوگ به دیجیتال (ADC) یکی از بلاک های کلیدی سیستم های سیگنال ترکیبی می باشد. این مبدل بایستی با توجه مصرف توان و عملکرد، به صورت بهینه طراحی شود. به منظور برآوردن الزامات مختلف از جمله سرعت بالا، مصرف توان و رزولوشن، معماری های مختلف ADC مثل خط لوله، فلش، فولدینگ و رجیستر تقریب متوالی (SAR) ارائه شده است. SAR ADC به عنوان یک معماری سرعت بالا، توان پایین و با پیچیدگی کم شناخته شده است، زیرا برای تعیین N بیت ورودی آنالوگ، در طول N سیکل ساعت تنها از یک مبدل استفاده می کند{1،2}. این ویژگی موجب می شود تا SAR ADC تبدیل به یکی از معروفترین معماری ها برای برنامه های بیسیم، پزشکی و برنامه های مدرن سیار تبدیل شود. علاوه بر این، مقیاس بندی CMOS موجب افزایش نرخ نمونه برداری و کاهش مصرف توان SAR ADC ها شده است، که در اینجا ADC های لوله گذاری شده جایگزین شده است و دلیل آن به خاطر پهنای باند بیشتر سیگنال ورودی می باشد{3،4}.

به منظور دستیابی به عملکرد موردنظر ADC، تحقیقات معمولاً بروی ارتقا تکنیک های مدار و یا ارائه معماری های جدید تمرکز دارند. مزایای SAR ADC موجب شده است که به گزینه جذابی برای ارائه معماری های ترکیبی جدید تبدیل شود{5-18}. این معماری ها برای افزایش نرخ نمونه برداری و یا رزولوشن SAR ADC از تکنیک های مختلفی استفاده می کنند، و در عین حال از مزیت مصرف توان نیز بهره مند می باشند. ADC های IT و لوله گذاری شده مبتنی بر SAR، متداول ترین معماری می باشند که توسط بیشتر تکنیک های سیستماتیک ارتقا یافته، پشتیبانی می شوند.

یک SAR لوله گذاری شده معمولی، در میان تمامی مراحل از یک مبدل MDAC (دیجیتال به آنالوگ) با آمپلی فایر باقیمانده استفاده می کند{5،6}. به منظور ارائه ADC هایی با سرعت و رزولوشن بالا، بایستی MDAC بهره بالا طراحی گردد؛ اگرچه این مسئله موجب افزایش مصرف توان برای پهنای باند وسیع ورودی می گردد و با پایین آمدن مقیاس تکنولوژی، مشکل تر می شود که دلیل آن کاهش بهره ترانزیستورها و کاهش ولتاژ تغذیه می باشد. به منظور غلبه بر این مشکلات، برخی از ساختارهای SAR لوله گذاری شده سعی کرده اند MDAC را جایگزین و یا حذف نمایند، و یا آن را به اشتراک بگذارند{7-12}. به اشتراک گذاری یک

MDAC منحصربفرد میان تمامی مراحل، موجب ارتقا بهره وری انرژی می گردد؛ اگرچه با توجه به بکارگیری یک MDAC در مراحل مختلف، ممکن است یکسری خطای بهره بوجود آید،همچنین ممکن است محدودیت شدیدی بروی زمان مجاز برای تقویت باقیمانده بوجود آید. برای رفع این محدودیت، تکنیک های مختلفی برای ماکزیمم نمودن سرعت ADC پیاده سازی شده، ارائه شده است{7-9}، اما آنها توان بیشتری مصرف می کنند. جایگزین نمودن MDAC با یک مدار ساده bucket-brigade موجب کاهش مصرف توان می گردد، در این مدار برای دستیابی به بهره ولتاژ، شارژ از یک خازن بزرگتر به یک خازن کوچکتر منتقل می شود {10-11}. اما این مسئله موجب نشست نادرست و همچنین خطاهای غیرخطی و خطی دمای متغیر و سیگنال وابسته می گردد{11}. روش دیگر لوله گذاری در توپولوژی SAR، انتقال باقیمانده به صورت منفعل از مرحله اول به مرحله دوم می باشد، که بدین ترتیب مصرف توان آمپلی فایرهای میانی از بین می رود {12}. در این روش، شارژ باقیمانده ذخیره شده در خازن های مرحله اول، به مرحله دوم انتقال می یابد (با انتقال بخشی از مهمترین خازن (MSB) به مرحله دوم). مقایسه کننده ها نیز در میان تمامی مراحل انتقال می یابند، تا حالت غیرخطی کاهش یابد، و علت آن آفست نامساوی مقایسه کننده ها در مراحل مختلف می باشد{12}. عیب این معماری، کاهش دقت است که دلیل آن انتقال خازن مرحله اول (که نگهدارنده باقیمانده می باشد) به مرحله دوم می باشد. در این تقل و انتقال، شارژ باقیمانده ممکن است با بیش از یک LSB تغییر یابد، که دلیل آن به خاطر معایب مدار از جمله اشتراک گذاری شارژ و ایده آل نبودن سوئیچ ها می باشد. علاوه بر این، چرخش مقایسه کننده موجب افزایش قابل توجه سوئیچینگ می شود.

در TI SAR ADC ها، مصرف توان به صورت خطی و با تعداد کانال های IT افزایش می یابد ودقت به خاطر عدم تطابق میان کانال ها (مثل آفست، خطای بهره، و انحراف زمانبندی) کاهش می یابد. بنابراین، در این معماری ها نیاز به کالیبراسیون می باشد{13}. برای مینیمم نمودن مصرف توان در TI SAR ها، از تکنیک های مختلف مدار یا سیستم استفاده می گردد{14-17}. به طور مثال، لوله گذاری یک Flash ADC (به عنوان مرحله اول) و یک TI از SAR ADC (به عنوان مرحله دوم)، موجب کاهش تعداد سیکل های تبدیل می گردد و MDAC را حذف می کند{17}. اگرچه این توپولوژی از مزیت عملیات ذخیره و ردیابی ذاتی (T/H) بهره مند نمی باشد، که دلیل آن ADC فلش بکاررفته در مرحله اول می باشد و در ADC نهایی، نیاز

به یک مدار T/H مجزا دارید. مدار اضافی T/H، ناحیه بسیار زیادی اشغال می کند و همچنین برای انجام عملیات، نیاز به یک شماتیک ساعت اضافی دارد{17،18}. علاوه بر این، افزایش تعداد بیت های موجود از توپولوژی فلش موجب افزایش تعداد مقایسه گرها می شود و این مسئله منجر به افزایش توان و کاهش حالت خطی می گردد{18}.

این مقاله یک روش لوله گذاری برای ارتقا عملکرد SAR ADC ارائه می کند، و در عین حال سعی دارد تا بهره وری انرژی را حفظ کند. ADC یک SAR لوله گذاری شده دو مرحله ای می باشد که دارای یم روش TI نامتقارن می باشد، این روش TI بروی هریک از مراحل اعمال شده است تا بدین ترتیب بتواند نرخ نمونه برداری را افزایش دهد. معماری SAR پیشنهادی از مزیت تبدیل باقیمانده منفعل بدون آمپلی فایر میانی بهره مند می باشد. ترتیب بهینه ای از مراحل عملیات و کانال ها ارائه شده است که موجب کاهش ناحیه، ارتقا بهره وری انرژی، و افزایش سرعت نمونه برداری در مقایسه با تحقیقات قبلی می گردد. این مزایا با توجه به تلاش های صورت گرفته در این تحقیق بدست آمده اند تا بدین ترتیب تعداد مقایسه کننده ها به حداقل برسد، آمپلی فایر میانی حذف گردد، تاثیر خازن ورودی مقایسه کننده ها کاهش یابد، تاثیر سوئیچ ها کاهش یابد، و در نهایت تعداد کانال های TI به حداقل برسد. رزولوشن و ظرفیت خازنی هر دو مرحله به گونه ای تنظیم شده است که میزان ظرفیت خازنی مرحله اول به حداقل می رسد و زمان نشست هر دو مرحله متعادل شده است. در روش پیشنهادی برعکس مقاله {12}، خازنی که نگهدارنده باقیمانده می باشد، میان مراحل حرکت نمی کند، در نتیجه باقیمانده تحت تاثیر معایب مدار قرار نمی گیرد. در عوض، از یک آرایه خازنی کمکی استفاده شده است که به پورت بیکار مقایسه کننده متصل شده است. علاوه بر این در مدار پیشنهادی، از شماتیک چرخش مقایسه کننده با عملیات سوئیچینگ زیاد استفاده نشده است، اگرچه سیگنال ها همان تجربه آفست مقایسه کننده در هر مقایسه را دارند.

مابقی مقاله به صورت زیر بخش بندی شده است: بخش 2 به معماری پیشنهادی ADC و جزئیات عملیاتش می پردازد. مقایسه سیستماتیک توپولوژی پیشنهادی SAR ADC با برخی دیگر از ساختارهای ADC در بخش 3 ارائه شده اند. بخش 4 به تحلیل خطی معماری پیشنهادی و طراحی آن می پردازد. بخش 5 به طراحی مدار

میپردازد و در ادامه در بخش 6 به نتایج شبیه سازی طرح می پردازیم و در نهایت در بخش 7 به نتیجه گیری مقاله می پردازیم.

2. معماری ADC پیشنهادی

شکل 1 نشان دهنده معماری کلی ADC پیشنهادی می باشد.

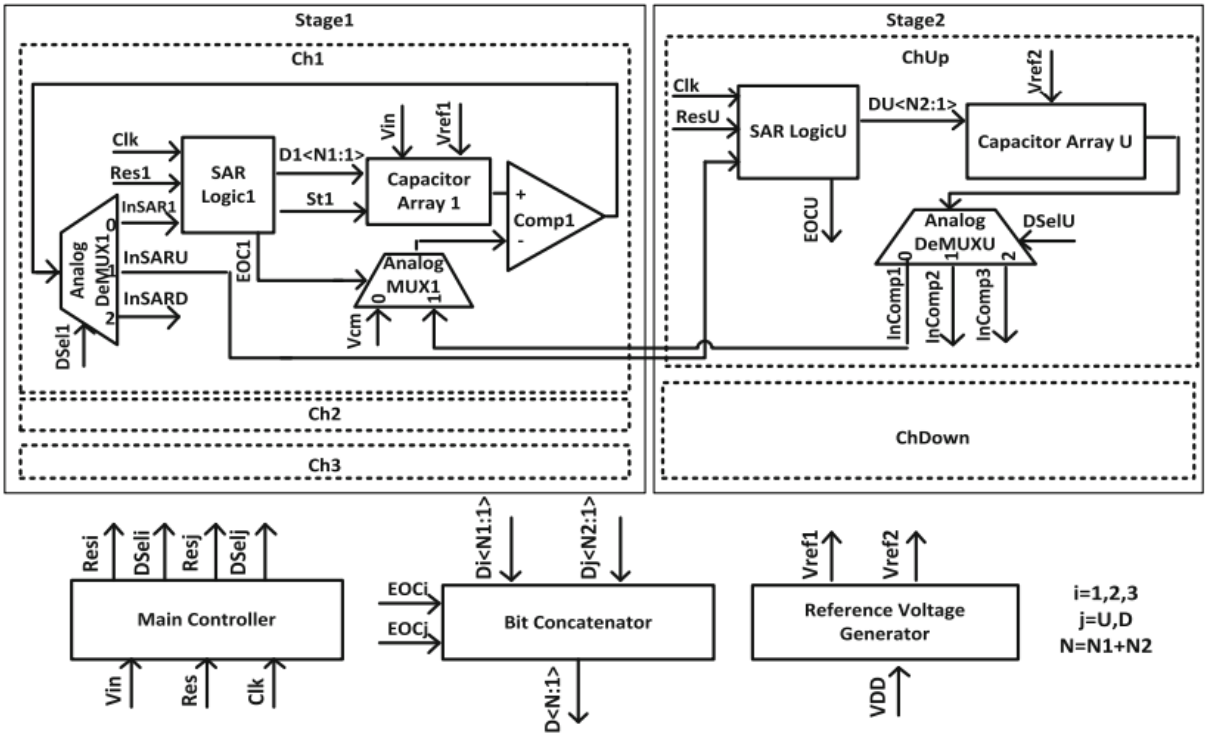

Fig. 1 Proposed pipelined SAR ADC with asymmetrical TI stages

ADC یک SAR لوله گذاری شده دومرحله ای می باشد و دارای روش TI می باشد که بروی هر مرحله اعمال شده است. N1 مهمترین بیت ها MSBها (و N2 کم ارزشترین بیت ها (LSBها) برای N = N1 + N2 تبدیل بیت، به ترتیب توسط مرحله اول و دوم تولید شده اند. ADC شامل دو مرحله می باشد: یک کنترلر اصلی، و یک ژنراتور ولتاژ مرجع و یک الحاق کننده بیت. مرحله اول دارای سه کانال با نام های Ch1، Ch2 و Ch3 می باشد (همانطور که در شکل 1 مشاهده می کنید)، که هر یک شامل یک آرایه خازن بیت N1، یک منطق SAR، یک مالتی پلیکسر آنالوگ، و یک دی مالتی پلیکسر آنالوگ می باشد. مرحله دوم دارای دو کانال با نام های ChUp و ChDown می باشد (شکل 1)، که هر یک شامل یک آرایه خازن N2 بیت، یک منطق SAR، و یک دی مالتی پلیکسر آنالوگ می باشد. کانال های مرحله دارای هیچ مقایسه کننده ای نمی باشند. در

طول مقایسات مختلف، آنها از مقایسه کننده های مرحله اول استفاده می کنند. دی مالتی پلیکسرهای آنالوگ مرحله دوم Analog Demux U (D) نام دارند (شکل 1)، و خروجی هریک از آرایه های خازن مرحله دوم را به مقایسه کننده ای از مرحله اول متصل می کنند (در طول تولید LSB توسط مرحله دوم). مالتی پلکیرها و دی مالتی پلیکسرهای آنالوگ مرحله اول (Demux1 (2or3 Analog و (Analog Mux1 (2or3 برای تکمیل این اتصال مورداستفاده قرار می گیرند. Analog Demux، خروجی هریک از مقایسه کننده ها را به منطق SAR مناسبی متصل می کند، و Analog Mux ولتاژ حالت معمول (Vcm) و یا خروجی آرایه خازن کانال های مرحله دوم را به مقایسه کننده متصل می کند. کنترلر اصلی در شکل 1، ترتیب عملیات هریک از بلاک های SAR را سازماندهی می کند و سیگنال های مورد نیاز را برای دی مالتی پلکسرهای آنالوگ ارائه می کند.

شکل 2، دیاگرام زمانبندی SAR ADC پیشنهادی را برای N = 7 و N1 = 2 نشان می دهد.

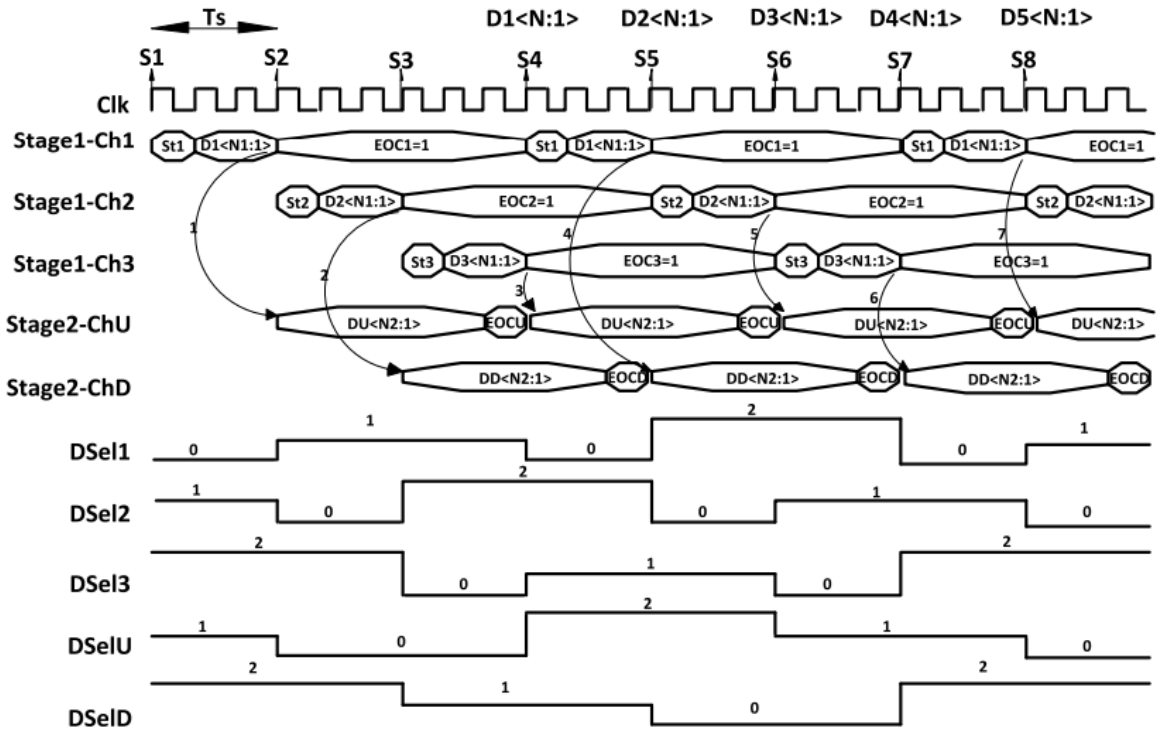

Fig. 2 Timing diagram of a conversion in the proposed ADC

همانطور که در این شکل نشان داده شده است، زمانیکه سیگنال آغازین (St1 در شکل 1) توسط کنترلر اصلی فعال می شود، اولین کانال SAR مرحله اول (Ch1 در شکل 1)، ورودی خازن ها را نمونه برداری می کند، و در ادامه سیکل های ساعت برای تولید MSB های مربوطه، از ورودی نمونه (S1) استفاده می کنند (D1

<2:1>). این بیت ها با استفاده از الگوریتم SAR تولید شده اند، یعنی آنها براساس نتایج مقایسه کننده، کم و زیاد می شوند. کانال های دوم و سوم (Ch1 و Ch2 در شکل 1) نیز MBS ها (D2 <2:1>) و (D3 <2:1>) را از نمونه های S2 و S3 تولید می کنند. برای هر یک از کانال های SAR در مرحله اول، برای نمونه برداری ولتاژ ورودی از (N1+ 1) سیکل ساعت استفاده می شود، و آن را به N1 بیت تبدیل می کند.

پس از تبدیل N1 MSB، شارژ ذخیره شده در آرایه خازن هر یک از کانال های SAR در مرحله اول، معادل ولتاژ باقیمانده ($V_{cm} - V_{in} + V_{out,DAC,stage1}$) می باشد. در این زمان، سیگنال EOC هر یک از بلاک های SAR فعال می شود، و این نشان می دهد که باقیمانده مناسب در صفحه بالای آرایه خازن، آماده می باشد. به جای انتقال باقیمانده به کانال های مرحله دوم، یکی از آرایه های خازن بیکار بالا یا پایین به ورودی دیگر مقایسه کننده متصل می شود، که این کار از طریق مالتی پلکسر ها و دی مالتی پلکسرهای آنالوگ و برای تبدیل ولتاژ باقیمانده صورت می گیرد و N2 LSB را در ادامه N2 سیکل ساعت تولید می کند. با بکارگیری این تکنیک برای تبدیل باقیمانده منفعل، آمپلی فایر میانی در معماری لوله گذاری حذف می گردد. علاوه بر این، تبدیل نمونه ها و تولید MSB ها و LSB ها در مراحل اول و دوم، توسط یک مقایسه کننده خاص صورت می گیرد و سیگنال ها تجربه ای مشابه آفست مقایسه کننده دارند. بنابراین، حالت خطی که به خاطر آفست متفاوت مقایسه کننده ها در پیاده سازی دو مرحله ای بوجود آمده است، کاهش می یابد و مزیت SAR ADC تک مرحله ای، تا حد زیادی حفظ می شود.

همانطور که در شکل 1 مشاهده می کنید، سیگنال های موردنیاز در مالتی پلکسر و دی مالتی پلکسرهای آنالوگ(Dseli، Dselj و EOCi) به ترتیب توسط کنترلر اصلی و سه کنترلر منطق SAR تامین می شوند. با توجه به تبدیل باقیمانده منفعل در این طراحی، ولتاژهای مرجع بلاک های N1 بیت (Vref1 در شکل 1)، و بلاک های N2 بیت (Vref2 در شکل1) متفاوت هستند، به عبارت دیگر حالت اول معادل بازه کامل ورودی می باشد، و حالت دوم معادل $\frac{1}{2^{N1}}$ بازه کامل می باشد.

همانطور که در شکل 2 مشاهده می کنید، ولتاژ باقیمانده نمونه S1 توسط بلاک بالای SAR مورد استفاده قرار می گیرد، که بدین ترتیب پنج LSB این نمونه تولید می شود <5:1> DU. فعالسازی بلاک بالای SAR برای تبدیل پنج LSB مربوط به S1، و فعالسازی St2 برای نمونه سازی و تولید دو MSB مربوط به S2، به طور

همزمان صورت می گیرد. براساس شکل 2، زمانیکه بلاک بالای SAR مشغول باشد، دو MSB مربوط به S2 آماده می شوند، یعنی فعالسازی EOC2 و تولید S2 LSB توسط بلاک پایین SAR صورت می گیرد (DD<5:1> در شکل 2). فعالسازی بلاک پایین SAR برای تبدیل پنج S2 LSB، همزمان با فعالسازی St3 صورت می گیرد، زمانیکه نمونه S3 توسط سومین بلاک N1 بیت SAR، مورداستفاده قرار می گیرد، تا بدین ترتیب MSB ها تعیین گردند (D3<2:1>). پس از تولید D3<2:1>، بلاک بالای SAR بیکار می شود، به طوریکه LSB های نمونه S3 را تولید می کند، در حالیکه بلاک پایین SAR هنوزهم مشغول تولید LSB های نمونه S2 می باشد. عملیات تبدیل با نمونه برداری ورودی برای چهارمین بار و توسط کانال اولین مرحله ادامه می یابد و اینکار ادامه می یابد. همانطور که در شکل 1 میبینید، سیگنال های کنترل EOC1، EOC2، EOC3، EOCU و EOCD توسط پنج کنترلر SAR تولید می شوند، و برای الحاق N1 MSB بیت هر نمونه با N2 LSB مربوطه مورداستفاده قرار می گیرند.

نکته اصلی در معماری پیشنهادی، استفاده از باقیمانده است، به محض اینکه توسط بیت N1 بلاک های SAR مرحله اول و توسط بیت N2 بلاک SAR مرحله دوم تولید می شوند، این کار به صورت منفعل صورت می گیرد به طوریکه عملکرد سیستم ماکزیمم می شود. بدین منظور، N1 و N2بایستی با دقت انتخاب شوند. براساس شکل 2، در صورتیکه N2 معادل 2*N1+1 باشد، در این صورت ADC می تواند ورودی آنالوگ را نمونه برداری کند و N بیت داده را در هر $N1 + 1 = \frac{N+2}{3}$ سیکل ساعت تولید می کند و دارای تاخیری معادل N+2 سیکل ساعت می باشد. در مقایسه با یک SAR ADC معمولی با N بیت(که هر N بیت داده را در N+1 سیکل ساعت تولید می کند)، عملکرد معماری پیشنهادی با $\frac{3(N+1)}{N+2}$ افزایش می یابد.

همچنین ADC پیشنهادی می تواند در یک معماری دیفرانسیلی پیاده سازی شود. بدین منظور، یک مقایسه کننده با دو ورودی دیفرانسیلی بایستی مورد استفاده قرار گیرد (یعنی یک مقایسه کننده با چهار ورودی، همانطور که در مقاله 19 نشان داده شده است). در این ساختار، در مرحله تبدیل دوم، یک جفت ورودی دیفرانسیلی از مقایسه کننده به DAC خازنی مرحله دوم متصل می شود، در حالیکه دیگر جفت دیفرانسیلی، نگهدارنده باقیمانده از مرحله تبدیل اول می باشند. در نتیجه، نسخه دیفرانسیلی تکنیک پیشنهادی، براساس تضعیف خازن، مشابه توپولوژی single-ended در شکل 1 می باشد.

3. مقایسه سیستماتیک

یک روش معروف برای مقایسه یک معماری جدید با دیگر معماری ها، در نظر گرفتن مصرف توان، سرعت تبدیل و یا عملکرد، رزولوشن، ناحیه سیلیکونی، و تحمل حالت غیرایده آل می باشد. در این بخش، برای مقایسه معماری پیشنهادی با دیگر معماری ها، اینطور فرض شده است که تمامی معماری ها دارای نرخ تبدیل و رزولوشن یکسان می باشند و هدف آن، مقایسه انرژی به ازای تبدیل، ناحیه سیلیکونی و تاخیر می باشد. با توجه به اینکه پیاده سازی مدار نیز بروی این پارامترهای تاثیر می گذارد، بدین ترتیب اینطور فرض شده است که ساختار معمولی یک SAR ADC با آرایه خازن وزن دار باینری در تمامی معماری ها مورد استفاده قرار گرفته است.

برای یک SAR ADC معمولی با N بیت (که هر N بیت داده را در N+1 سیکل ساعت تولید می کند)، مصرف توان به صورت زیر تعیین می شود:

$$P_{ConvADC} = P_{Comp} + P_{DAC} + P_{Logic} \qquad (1)$$

در اینجا P_{comp}، P_{DAC} و P_{logic} به ترتیب مصرف توان با توجه به مقایسه کننده، DAC و منطق کنترل می باشند. برای مقایسه، صرف نظر از مدارهای بکاررفته، تنها توان DAC مدنظر قرار می گیرد. دلیل این امر این است که مصرف توان مدار DAC خازنی به صورت 2^N افزایش می یابد، در حالیکه مصرف توان مقایسه کننده و منطق کنترل در مقایسه با 2^N، کمتر افزایش می یابد. بنابراین، مصرف توان DAC در SAR ADC ها غالب است و مصرف توان مقایسه کننده ها و منطق کنترل،بحرانی نیست(حتی برای رزولوشن بالاتر)، همانطور که در طراحی ده بیتی مقاله 20 نشان داده شده است. برای یک DAC آرایه خازنی وزن دار باینری N بیتی با یک واحد خازن C_u و بازه کامل V_{ref}، انرژی موردنیاز در یک سیکل ساعت معادل زیر می باشد{20}:

$$E_{conventional} = P_{ConvADC} T_{clk} \approx \frac{P_{DAC}}{f_{clk}}$$
$$\approx 0.66 \times \left(\frac{2^N \times V_{ref}^2}{N+1} \right) \times C_u \qquad (2)$$

همانطور که در بخش قبل ذکر شد، برای یک نرخ تبدیل f_s نمونه/ثانیه، یک SAR ADC معمولی با N بیت نیازمند یک ساعت با فرکانس $f_{clk}=(N+1)*f_s$ می باشد. بنابراین با توجه به معادله 2، مصرف توان یک SAR ADC معمولی با نرخ تبدیل f_s نرمال سازی شده است، یعنی انرژی به ازای تبدیل به صورت زیر می باشد:

$$\frac{P_{ConvADC}}{f_s} \approx 0.66 \times 2^N \times V_{ref}^2 \times C_u \qquad (3)$$

برای معماری SAR ADC پیشنهادی با N بیت، با N = N1 + N2، مصرف توان به صورت زیر تعیین می شود:

$$P_{propADC} = 3P_{Comp} + P_{DAC,Stage1} + 2P_{DAC,Stage2} + P_{Logic} \qquad (4)$$

که در اینجا $P_{DAC,\ Stage1}$ و $P_{DAC,\ Stage2}$ به ترتیب معادل مصرف توان با توجه به یکی از DAC های بیت N1 در مرحله اول و یکی از DAC های بیت N2 در مرحله دوم می باشند. به خاطر اینکه در یک زمان مشخص، تنها یکی از DAC های بیت N1 کار می کند، و دیگری فقط باقیمانده را ذخیره می کند، به همین دلیل $P_{DAC-Stage1}$ با ضریب 1 ظاهر می شود در حالیکه $P_{DAC,\ Stage2}$ دارای ضریب 2 می باشد، زیرا هردو DAC بیت N2 در تمامی زمان ها مشغول هستند. اگرچه با اینکه تعداد مقایسه کننده ها در این طراحی TI معادل سه عدد می باشد و در معادله 4 به صورت 3Pcomp ظاهر می شود، با این حال عملکرد آن در مقایسه با یک SAR معمولی با یک مقایسه کننده، تا سه برابر افزایش می یابد. در نتیجه تنها با توجه به توان مصرف مقایسه کننده، انرژی را به ازای هر تبدیل ADC، کاهش نمی دهد(براساس فرمول انرژی به ازای تبدیل). بنابراین با صرف نظر کردن از مصرف توان مقایسه کننده ها و منطق کنترل، انرژی موردنیاز ADC پیشنهادی در یک سیکل ساعت، معادل زیر می باشد:

$$E_{proposed} = P_{propADC}T_{clk} \approx \frac{P_{DAC,Stage1} + 2P_{DAC,Stage2}}{f_{clk}}$$
$$\approx 0.66 \times \left(\frac{2^{N1}V_{ref_1}^2}{N1+1} + \frac{2 \times 2^{N2}V_{ref_2}^2}{N2+1} \right) \times C_u \qquad (5)$$

که در اینجا $V_{ref1} = V_{ref}$ می باشد و V_{ref2} ولتاژ مرجع بلاک های SAR با N2 بیت می باشد و معادل $V_{ref_1} /2^{N1}$ می باشد. همانطور که در بخش قبل ذکر شد، SAR ADC پیشنهادی نیازمند ساعتی با فرکانس $f_{clk} = \frac{N+2}{3} \times f_S$ می باشد. بنابراین مصرف توان SAR ADC پیشنهادی که با نرخ تبدیل f_s نرمال سازی شده است، به صورت زیر تعیین می شود:

$$\frac{P_{propADC}}{f_s} \approx 0.66 \times \frac{N+2}{3} \times \left(\frac{2^{N1}}{N1+1} + \frac{2 \times 2^{N2}}{2^{2N1} \times (N2+1)} \right) \times V_{ref}^2 \times C_u \quad (6)$$

به منظور مقایسه ناحیه سیلیکونی SAR ADC معمولی با SAR ADC پیشنهادی، می توان اینطور در نظر گرفت که ناحیه DAC غالب است. بنابراین ناحیه این معماری ها به صورت زیر بیان می شود:

$$A_{Si,prop} = 3 \times 2^{N1} \times A_{Cu} + 2 \times 2^{N2} \times A_{Cu} \quad (7)$$

$$A_{Si,conv} = 2^N \times A_{Cu} \quad (8)$$

که در اینجا A_{cu} ناحیه یک واحد عنصر خازن می باشد.

جدول 1، به طور خلاصه نتایج مقایسه ADC پیشنهادی با معماری های مشابه را براساس عملکرد، تاخیر، انرژی به ازای هر تبدیل و ناحیه سیلیکونی نشان می دهد.

Table 1 System level comparison of 7-bit ADC architectures based on SAR with the same sampling rate (f_S)

Ref	SAR architectures (7 bit ADCs)	Throughput $\left(\frac{Conversion}{\#ofclkcycles}\right)$	Latency # of clks	f_{clk}	Energy per conversion	Area
–	This work	$\frac{1}{3}$	9	3 f_S	$3.96 \times C_u \times V_{DD}^2$	$76 \times A_{C_u}$
[20]	Conventional	$\frac{1}{8}$	8	8 f_S	$84.48 \times C_u \times V_{DD}^2$	$128 \times A_{C_u}$
[5]	Two stage pipeline (conventional)	$\frac{1}{5}$	5	5 f_S	$17.15 \times C_u \times V_{DD}^2$	$32 \times A_{C_u}$
[11]	Pipeline with MDAC replacement	$\frac{1}{4.5}$	9	4.5 f_S	$17.02 \times C_u \times V_{DD}^2$	$28.8 \times A_{C_u} + A_{Capacitoroftbucketbrigade}$
[8]	Pipeline with inter-stage shared MDAC	$\frac{1}{3.75}$	15	3.75 f_S	$13.52 \times C_u \times V_{DD}^2$	$16.82 \times A_{C_u}$
[9]	Pipeline with inter-channel shared MDAC	$\frac{1}{4.5}$	10	4.5 f_S	$17.02 \times C_u \times V_{DD}^2$	$56.6 \times A_{C_u}$
[12]	Pipeline with passive residue transferring	$\frac{1}{3.7}$	12	3.7f_S	$13.9 \times C_u \times V_{DD}^2$	$20.91 \times A_{C_u}$
[18]	Assisted pipeline with flash	$\frac{1}{7}$	7	7f_S	$14.78 \times C_u \times V_{DD}^2$	$128 \times A_{C_u}$
[16]	TI of SARs	1	8	f_S	$84.48 \times C_u \times V_{DD}^2$	$1024 \times A_{C_u}$
[17]	TI of SARs-assisted with flash	1	5.5	f_S	$7.467 \times C_u \times V_{DD}^2$	$576 \times A_{C_u}$

برای تولید ستون "Energy/conversion" (انرژی/تبدیل) در جدول 1، اینطور فرض شده است که تمامی معماری ها دارای رزولوشن یکسان N = 7 و نرخ تبدیل یکسان (f_S) می باشند. بدین ترتیب مصرف انرژی غالب

DAC خازنی بروی نرخ تبدیل، نرمال سازی شده است، مصرف انرژی DAC خازنی به صورت وزن دار باینری می باشد و دارای در تمامی معماری ها واحد خازن معادل C_u می باشد. همچنین فرض شده است که بازه کامل ADC ها (V_{ref}) معادل ولتاژ تغذیه V_{DD} می باشد. بایستی توجه داشته باشید که در تمامی معماری ها، از مصرف توان مدارهایی مثل مقایسه کننده ها، مدارهای منطق پیچیده و آپ امپ ها صرف نظر شده است زیرا توان DAC خازنی در SAR ADC ها تقریباً غالب است (صرف نظر از رزولوشن و معماری بکار رفته){20}.

با توجه به تکنیک پیشنهادی برای جداسازی MSB از LSB در این طراحی، مصرف توان ADC به طور قابل توجهی کاهش یافته است. در نتیجه در جدول 1، انرژی/تبدیل ADC پیشنهادی کمتر از دیگر معماری های مشابه می باشد (با توجه به رزولوشن و نرخ نمونه برداری معادل). به نظر می رسد که ناحیه سیلیکونی تخمینی ADC پیشنهادی بیشتر از ساختارهای قبلی می باشد. دلیل این امر، نادیده گرفتن پیچیدگی دیگر بلاک ها از جمله آپ امپ ها و شبکه های اشتراک گذاری می باشد. علاوه بر این براساس مقاله 20، پیاده سازی DAC های مرحله دوم با استفاده از آرایه خازن وزن دار باینری با یک خازن سری، موجب کاهش ناحیه ADC پیشنهادی به $20*A_{cu}$ می گردد. همانطور که در جدول 2 بخش 6 نشان داده شده است، با در نظر گرفتن ناحیه طرح توپولوژی پیشنهادی، بهره وری ناحیه به طور قابل توجهی افزایش می یابد.

در مقایسه با TI SAR معمولی در مقاله 16، مزیت اصلی توپولوژی پیشنهادی در این مقاله، پیاده سازی یک شماتیک TI می باشد، که از مزیت بهره وری انرژی SAR و طراحی فشرده بهره مند می باشد. برای پیاده سازی TI معمولی در SAR DAC ها، تعداد کانال ها بایستی معادل تعداد بیت ها در هر SAR باشد، زیرا هر کانال تا زمانیکه عملیات تبدیل را تکمیل کند، قادر به دریافت نمونه ورودی جدید نمی باشد. این محدودیت بروی مینیممم تعداد کانال ها در TI SAR های معمولی، منجر به یک طرح TI ناکارامد براساس ناحیه و مصرف توان می گردد{16}؛ علاوه بر این، این مسئله منجر به توزیع ساعت پیچیده در تراشه می گردد و عدم انطباق ها و انحراف زمانی را در میان کانال ها افزایش می دهد. معماری TI پیشنهادی این مسئله را رفع می کند به طوریکه یک TI SAR ADC با رزولوشن هفت بیتی و عملکردی سه برابر بیشتر از SAR تک مرحله ای می تواند تحقق یابد. روش TI نامتقارن بکاررفته در این مقاله، منجر به یک ADC کوچکتر و فشرده تر نسبت به یک SAR TI معمولی می گردد، و در نتیجه انحراف زمانی کمتری دارد. بایستی توجه داشته باشید

که برای پیاده سازی یک TI ADC هفت بیتی با عملکردی سه برابر بیشتر، می توان از دیگر توپولوژی های ADC مانند فلش نیز استفاده نمود اما معماری حاصله از مزایای توان پایین و طراحی فشرده SAR، بهره مند نمی باشد.

4. ملاحظات طراحی و تلورانس حالت غیر ایده آل

در یک SAR ADC معمولی، ولتاژ آفست مقایسه کننده بروی حالت خطی تبدیل، تاثیر نمی گذارد. این مولفه به صورت یک منبع ولتاژ به صورت سری با نمونه ارائه می شود و خروجی را نگهداری می کند، و این نشان می دهد که ولتاژ آفست به سادگی به ورودی آنالوگ اضافه شده است و در نتیجه به صورت یک آفست در مشخصه ها ظاهر می شود. در معماری ADC پیشنهادی، بدون تقویت باقیمانده، و با توجه به عدم انطباق آفست مقایسه کننده ها در مراحل مختلف ممکن است خطاهای حالت غیرخطی بزرگتر شود{12}. این مسئله با استفاده از یک مقایسه کننده یکسان برای هر مرحله تبدیل نمونه، کاهش می یابد. همانطور که در بخش 2 ذکر شد، با وجود بکارگیری سه مقایسه کننده مختلف، هر نمونه سیگنال با یک مقایسه کننده یکسان تبدیل می شود و در نتیجه، تجربه ای معادل آفست مقایسه کننده دارد. ترتیب زمانبندی مقایسه کننده ها در شکل 3 نشان داده شده است.

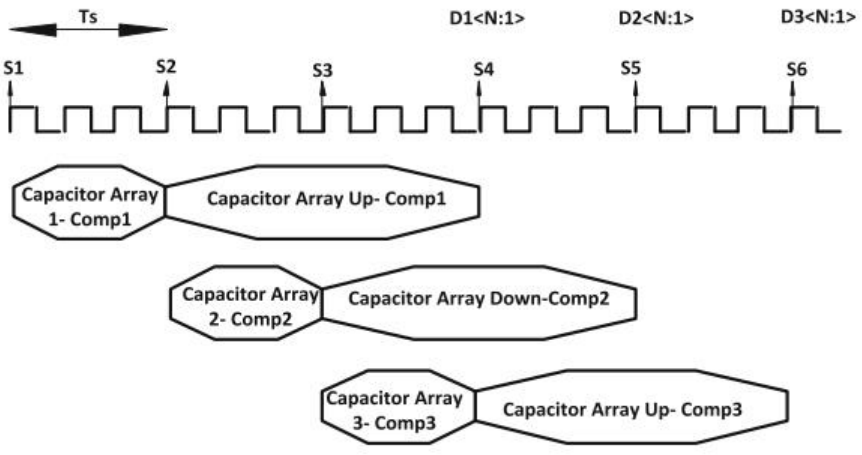

Fig. 3 Eliminating the comparators' offset effect on the linearity of the proposed ADC

هر سطر از شکل 3 نشان دهنده بخش های مشغول ساختار ADC پیشنهادی در عملیات نمونه برداری و تبدیل نمونه سیگنال های ورودی (S_i) به یک داده خروجی هفت بیتی می باشد (Di<N:1>). شکل 3 نشان می دهد که برای تبدیل نمونه 1 به MSB ها، از ch1 استفاده می گردد، و سپس برای تبدیل باقیمانده حاصله به LSB

ها، آرایه خازن کمکی Ch-Up از مرحله دوم به پورت بیکار مقایسه کننده 1 متصل می شود، این مقایسه کننده از قبل در تبدیل MSB مورداستفاده قرار گرفته است. سپس برای تبدیل نمونه 2 به MSB ها، از ch2 استفاده می گردد، و سپس برای تبدیل باقیمانده حاصله به LSB ها، آرایه خازن Ch-Down از مرحله دوم به پورت بیکار مقایسه کننده 2 متصل می شود، این مقایسه کننده از قبل در تبدیل MSB مورد استفاده قرار گرفته است. بایستی توجه داشته باشید که برای تبدیل نمونه 4 به MSB، مجدداً از ch1 استفاده می گردد و برای تبدیل LSB ها، از آرایه خازن Ch-Down استفاده می گردد. چرخش DAC های خازنی مرحله دوم، آفست مقایسه کننده ها را به آفست نمونه-به-نمونه یا کانال-به کانال ترجمه می کند، و بدین ترتیب می تواند به راحتی با استفاده از کالیبراسیون آفست-کانال کنسل شود{12}.

تاثیر دیگر حالت غیرایده آل در توپولوژی SAR ADC، حالت غیرخطی با توجه به خطای خازن های DAC می باشد. در ادامه این بخش، این تاثیر برای معماری SAR معمولی و پیشنهادی، تخمین زده شده است. به منظور تحلیل تاثیر خطا در مقدار خازن بروی حالت خطی SAR با سوئیچینگ معمولی، هر یک از خازن ها در DAC باینری به صورت مجموع مقدار اسمی خازن و یک مقدار خطا مدلسازی شده اند{22}.

$$C_i = 2^{i-1}C_u + \delta_i \qquad (9)$$

که در اینجا C_i، C_u و δ_i به ترتیب i امین خازن آرایه DAC، مقدار خازنی یک ئاحد خازن و خطای i امین خازن می باشند. با در نظر گرفتن مقادیر خازن ها به صورت متغیرهای تصادفی گوسی توزیع شده، واریانس δ_i به صورت زیر می باشد{22}:

$$E(\delta_i^2) = 2^{i-1}\sigma^2 \qquad (10)$$

که در اینجا σ انحراف استاندارد خازن می باشد. به منظور محاسبه خروجی DAC ($V_{out}(X)$) به خروجی دیجیتال مربوطه X، آرای در حالت اولیه به صورت تخلیه می باشد؛ یعنی $V_{in} = 0$ می باشد. سپس خروجی آنالوگ DAC خازنی N بیتی می تواند به صورت زیر ارائه شود{22}:

$$V_{out}(X) = \frac{\sum_{i=1}^{N}(2^{i-1}C_u + \delta_i)S_i + (C_u + \delta_0)S_0}{2^N C_u + \sum_{i=0}^{N}\delta_i} \cdot V_{ref} \qquad (11)$$

در اینجا S_i نشان دهنده اتصال هر خازن به V_{ref} و یا زمین می باشد و در هر مورد به ترتیب معادل 1 یا 0 می باشد. به استثنای تاثیر خطای بهره، حالت غیرخطی انتگرالی (INL) و حالت غیرخطی دیفرانسیلی (DNL) به صورت زیر می باشند{22}:

$$INL = \frac{V_{out}(X) - V_{idl}(X)}{V_{LSB}}$$
$$DNL = \frac{(V_{out}(X) - V_{out}(X-1)) - V_{LSB}}{V_{LSB}} \quad (12)$$

در اینجا $V_{idl}(X)$ و V_{LSB} به ترتیب خروجی DAC ایده آل در کد X و ولتاژ LSB می باشند. ماکزیمم DNL برای سوئیچینگ معمول در مرحله ای قبل از انتقال MSB رخ می دهد. اختلاف میان دو کد مربوطه به صورت زیر تعریف می شود{22}:

$$V_{out}(X) - V_{out}(X-1) = \frac{C_u + \delta_N - \sum_{i=1}^{N-1}\delta_i}{2^N C_u}.V_{ref}$$
$$= LSB.\left(1 + \frac{\delta_N - \sum_{i=1}^{N-1}\delta_i}{C_u}\right) \quad (13)$$

DNL یک SAR ADC معمول N بیتی می تواند به صورت زیر محاسبه گردد{22}:

$$DNL_{conventional} = \frac{\delta_N - \sum_{i=1}^{N-1}\delta_i}{C_u} \quad (14)$$

بنابراین واریانس آن به صورت زیر می باشد:

$$E\left[\delta^2_{DNL-conventioanl}\right] = \frac{(2^N - 1)\sigma^2}{C_u^2} \quad (15)$$

بدترین INL در سوئیچینگ، در زمان انتقال MSB رخ می دهد، که در اینجا تنها خازن MSB به V_{ref} شارژ می شود، و دیگر خازن ها به زمین متصل می گردند؛ خروجی متناظر آن به صورت زیر تعریف می گردد{22}:

$$V_{out}(X) = \frac{2^{N-1}C_u + \delta_N + C_u + \delta_0}{2^N C_u}.V_{ref} \quad (16)$$

در این صورت INL یک SAR ADC معمولی N بیتی می تواند به صورت زیر محاسبه گردد{22}:

$$INL_{conventional} = \frac{\delta_N + \delta_0}{2^N C_u}.\frac{V_{ref}}{LSB} = \frac{\delta_N + \delta_0}{C_u} \quad (17)$$

بنابراین واریانس آن به صورت زیر می باشد {22}:

$$E\left[\delta^2_{INL-conventioanl}\right] = \frac{2^{N-1}\sigma^2}{C_u^2} \qquad (18)$$

در روشی مشابه، تاثیر خطا در مقدار خازن بروی حالت خطی معماری ADC پیشنهادی، مورد تحلیل قرار گرفته است. به منظور قابلیت مقایسه، اینطور فرض شده است کهدر هر دو مرحله، از DAC آرایه وزن دار باینری با خازن معادل (C_u) استفاده شده است. با توجه به اینکه MSB ها با آرایه خازن مرحله اول تعریف شده اند، انتظار می رود که نقش غالبی در حالت خطی کلی داشته باشد.

برای تخمین DNL (همانند معادله 13)، اختلاف میان هر دو کد تعیین کننده مرحله دوم، معادل زیر می باشد:

$$V_{DAC,Stage2}(X) - V_{DAC,Stage2}(X-1) = \frac{C_u + \delta_{N_2} - \sum_{i=1}^{N_2-1}\delta_i}{2^{N_2}C_u}.V_{ref2} \qquad (19)$$

که در اینجا $V_{DAC;Stage2}(X)$، N_2، و V_{ref2} به ترتیب ولتاژ خروجی آرایه خازن برای کد ورودی X، رزولوشن و ولتاژ مرجع مرحله دوم می باشند. با توجه به تعیین MSB ها در مرحله اول، V_{ref2} معادل $V_{LSB;stage1}$ می باشد. با توجه به اینکه حالت خطی تحلیل شده است، $V_{LSB;stage1}$ بایستی با اختلاف هر دو کد تعیین کننده مرحله اول، جایگزین شود، که معادل زیر می باشد:

$$V_{LSB,Stage1} = \frac{V_{ref1}}{2^{N_1}}.\left(1 + \frac{\delta_{N_1} - \sum_{i=1}^{N_1-1}\delta_i}{C_u}\right) \qquad (20)$$

که در اینجا N_1 و V_{ref1} به ترتیب رزولوشن و ولتاژ مرجع مرحله اول می باشند. بنابراین با توجه به معادلات 19 و 20، و پس از انجام یکسری ساده سازی، DNL معماری ADC پیشنهادی به صورت زیر تعریف می شود:

$$DNL_{propADC} = \frac{\delta_{N_1} - \sum_{i=1}^{N_1-1}\delta_i}{C_u} + \frac{\delta_{N_2} - \sum_{i=1}^{N_2-1}\delta_i}{C_u} + \frac{\delta_{N_1} - \sum_{i=1}^{N_1-1}\delta_i}{C_u}.\frac{\delta_{N_2} - \sum_{i=1}^{N_2-1}\delta_i}{C_u} \qquad (21)$$

صرف نظر از عبارت سوم، واریانس آن معادل زیر می باشد:

$$E\left[\delta^2_{DNL,propADC}\right] = \frac{(2^{N1} + 2^{N2} - 2)\sigma^2}{C_u^2} \qquad (22)$$

با استفاده از نظریه ای یکسان، INL کلی به صورت زیر می باشد:

$$INL_{propADC} = \frac{\frac{2^{N_2-1}C_u+\delta_{N_2}}{2^{N2}C_u} \cdot V_{LSB-Stage1} - \frac{2^{N_2-1}C_u}{2^{N_2}C_u} \cdot \frac{V_{ref1}}{2^{N_1}}}{\frac{V_{ref1}}{2^{N_1+N_2}}} \qquad (23)$$

که در اینجا $V_{LSB;stage1}$ با معادله 10 جایگزین می شود:

$$INL_{propADC} = \frac{2^{N_2-1}C_u + \delta_{N_2}}{C_u} \cdot \left(1 + \frac{\delta_{N_1} - \sum_{i=1}^{N_1-1}\delta_i}{C_u}\right) - \frac{2^{N_2-1}C_u}{C_u} \approx \frac{\delta_{N_2}}{C_u} \qquad (24)$$

بنابراین واریانس آن معادل زیر می باشد:

$$E\left[\delta^2_{INL,propADC}\right] = \frac{2^{N_2-1}\sigma^2}{C_u^2} \qquad (25)$$

با توجه به اینکه N_1 و N_2 همیشه کمتر از N می باشند، بدین ترتیب DNL و INL در معادلات 22 و 25 دارای حالت خطی بهتری برای معماری ADC پیشنهادی می باشند(نسبت به یک SAR ADC معمولی N بیتی). برای تولید هیستوگرام غیرخطی از متلب (Matlab)، هر خازن در کد به صورت تعدادی از خازن های موازی تعریف شده است، و خازن C0 دقیقاً مشابه خازن در فایل تکنولوژی تعریف شده است. انحراف استاندارد نیز از داده های اسناد تکنولوژی استخراج شده است. هیستوگرام های غیرخطی بدست آمده از شبیه سازی های متلب برای یک SAR ADC معمولی هفت بیتی و ADC پیشنهادی با Cu = 50f و انحراف استاندارد σ=0.0032، و برای 200 نمونه به ازای هر کد، به ترتیب در شکل های 4 و 5 ارائه شده است، که تائید کننده برتری حالت خطی ADC پیشنهادی می باشند.

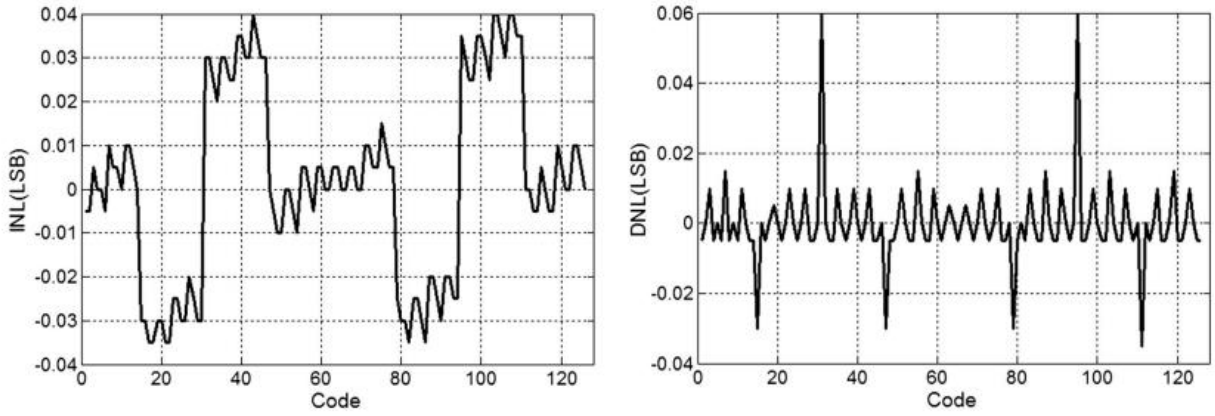

Fig. 4 Nonlinearity histogram of a 7-bit conventional SAR ADC

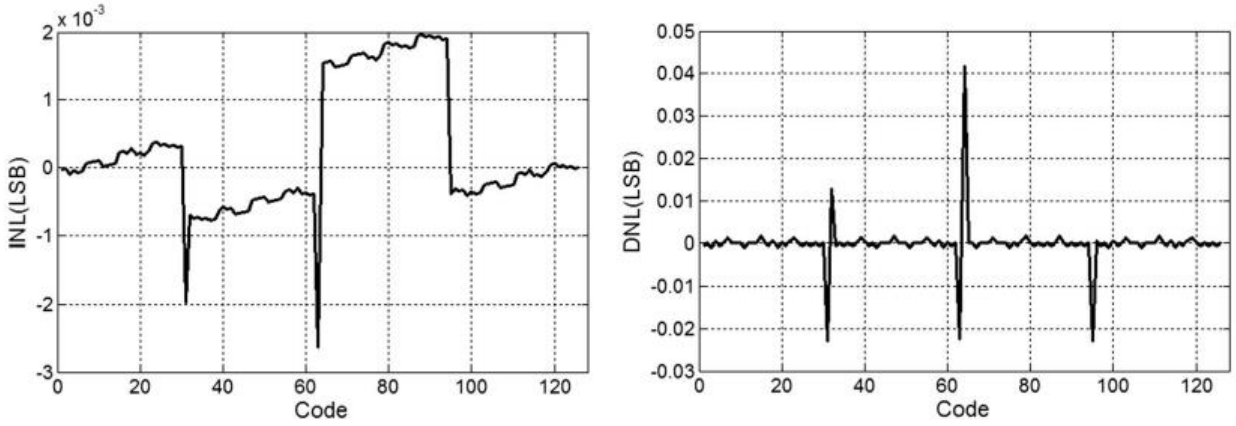

Fig. 5 Nonlinearity histogram of a 7-bit proposed ADC

همانطور که در شکل 5 مشاهده می کنید، زمانیکه MS ها تغییر می کنند، DNL و INL توپولوژی پیشنهادی، دارای مقادیر نسبتاً بزرگی هستند. با توجه به اینکه مرحله اول تعیین کننده MSB ها می باشد (این مرحله دارای تعداد بیت های کمی است)، آرایه خازنی آن می تواند به صورت پیکربندی وزن دار باینری پیاده سازی شود، در حالیکه آرایه خازن در مرحله دوم می تواند با استفاده از آرایه وزن دار باینری با خازن سری پیاده سازی شود، که بدین ترتیب ناحیه را ذخیره نموده و مصرف توان را کاهش می دهد.

5. پیاده سازی مدار

به منظور ارزیابی عملکرد روش لوله گذاری پیشنهادی، مدار ADC با تکنولوژی 0.18-lm CMOS طراحی و شبیه سازی شده است. همانطور که در شکل 1 نشان داده شده است، ADC پیشنهادی شامل بلاک های مختلفی است که به صورت زیر دسته بندی شده اند: مقایسه کننده ها، آرایه های خازنی، منطق های SAR، کنترلر اصلی، مالتی پلکسر و دی مالتی پلکسرهای آنالوگ. سه بلاک آخر به منظور کنترل زمانبندی و عملیات

کلی ADC پیشنهادی مورد استفاده قرار می گیرند؛ در نتیجه، در این بخش پیاده سازی آنها به صورت کنترلر مطرح شده است.

5.1 مقایسه کننده ها

شماتیک مدار مقایسه کننده ها در شکل 6 ارائه شده است {23}.

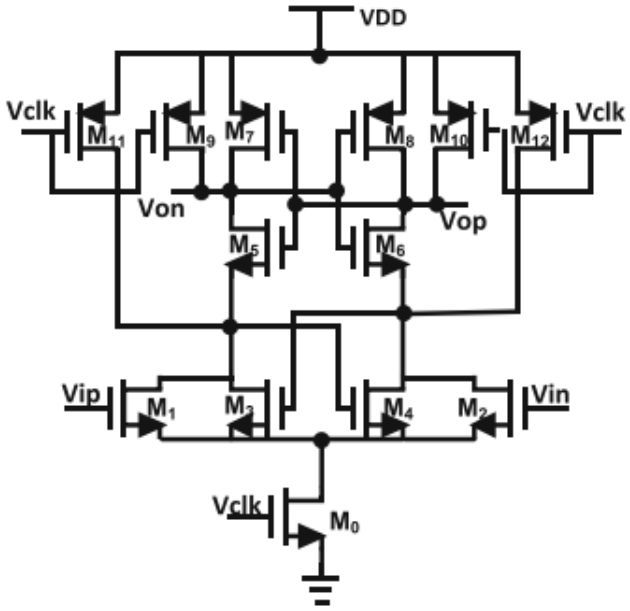

Fig. 6 Schematic of comparator [23]

"Vip/Vin" و "Vop/Von" در شکل 6، به ترتیب نودهای ورودی و خروجی هستند. این یک مقایسه کننده لچ داینامیکی براساس جفت ورودی دیفرانسیلی به همراه یک مرحله cross-coupled می باشد، که از مقایسه کننده داینامیک "Lewis-Gray" الهام گرفته شده است. تنظیم سایزبندی ترانزیستور منجر به یک مقایسه کننده با آفست 2.1 mV، تاخیر 456.92 psدر فرکانس 83.3 MHz شده است، در حالیکه 125 µW را از منبع تغذیه 1.2 V تلف می کند.

5.2 آرایه های خازنی

آرایه های خازنی مرحله اول برای نمونه صفحه پایین ولتاژ ورودی، تصمیم گیری MSB ها و ذخیره ولتاژ باقیمانده بروی صفحه بالا مورد استفاده قرار می گیرند، در حالیکه آرایه های خازنی مرحله دوم برای تبدیل ولتاژ باقیمانده به LSB مورد استفاده قرار می گیرند. همانطور که در شکل 7 نشان داده شده است، در یک ADC هفت بیتی، مبدل دیجیتال به آنالوگ (DAC) هر کانال در مرحله اول و دوم، به ترتیب یک آرایه خازنی وزن دار باینری دوبیتی و آرایه خازنی وزن دار باینری پنج بیتی به همراه یک خازن تضعیف کننده می باشد.

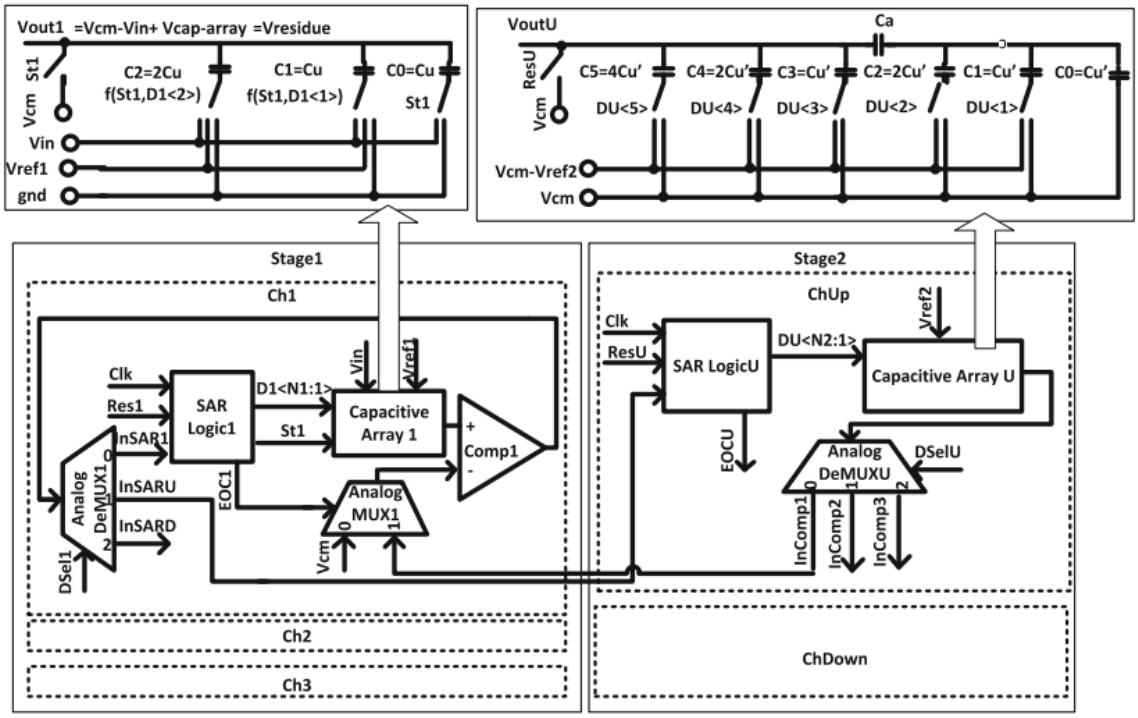

Fig. 7 Schematic of 1st-stage and 2nd-stagecapacitor arrays

با این آرایش، کل ظرفیت خازنی در ورودی مقایسه کننده در طول تبدیل MSB و LSB معادل می باشد. بدین ترتیب، خطا با توجه به ظرفیت خازنی پارازیتی در ورودی مقایسه کننده کاهش می یابد. همچنین منجر به زمان نشست یکسان در DAC های دوبیتی و پنج بیتی در هر دو مرحله می گردد و فرکانس ساعت را ماکزیمم می سازد. براساس تحلیل خطی در بخش 4، این پیاده سازی موجب ذخیره ناحیه نیز می گردد و بهره وری انرژی را بدون کاهش عملکرد خطی، ارتقا می بخشد.

سایز خازن براساس نویز kT/C، انطباق خازن، زمانبندی، ناحیه و توان انتخاب می گردد. به منظور کاهش طول دوره ساعت، ناحیه و توان، مقدار خازن بایستی تا حد ممکن کوچک باشد؛ در حالیکه برای ارتقا نویز و انطباق،

بایستی تا حد زیادی افزایش یابد. به منظور برآوردن $\sqrt{\frac{kT}{C}} \leq \frac{V_{ref}}{2\times 2^7}$ برای $V_{ref} = 1V$، و همچنین با در نظر گرفتن محدودیت انطباق تکنولوژی 180 nm CMOS، خازن هر مرحله بایستی بیشتر از 40fF باشد؛ بنابراین خازن مرحله دوم معادل $Cu' = 50\ fF$ انتخاب می گردد، تا بدین ترتیب زمان نشست و ناحیه سیلیکونی DAC به حداقل برسد. هر دو مرحله می توانند با توجه به الزامات دقت یکسان، دارای واحد خازن های یکسانی باشند؛ اگرچه به منظور مینیمم نمودن تاثیر خازن پارازیتی ورودی مقایسه کننده، کل مقدار ظرفیت خازنی که توسط هریک از پورت های مقایسه کننده دیده می شود، بایستی معادل باشد که این مسئله باعث می شود تا خازن مرحله اول معادل $Cu = 100\ fF$ باشد.در نهایت ظرفیت کل خازن هر کانال در هر دو مرحله معادل 400 fF می باشد.

5.3 منطق های SAR

معماری ADC پیشنهادی با یک رزولوشن هفت بیتی شامل سه منطق SAR دوبیتی و هفت بیتی برای کانال های مرحله اول و دوم می باشد. منطق SAR معمولاً در SAR ADC ها مورد استفاده قرار می گیرد، و شامل شمارنده حلقه و رجیسترهای کد می باشد{25}. شکل 8، منطق SAR دوبیتی (“SAR Logic 1’ در شکل 1) را نشان می دهد.

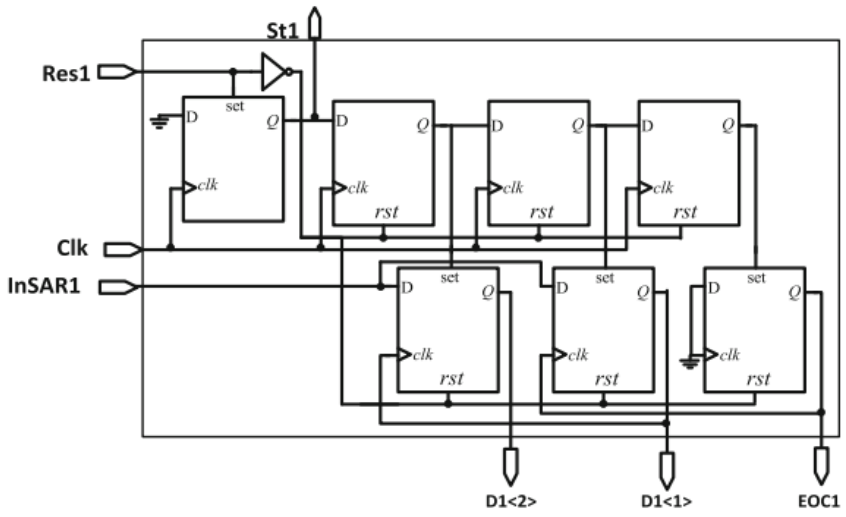

Fig. 8 Schematic of the SAR logic1

منطق SAR پنج بیتی دارای معماری یکسانی می باشد. منطق تصمیم گیری می کند و مقدار هر بیت (با نام های ”D1<2>“ و ”D1<1>“ در شکل 8) را براساس سیگنال های ورودی ذخیره می کند. سیگنال های

ورودی شامل ریست (Res1)، ساعت (Clk)، و خروجی مقایسه کننده (InSAR1) می باشند. سیگنال EOC(EOC1) نیز تولید شده است که نشان دهنده تکمیل عملیات منطق می باشد.

5.4 کنترلر

هر بلاک بکار رفته در سازماندهی عملیات کانال ها، به عنوان بخشی از کنترلر در نظر گرفته می شود. برای اتصال خروجی i امین مقایسه کننده کانال به ورودی منطق SAR همان کانال و یا یکی از کانال های مرحله دوم، از دی مالتی پلکسرهای آنالوگ کانال های مرحله اول (با نام "Analog Demuxi' در شکل 1) استفاده می گردد (براساس سیگنال "Dseli" در شکل 1). به طور مشابه، دی مالتی پلکسرهای آنالوگ کانال های مرحله دوم (با نام "Analog Demuxj" در شکل 1)، برای اتصال آرایه خازنی کانال مربوطه به ورودی مثبت یکی از مقایسه کننده های مرحله اول مورد استفاده قرار می گیرد، که این کار از طریق مالتی پلکسر آنالوگ و براساس سیگنال های "Dselj" و "EOCi' صورت می گیرد. "Dseli" و "Dselj" هردو سیگنال های کنترل سه مرحله ای هستند، در حالیکه "EOCi" یک سیگنال دو مرحله ای است که توسط منطق های SAR تولید شده است. به جای ساخت سیگنال های سه مرحله ای، تمامی بلاک های بالا توسط سوئیچ هایی پیاده سازی می شوند که توسط تابعی از سیگنال های EOC و سیگنال های دو مرحله ای کنترلر اصلی، کنترل می شود. کنترلر اصلی نیز سیگنال های ریست را با استفاده از یکسری گیت های تاخیر از سیگنال ریست اصلی ADC می سازد.

برای شفاف سازی بیشتر، شماتیک دی مالتی پلکسر آنالوگ کانال اول (با نام "Analog Demux1" در شکل 1)، در شکل 9 ارائه شده است.

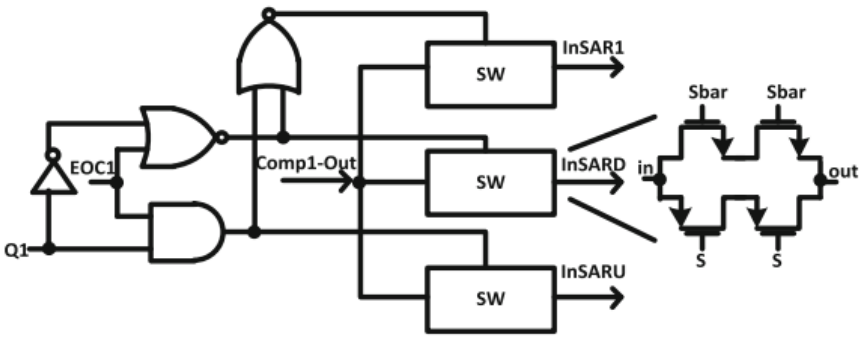

Fig. 9 Analog De-multiplexor of the channel 1

این دی مالتی پلکسر شامل سه سوئیچ و چندین گیت منطق برای ساخت سیگنال های انتخاب سوئیچ ها از سیگنال های ورودی است(یعنی Q1 و EOC_1). استفاده از دی مالتی پلکسرهای آنالوگ برای اتصال آرایه خازنی مرحله دوم به مقایسه کننده مرحله اول، ممکن است منجر به اشتراک گذاری شارژ میان آرایه خازنی کمکی و خازن های پارازیتی سوئیچ های دی مالتی پلکسر آنالوگ گردد، که این مسئله موجب بروز خطای بهره در مرحله تبدیل LSB ها می گردد. به منظور کاهش تاثیر آن، سوئیچ های دی مالتی پلکسر آنالوگ با استفاده از گیت انتقال تحقق می یابند که دارای اشتراک گذاری شارژ کمتر و ترانزیستورهای پشته با مینیمم جریان نشت می باشد(در طول مرحله خاموشی){25}. همانطور که در شکل 10 نشان داده شده است، Q1 دارای فرکانسی هشت برابر پایین تر از سیگنال ساعت اصلی است و می تواند با استفاده از تقسیم کننده های متداول فرکانس، تولید شوند.

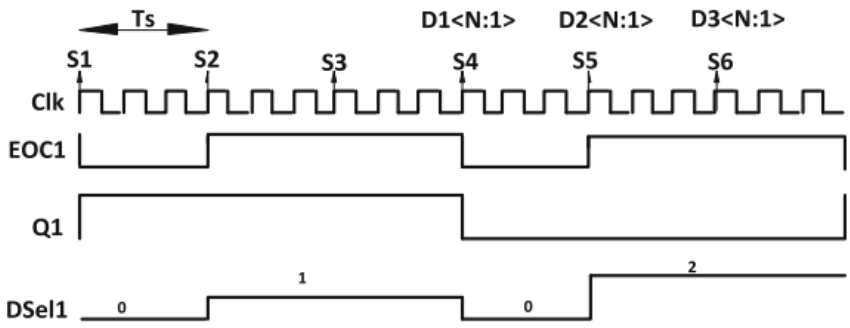

Fig. 10 Controlling signals of the Analog DeMUX1

6. نتایج شبیه سازی پیش طرح

یک مدل هفت بیتی از ADC پیشنهادی در پروسه 180 nm CMOS طراحی شده است، و طرح در شکل 11 نشان داده شده است.

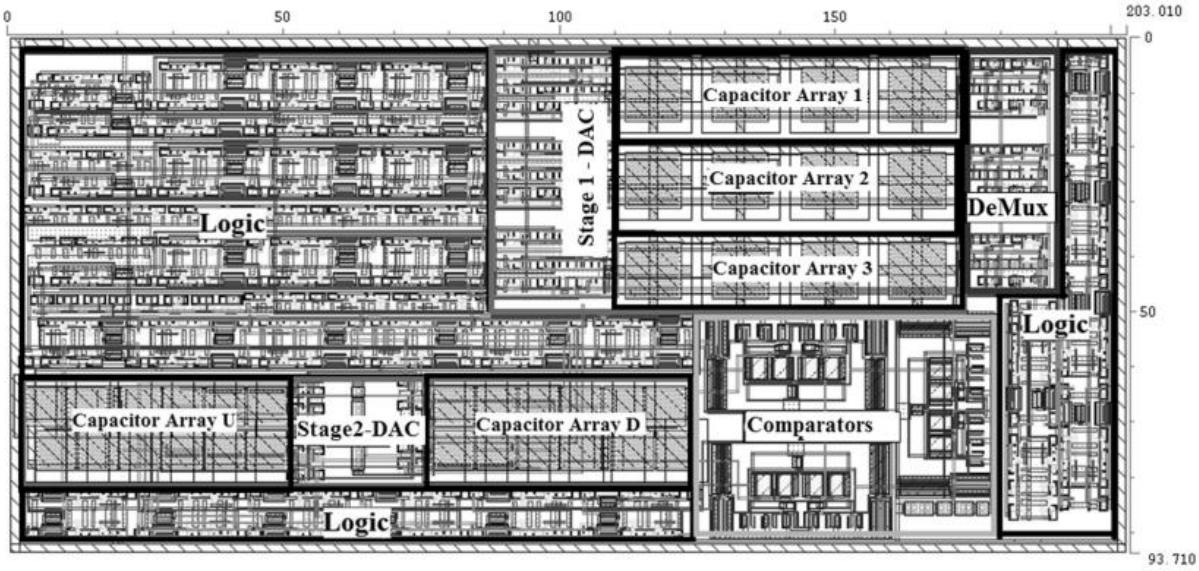

Fig. 11 Layout of the proposed ADC

طرح، ناحیه ای حدوداً معادل $0.0227\ mm^2$ اشغال کرده است. به منظور کاهش عدم انطباق های کانال، بلاک های آنالوگ در مجاورت یکدیگر قرار گرفته اند. برای کاهش عدم انطباق میان خازن ها، خازن های وزن دار باینری در یک پیکربندی متمرکز و براساس روش ارائه شده در مقاله 26، قرار گرفته اند. در صورتی که آرایه های خازنی مرحله دوم با استفاده از پیکربندی وزن دار باینری و بدون خازن سری پیاده سازی شده باشند، در این صورت خازن ها نیمی از ناحیه ADC را اشغال خواهند کرد. خازن های کانال IT در شکل 11 علامت گذاری شده اند.

با در نظر گرفتن زمان تاخیر و نشست تمامی بلاک ها، طول دوره سیگنال ساعت معادل 4 ns می باشد. این مسئله موجب بروز نرخ نمونه برداری $\frac{1}{12ns}$ برای یک پیاده سازی هفت بیتی می گردد. ADC، میزان توان $4.56\ mW$ را از یک منبع ولتاژ $1.2\ V$ مصرف می کند. همانطور که در شکل 12 نشان داده شده است، آرایه های خازنی ADC مقدار 67٪ از کل توان را مصرف می کنند، که تائید کننده فرضیه های بخش 3 می باشد.

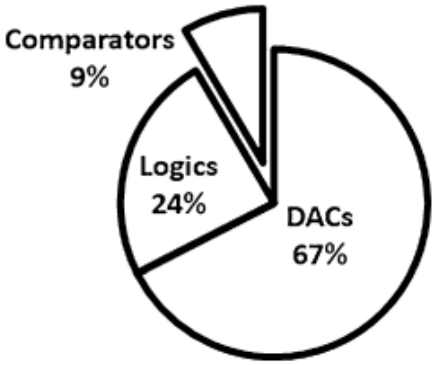

Fig. 12 Power dissipation of different blocks

همانطور که در شکل 13 نشان داده شده است، بکارگیری یک رمپ بسیار پایین برای یافتن نقاط انتقال، موجب می شود که DNL کمتر از 0.44/-0.46 LSB و INL کمتر از 0.72/-0.83 LSB گردد.

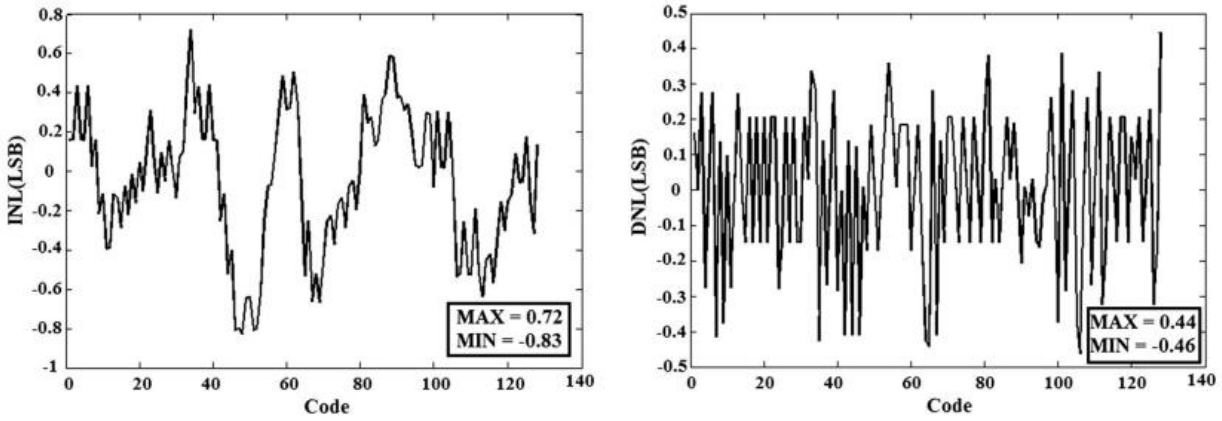

Fig. 13 INL and DNL of the proposed ADC

این خطاها به خاطر معایب طرح و ظرفیت خازن پارازیتی سوئیچ ها و مقایسه کننده ها رخ می دهند.

شکل های 14،15،16 و 17 نشان دهنده طرح FFT (تبدیل فوریه گسسته) و عملکرد داینامیک ADC برای فرکانس های ورودی مختلف می باشد (از $f_{in} \cong \frac{f_s}{300}$ تا نرخ نایکوئیست یا $f_{in} \cong \frac{f_s}{2}$).

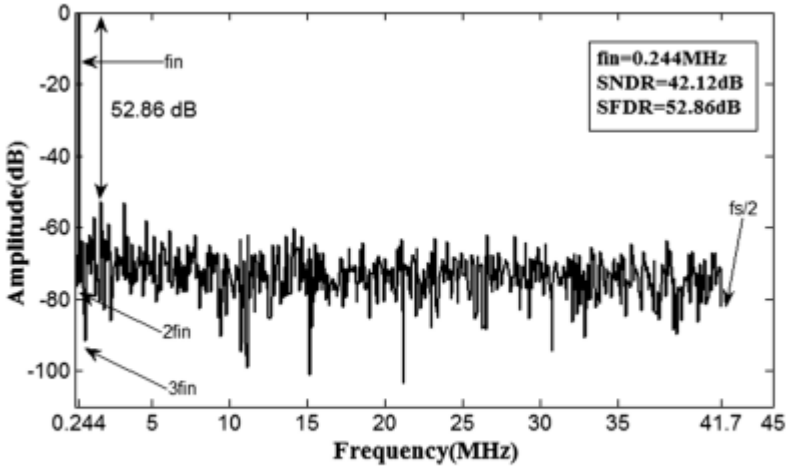

Fig. 14 ADC output spectrum at $f_{in} = \frac{f_s}{300}$

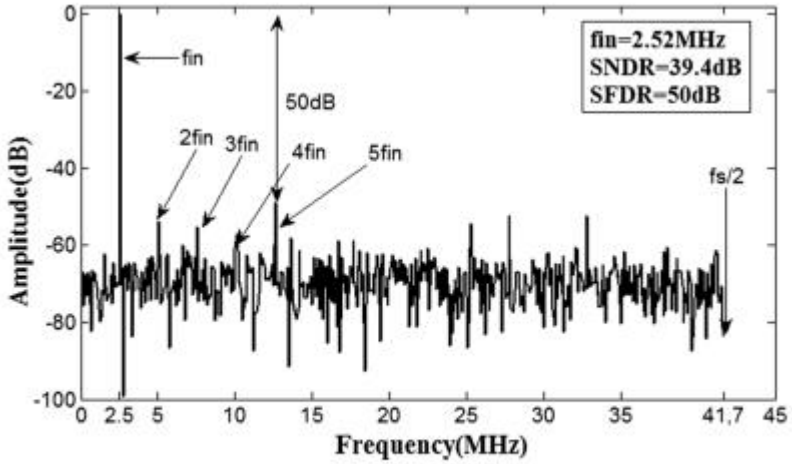

Fig. 15 ADC output spectrum at $f_{in} = \frac{f_s}{30}$

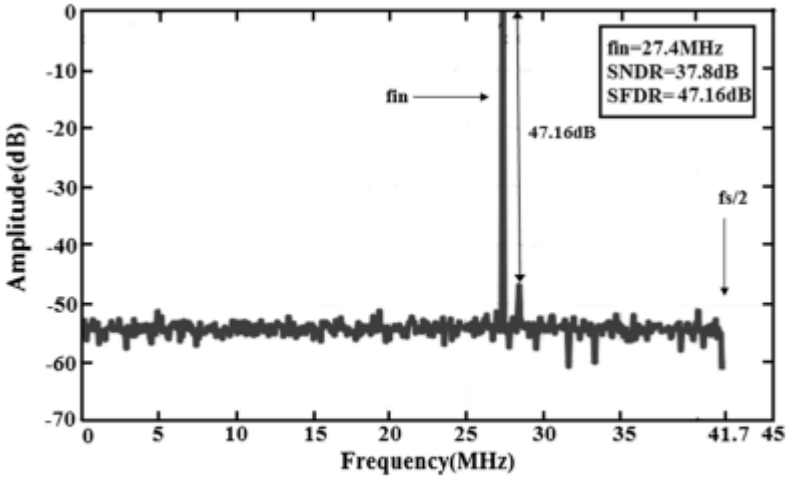

Fig. 16 ADC output spectrum at $f_{in} = \frac{f_s}{3}$

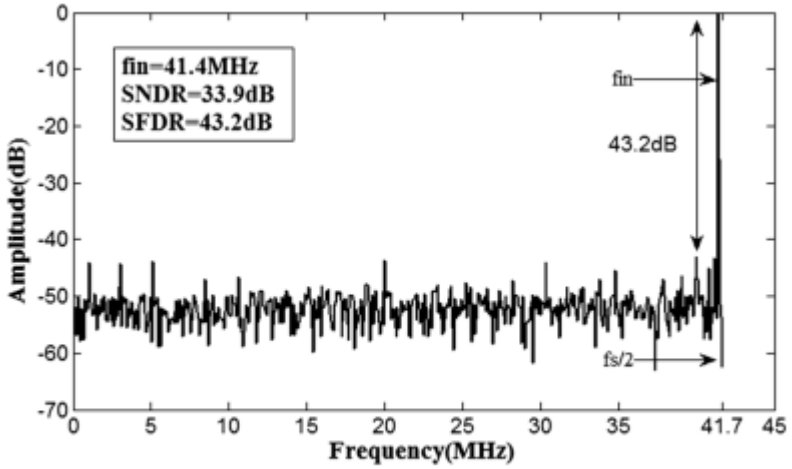

Fig. 17 ADC output spectrum at $f_{in} = \frac{f_s}{2}$

شکل 18 نیز نشان دهنده طرح SNDR (سیگنال-به-نویز-و اعوجاج) به ازای فرکانس ورودی می باشد.

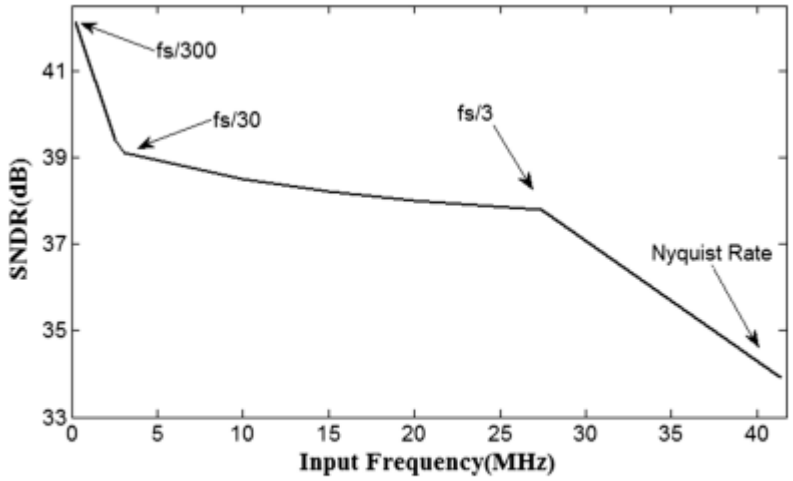

Fig. 18 SNDR versus input frequency at 83.3 MHz sampling frequency

SNDR در بازه ای از فرکانس ورودی،تقریباً ثابت است، همانطور که در شکل 18 نشان داده شده است؛ در نتیجه SNDR معادل 37.8 dB می باشد و SFDR (بازه داینامیک حقیقی) معادل 47.16 dB_{FS} در فرکانس ورودی 27.4 MHz می باشد. بنابراین تعداد بیت های موثر (ENOB) حدوداً 6 بیت می باشد. نتایج شبیه سازی نشان دهنده کاهش SNDR برای فرکانس های بالاتر می باشد. دلیل این مسئله اساساً این است که فرکانس های بالاتر و یا نرخ شیب سریع تر موجب کاهش SNDR برای یک سطح جیتر ساعت مشخص می باشد؛ این بدین معناست که ورودی آنالوگ فرکانس-بالا دارای خطای بیشتری با توجه به جیتر ساعت می باشد. با توجه به عملیات اضافی سوئیچینگ در دی مالتی پلکسر آنالوگ ADC پیشنهادی، در مقایسه با یک SAR

ADC معمولی، SNDR نشان دهنده کاهش کمتر برای فرکانس های بالاتر می باشد. شبیه سازی موقت مدار ADC با وجود نویز منبع تغذیه (با مقدار 100 μV RMS)، توسط Spectre اجرا شده است و نتیجه در شکل 19 ارائه شده است.

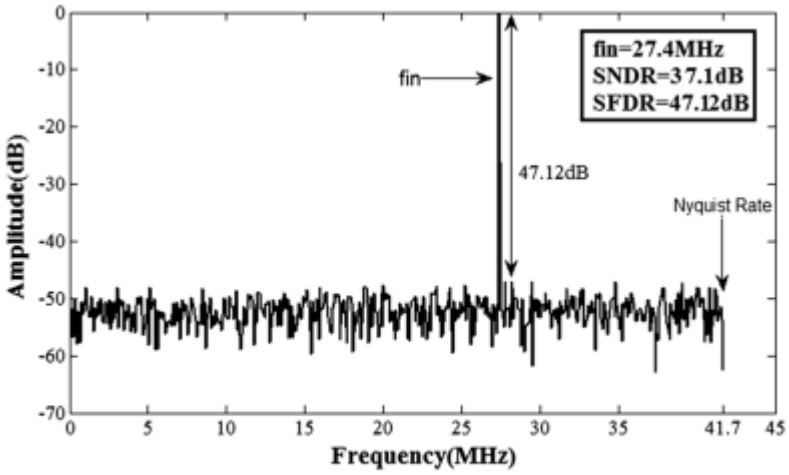

Fig. 19 ADC output spectrum at $f_{in} = \frac{f_s}{3}$ in presence of voltage supply noise

براساس شکل 19، SNDR یک ADC در فرکانس ورودی 27.4 MHz معادل 37.1 dB می باشد، که نشان دهنده 0.7 dB کاهش در مقایسه با شبیه سازی با منبع تغذیه شکل 16 می باشد. باوجود بکارگیری معماری single ended، این کاهش کم به خاطر ساختار شبه-دیفرانسیلی مقایسه کننده بکاررفته می باشد.

FOM مربوط به ADC پیشنهادی (که به صورت $\frac{P}{2\times f_s \times 2^{ENOB}}$ تعریف شده است) در یک ورودی 27.4 MHz با نرخ نمونه برداری 83.3 MS/s، معادل 433 fJ می باشد. نتایج شبیه سازی ADC پیشنهادی و عملکرد برخی از ADC های دیگر(که در جدول 1 ذکر شدند)، به طور خلاصه در جدول 2 ارائه شده اند.

Table 2 ADC performance summary

Ref	Arch.	Tech (nm)	SR (MS/s)	P (mW)	VDD (V)	SNDR/ SFDR (dB)	Resolution/ ENOB (bits)	INL/DNL (LSB)	Area (mm^2)	FoM (fJ/conv-step)
*	This work	180	83.3	4.56	1.2	37.8/47.16	7/5.98	0.83/0.46	0.0227	433
[21]*	Conventional	180	20	2.36	1.8	43.2	8/6,88	0.65/0.68	0.105	530
[11]	Pipeline with MDAC replacement	65	200	11.5	1	57.6	12/9.28	1/1.25	0.26	46.25
[8]	Pipeline with inter-stage shared MDAC	65	110	11.5	1.2	61	12/9.84	1.63/0.421	0.12	57.04
[9]	Pipeline with inter-channel shared MDAC	65	204	9.15	1	55.2/63.5	10/8.88	+0.90/0.74	0.22	47.6
[12]	Pipeline with passive residue transferring	65	210	5.3	1	63.48	12/10.25	1.45/0.66	0.48	10.36
[18]*	Assisted pipeline with flash	45	100	6.1	1	51.94/65.87	9/8.33	0.66/0.94	0.068	94.78
[16]*	TI of SARs	65	250	1.2	1.2	28.3	5/4.4	–	2.3	113.7

* Post layout simulation results

References

1. Damghanian, M., & Shamsi, H. (2014). Combination of DAC switches and SAR logics in a 720 MS/s Low bit successive approximation ADC. Analog Integrated Circuits and Signal Processing, 80, 263–272.

2. Khoshakhlagh, M., & Yavari, M. (2013). An efficient threshold voltage generation for SAR ADCs. Mixed signal letters. Analog Integrated Circuits and Signal Processing, 75, 161–169.

3. Zhangming Zhu, Yu., Xiao, L. X., Ding, H., & Yang, Y. (2013). An 8/10 bit 200/100MS/s configurable asynchronous SAR ADC. Mixed signal letters. Analog Integrated Circuits and Signal Processing, 77, 249–255.

4. Liang, Y., Zhu, Z., & Ding, R. (2015). SAR ADC architecture with 98.8% reduction in switching energy over conventional scheme. Mixed signal letters. Analog Integrated Circuits and Signal Processing, 84, 89–96.

5. Kuppambatti, J., & Kinget, P. R. (2014). Current reference precharging techniques for low-power zero-crossing pipeline-SAR ADCs. IEEE Journal of Solid State Circuits, 49(3), 581–594.

6. Wu, J.-J., Chang, S.-J., Lin, S.-H., Huang, C.-P., & Huang, G.-Y. (2014). Low power pipelined SAR ADC with loading free architecture. IEEE, international symposium on VLSI design, automation and test (VLSI-DAT). doi:10.1109/VLSI-DAT.2014. 6834906.

7. Huang, Y. C., & Lee, T. C. (2010). A 10b 100MS/s 4.5 mW pipelined ADC with a time sharing technique. ISSCC Dig. Tech. Papers. doi:10.1109/ISSCC.2010.5433927.

8. Wang, R., Chio, U.-F., Sin, S.-W., Seng-Pan, U., Wang, Z., & Martins, R. P. (2012). A 12-bit 110MS/s 4-stage single-opamp pipelined SAR ADC with ratio-based GEC technique. Proceedings of the ESSCIRC. doi: 10.1109/ESSCIRC.2012.6341336

. 9. Jeon, Y.-D., Cho, Y.-K., Nam, J.-W., Kim, K.-D., Lee, W.-Y., Hong, K.-T., & Kwon, J.-K. (2010). A 9.15 mW 0.22 mm2 10b 204MS/s pipelined SAR ADC in 65 nm CMOS. Custom Integrated Circuits Conference (CICC). doi:10.1109/CICC.2010. 5617457.

10. Jespers, P. G. A., et al. (1977). A fast sample and hold chargesensing circuit for photodiode arrays. IEEE Journal of Solid-State Circuits. doi:10.1109/JSSC.1977.1050883.

11. Dolev, N., Kramer, M., & Murmann, B. (2013). A 12-bit, 200-MS/s, 11.5-mW pipeline ADC using a pulsed bucket brigade front-end. Symposium on VLSI circuits digest of technical papers, C98–C99.

12. Lin, C.-Y., & Lee, T.-C. (2014). A 12-bit 210-MS/s 5.3-mW pipelined-SAR ADC with a passive residue transfer technique. Symposium on VLSI circuits digest of technical papers. doi:10. 1109/VLSIC.2014.6858452.

13. Lee, S., Chandrakasan, A. P., & Lee, H.-S. (2014). A 1GS/s 10b 18.9 mW time-interleaved SAR ADC with background timingskew calibration. IEEE international solid-state circuits conference. doi:10.1109/ISSCC.2014.6757480.

14. Harpe, P., Busze, B., Philips, K., & de Groot, H. (2011). A 0.47- 1.6mW 5bit 0.5-1GS/s time-interleaved SAR ADC for low-power UWB radios. IEEE Journal of Solid State Circuits, 47, 1594–1602.

15. Sin, S.-W., Ding, L., Zhu, Y., Wei, H.-G., Chan, C.-H., Chio, U-F., Seng-Pan, U., Martins, R. P., & Maloberti, F. (2010). An 11b 60MS/s 2.1 mW two-step time-interleaved SAR-ADC with reused S&H. IEEE Proceedings of the ESSCIRC. doi:10.1109/ ESSCIRC.2010.5619890.

16. Ginsburg, B. P., & Chandrakasan, A. P. (2008). Highly interleaved 5-bit, 250-MSample/s, 1.2-mW ADC with redundant channels in 65-nm CMOS. IEEE Journal of Solid-State Circuits, 43(12), 2641–2650.

17. Sung, B. R. S., Cho, S.-H., Lee, C.-K., Kim, J.-I., & Ryu, S.-T. (2009). A time-interleaved flash-SAR architecture for high speed A/D conversion. IEEE international symposium on circuits and systems, ISCAS. doi:10.1109/ISCAS.2009.5117923.

18. Cho, Y.-K., Jung, J.-H., & Lee, K. C. (2012). A 9-bit 100-MS/s flash-SAR ADC without track-and-hold circuits. IEEE, international symposium on wireless communication systems. doi:10. 1109/ISWCS.2012.6328494.

19. Gray, P. R., Hurst, P. J., Lewis, S. H., & Meyer, R. G. (2009). Analysis and design of analog integrated circuits (4th ed.). Wiley.

20. Saberi, M., Lotfi, R., Mafinezhad, K., & Serdijn, W. A. (2013). Analysis of power consumption and linearity in capacitive digital-to-analog converters used in successive approximation ADCs. IEEE Transaction on Circuits and Systems-I: Regular Papers, 58, 1736–1748.

21. Atkin, E., & Normanov, D. (2014). Area-efficient low-power 8-bit 20-MS/s SAR ADC in 0.18 lm CMOS. PROC. 29th international conference on microelectronics. doi:10.1109/MIEL. 2014.6842188.
22. Zhu, Y., Chan, C.-H., Chio, U.-F., Sin, S.-W., Seng-Pan, U., Martins, R. P., & Maloberti, F. (2014). Split-SAR ADCs: Improved linearity with power and speed optimization. IEEE Transaction on Very Large Scale Integration (VLSI) Systems, 22(2), 372–383.
23. Rahman, L. F., Reaz, M. B. I., Yin, C. C., Ali, M. A. M. & Marufuzzaman, M. (2014). Design of high speed and low offset dynamic latch comparator in 0.18 lm CMOS Process. PLoS One, 9(10), e108634.
24. Meinerzhagen, P. (2008). Design of a 12-bit low-power SAR A/D converter for a neurochip. Master's Thesis, University of California, Lausanne, August 15, 2008.
25. Zhang, D., Bhide, A., & Alvandpour, A. (2012). A 53-nW 9.1- ENOB 1-kS/s SAR ADC in 0.13-m CMOS for medical implant devices. IEEE Journal of Solid-State Circuits, 47(7), 1585–1593.
26. Li, Y., Zhang, Z., Chua, D., & Lian, Y. (2014). Placement for binary-weighted capacitor array in SAR ADC using multiple weighting methods. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 33(9), 1277–1287.