طراحی و توصیف مشخصات یک مبدل آنالوگ به دیجیتال فلش سه بیتی Gs/s-24 در CMOS دیجیتال توان پایین 28 نانومتری

چکیده

این مقاله طراحی و توصیف مشخصات یک مبدل آنالوگ به دیجیتال فلش تک هسته ای سه بیتی 24-Gs/s در CMOS دیجیتال توان پایین 28 نانومتری ارائه میدهد.این مقاله مطالعه طراحی مدار نمونه بردار و نگهدار و مرحله بافر بعدی و محاسبات و معادلات برای پهنای باند را بدون شبیه سازی وسیع مدار ارائه می دهد. این نتایج با هدف کارایی سرعت لبه در یک ADC تک هسته ای استفاده شده اند.ADC قادربه دستیابی به نرخ نمونه برداری کامل بدون زمان جایگذاری است، که آن را سریع ترین ADC تک هسته ای در CMOS گزارش داده شده میسازد.بامصرف توان W0.4 وتعداد بیت موثر 2.2در24- Gs/s،ADC در حالیکه ناحیه فعال اشغال شده اش 12 mm2 به رقم شایستگی 3Pj در هر مرحله تبدیل می رسد. با توجه به فرکانس نمونه برداری بالا،این ADC هنگامی که با زمان متوسط جایگذاری بیت ترکیب ترکیب شود،قادر است که به سیستم مبدل آنالوگ به دیجیتال با سرعت فوق العاده بالا تبدیل شود.

1. مقدمه

سیستم های ارتباطی مدرن به نرخ داده تا چند ده گیگا بایت احتیاج دارند.یکی از چالش های ویژه ارتباط بی سیم board-to-board در ابرکامپیوترها است،که درآن توان داده بالای 100GS/s نیازاست. مشخصات فنی این را می توان با فرکانسهای حامل بالای100 گیگاهرتز به دست آورد،در این مورد پهنای باند بزرگ تا دهها گیگاهرتز در دسترس است.[1] سیستم ها باچنین پهنای باند بزرگ برای گنجانیده شدن در مبدل های آنالوگ به دیجیتال بسیار

چالش آفرین هستند (ADCs) ، که به راحتی می تواند پیوندهای بیسیم تنگراه شوند.بعلاوه، یه منظور تهیه سیستم بر روی تراشه (SOCs)با پردازش سیگنال دیجیتال و ADC های مجتمع در همان تراشه، لازم است که ADC در تکنولوژی مدرن CMOS باشد. اخیرامبدل های آنالوگ به دیجیتال CMOS با بازده توان خوب با نرخ نمونه برداری در محدوده فرکانسی پایین تر [5],[2] با ثبت تقریبا متوالی نشان داده اند که ADC های محبوبی هستند. که رسیدن به بالاترین نرخ نمونه برداری با ساختار مدار پایه با بکار گیری جایگذازی زمانی ممکن است[6],[8].تازمانی که مولد کلاک چند فاز بالا ناچیز باشد،از لحاظ نظری افزایش نرخ نمونه برداری به اصطلاح بدون جریمه ضروری انرژی هر تبدیل ممکن است. به این دلیل توپولوژی های جایگذاری زمان استفاده شده برای ADC ها با سرعت بالا بسیاروسیع هستند و " بهره برداری گسترده ای به منظور رسیدن به رقم شایستگی پایین " داشته اند [9]، معادل انرژی کم در هر مرحله تبدیل در این زمینه.اخیرا نرخ نمونه برداری به بزرگی90Gs/s با هسته ADC ایی که در14 Gs/sراه اندازی شده گزارش شده است[10].متاسفانه استفاده از زمان جایگذاری در مقیاس دلخواه ممکن نیست،به عنوان مثال مشکلاتی سیستم جایگذاری شده رابه شدت محدود میکند، همانند مولد کلاک چند فاز و توزیع ، زمان انتقال کلاک، خازن های ورودی، احتیاج به تقویت کننده های نمونه بردار و نگهدار(THAs) ،و تاخیر[9],[11]-[13] . افزایش بیشترنرخ نمونه برداری بدون تشدید این مشکلات می تواند توسط پیاده سازی هسته سریع ترADCبدست آید.در حالیکه بالاترین ورودی پهنای باند در دسترس است این کاهش در مولد کلاک چند فاز و کاهش زمان تاخیر لازم است.

هدف طراحی برای ADC ارائه شده دستیابی به بالاترین سرعت نمونه برداری ممکن، در ADC تک هسته ای می باشد.درنتیجه توپولوژی فلش ADC انتخاب شده است.هسته ADC ارائه شده در حالیکه دریک CMOS دیجیتال کم توان و کم هزینه طراحی شده است،قادر به کارکردن در نرخ نمونه برداری تا 24Gs/s است. علاوه بر موضوعات مطرح شده در [14] ،این مقاله ملاحظات طراحی جامعی برای مراحل ورودی آنالوگ ارائه می دهد و بینشی از داخل تمامی بلوک های مدار ADC می دهد.علاوه بر این ،مقاله نتایج اندازه گیری شده اضافی و دقیق تر و همچنین فرکانس های بالای آماری را نشان می دهد.قسمتII معماری ADC را نشان می دهد. به عنوان پیاده

سازی مدار برای چنین فرکانس های بالانیاز به ملاحظات طراحی جامع است، به ویژه برای مراحلی که ورودی آنالوگ دارند، مشخص کردن پهنای باند مورد نیاز برای بلوک های مدار بحرانی مهم است. بخش سوم به بررسی مدار نمونه بردار و نگهدار (T / H) و پس از آن مرحله بافررسیدگی میکند و یک روش محاسبه مستقیم پهنای باندمورد نیاز بدون شبیه سازی مدار گسترده را فراهم می کند.بینشی از داخل مدار اجرا شده در بخش IV داده شده در حالیکه در بخش V مشخصات تراشه ارائه شده است.

2. معماری ADC

شکل 1 نموداری از سطح سیستم ADC ارائه شده را نشان می دهد. برای بالاترین سرعت تبدیل، ADC متکی به توپولوژِی فلش است.این نمودار مرحله T/H و پس از آن بافر (Buf1) در ورودی،به دنبال آن یک مقایسه گر(Cmp)،بعلاوه تقویت کننده ها،و لچ ها (L) درهرمسیر موازی پردازش اطلاعات را نشان می دهد.

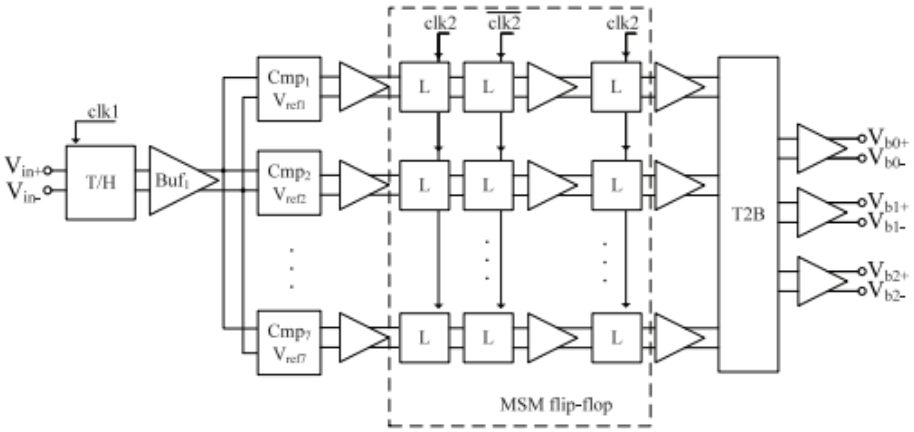

Fig. 1. ADC block diagram.

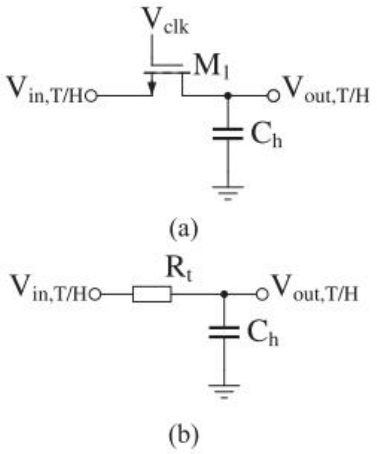

Fig. 2. (a) Basic SC T/H circuit. (b) T/H equivalent circuit during track phase.

سیگنال های خروجی باینری توسط تبدیل منطق دماسنجی به باینری (T2B) تولید شده اند.با استفاده ازفرآیند CMOS مدرن رسیدن به نرخ نمونه برداری ده ها گیگا هرتز با اندازه ساختار مدار در اندازه هزاران میکرومتر ممکن است.به دلیل اینکه دیگر اندازه مدار قابل اغماض نیست به طراحی RF از جمله شبیه سازی میدان مغناطیسی (EM) برای خطوط و سازه ها نیازاست.مراقبت ویژه ای برای گرفتن پهنای باند آنالوگ مواجه شده با بافر T/H و مقایسه گرها نیاز است. زمان هماهنگ سازی پس از مقایسه است که معمولا توسط یک فلیپ فلاپ اصلی-فرعی انجام می شود، که برای طراحی در فرکانس های ده ها گیگاهرتزبسیار چالش آفرین است. به منظور کاهش موثر زمان بازیابی، سه لچ و یک تقویت کننده در یک فلیپ فلاپ اصلی-فرعی-اصلی (MSM) ترکیب شده اند[15].

3. ملاحظات پهنای باند

نحوه عملکرد مدار در بالاترین سرعت نیاز به پهنای باند دقیق قابل توجه دارد.بیشترین نیاز درمرحله ورودی یک مدارT/H وپس از ان یک بافر است زیرا آنها در حوزه آنالوگ جایی که سیگنالها شامل زمان و اطلاعات دامنه می باشند کار می کنند.در حالیکه یک راه عمومی برای تعیین پهنای باند لازم توسط شبیه سازی ترانزیستور در حالت های پیچیده است ، این بخش معادلات کاربردی بر پایه مدل های ساده به منظور محاسبه پهنای باند هدف را ارائه می دهد.

A. مرحله TH

اساسی ترین توپولوژی یک خازن سوئیچ شده (SC)مدار T/H درشکل 2(b)نشان داده شده است.ترانزیستور M1 اتصال الکتریکی بین خروجی و ورودی مدار را کنترل می کند.در حالی که ورودی و خروجی در مرحله نگهداری فاز جدا شده اند و شارژ روی Ch حفظ شده است، اتصال الکتریکی در مرحله مسیر ایده آل باید یک اتصال کوتاه باشد.در این فاز امپدانس بین ورودی و خروجی به مقاومت درین-سورس M1 که بعنوان مقاومت Rt مدل شده است،بستگی دارد.

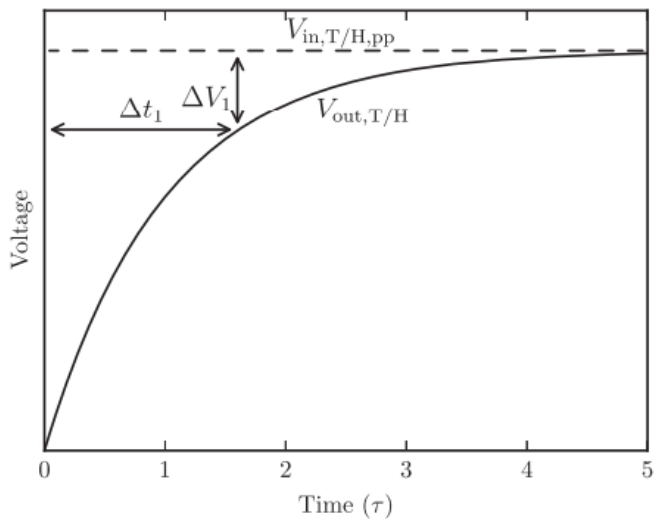

Fig. 3. Response of a T/H circuit in track mode to a step input, using the low-pass filter model of Fig. 2(b), as described by (1).

این باعث ایجاد یک فیلتر پایین گذر مرتبه اول بعنوان یک مدل ساده برای یک مدار SC T/H در حالت لبه می شود،همانطور که در شکل 2(b) نمایش داده شده است.برای فرکانس های ورودی نزدیک به فرکانس نایکوئیست ممکن است که دو ولتاژ متوالی نگهداشته شده در حداقل و حداکثر پوشش سیگنال ورودی باشند.در این مورد سیگنال خروجی مرحله T/H از مقدار حداقل تا حداکثر در یک دوره زمانی تغییرمی کند.این سناریو را می توان بایک مرحله از ورودی مرحله T/H با تقویت $V_{\mathbf{in,T/H,pp}}$، به مقدار peak-to-peak ولتاژ ورودی T/H مدل کرد.پاسخ نمایی همگرای مرحله مربوطه نسبت به مقدار مرحله ورودی $V_{\mathbf{in,T/H,pp}}$، که در شکل سه نشان داده شده است در زیر امده

$$V_{\mathrm{out,T/H}}(t) = V_{\mathrm{in,T/H,pp}} \cdot (1 - e^{-t/\tau_t}). \qquad (1)$$

در زمان - Δt_1 خروجی T/H به $V_{\mathrm{in,T/H,pp}} - \Delta V_1$ می رسد.از آنجایی که ما علاقمند به تغییر ولتاژ ورودی در یک دوره زمانی هستیم، - Δt_1 را بعنوان مدت زمان یک دوره تناوب تعریف می کنیم که نصف زمان نمونه برداری است f_s: $\Delta t_1 = 1/(2f_s)$. انحراف ΔV_1 در T/H باید کمتر یا برابر نصف حداقل بیت با ارزش (LSB) در ADC باشد،

$$\Delta V_1 \leq 0.5 \cdot \frac{V_{\mathrm{in,T/H,pp}}}{2^B} = \frac{V_{\mathrm{in,T/H,pp}}}{2^{B+1}}. \qquad (2)$$

Bتعداد بیت های ADC را نشان می دهد.تعریف - Δt_1 و ΔV_1 باهم در قسمت (1)حاشیه فرکانس لازم را برای مرحله T/H در حالت گذار می دهد

$$f_{3\ \mathrm{dB}} \geq \frac{f_s \cdot \ln\left(2^{B+1}\right)}{\pi}. \qquad (3)$$

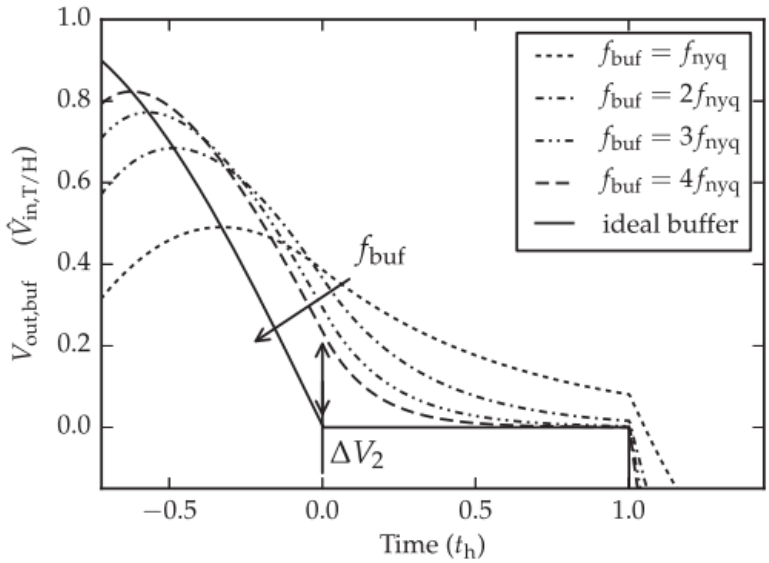

Fig. 4. Simulated output waveforms of buffers with different bandwidth, which are fed by an ideal T/H circuit. The T/H input signal frequency is close to the Nyquist frequency f_{nyq}. Low buffer bandwidths f_{buf} compromise the hold plateaus of the ideal T/H signal and thus defeat the purpose of the T/H stage.

به این معنی است که لازم است پهنای باند برای مرحله T/H از فرکانس نمونه برداری برای وضوح بیشتر از چهار بیت،بیشترباشد.برای ADC ارائه شده نرخ نمونه برداری $f_s = 24\ \mathrm{GHz}$ و تعداد بیت ها B=3 است،که در نتیجه پهنای باند لازم $f_{3\ \mathrm{dB}} = 21.2\ \mathrm{GHz}$ می باشد.

B. بافر T/H

به غیر از طراحی مرحله H/ T پهنای باند بافر بعدی نیز مهم به نظرمی رسد.برای این بافر رسیدن به پهنای باند بالا مشکل است زیرا تمامی مقایسه کننده هایی را که یک بار خازنی بزرگ را به وجود آورده اند را راه اندازی می کند.از سوی دیگر این بافر بطور خاصی مهم است زیرا اگر پهنای باند خیلی کم شود ممکن است که وضوح موثرADC کاهش یابد،همانطور که در [16] توضیح داده شده است.در حالیکه در دیگر طراحی ها به طور تجربی به این نقطه بحرانی اشاره شده و فقط گاهی اوقات نتایج مشخصات پهنای باند داده شده[17]، این بخش یک روش به منظور محاسبه پهنای باند مورد نیاز را شرح می دهد که می تواند برای شرح خصوصیات سطح سیستم بدون شبیه سازی وسیع استفاده شود.

دلیل اهمیت بافر در این است که فرکانس تولید شده توسط مرحله T/H در سطح نگهداشته شود.این کار توسط هارمونیک های مرتبه بالا انجام می شود.اگر رفتار فیلتر پایین گذر بافر در آن هارمونیک ها باشد سطوح به تناسب آن سازش میکند.این اثر در شکل 4 نشان داده شده است،که $V_{\mathrm{out,buf}}$ نمایش داده شده،سیگنال خروجی مرحله T/H ایده آل توسط بافر فیلتر شده است،که به عنوان فیلتر پایین گذر مرتبه اول با اختلاف زاویه فرکانسی f_{nyq} مدل شده اند. زاویه فرکانسی بین فرکانس نایکوئیست و چهار برابر فرکانس نایکوئیست متغیر است. بعلاوه پاسخ یک فیلتر ایده آل با پهنای باند نامحدود نشان داده شده است.سیگنال ورودی مرحله T/H ایده آل یک سیگنال فرکانسی سینوسی با دامنه $\hat{V}_{\mathrm{in,T/H}} = V_{\mathrm{in,T/H,pp}}/2$ است.در طی مسیر فاز، بافر ایده آل بطور کامل سیگنال خروجی مرحله T/H را دنبال می کند و شکل سینوسی سیگنال را حفظ می کند و دامنه $\hat{V}_{\mathrm{in,T/H}}$است.در زمان t=0

سیگنال خروجی بافر ایده آل ازشکل موج سینوسی حالت گذاربه سطح مسطح تغییر می کند.وابسته یه پهنای باند f_{buf} ، سیگنال های دیگر به زمان طولانی تری برای دنبال کردن سیگنال ایده آل نیاز دارند.

همانطور که می توان در مثال داده شده دید،بطور واضح پهنای باند $f_{\mathrm{buf}} = f_{\mathrm{nyq}}$ کافی نیست،زیرا سیگنال نتیجه در طی نگهداشتن فاز دیگر ثابت نیست وهدف مرحله T/H با شکست خورده است. سیگنال خروجی بافربرای $f_{\mathrm{buf}} = 2f_{\mathrm{nyq}}$ خطوطی است که درآن مقدار سیگنال از سطح مسطح نگهداشته شده ایده آل به انتهای فاز نگهداشته شده می رسد.تمامی پهنای باندهای قابل قبول بافر $(f_{\mathrm{buf}} > 2f_{\mathrm{nyq}})$ با سیگنال هایی مطابق هستند که تقریبا موازی با سیگنال ایده آل در شروع نگهداری فاز(شکل 4 در t=0) هستند به این معنا که آنها شیب یکسان دارند.تا زمانی که این تقریب حفظ شود،انحراف ولتاژ ΔV_2 را میتوان به عنوان نتیجه اختلاف فاز $\Delta\varphi$ بین سیگنال ایده آل و سیگنال خروجی بافر دانست،

$$\Delta V_2(t) \approx |\hat{V}_{\mathrm{in,T/H}} \cdot \sin(2\pi f t + \Delta\varphi) - \hat{V}_{\mathrm{in,T/H}} \cdot \sin(2\pi f t)|. \quad (4)$$

شیفت فاز $\Delta\varphi$،که توسط رفتار پایین گذر مرحله بافر تولید شده است،خیلی کوچکتر از 45° است زیرا زاویه فرکانس بافر f_{buf} از حداکثرسیگنال فرکانسی $f.\Delta\varphi$ خیلی بالاتر است میتوان به صورت زیر بیان کرد

$$\Delta\varphi = \arctan\left(\frac{f}{f_{\mathrm{buf}}}\right) \ll 45^\circ. \quad (5)$$

برای مقادیر کوچک $\Delta\varphi$ حداکثر ΔV_2 را داریم

$$t_{\max} = -\frac{\Delta\varphi}{4\pi f} \quad (6)$$

منجر به

$$\Delta V_{2,\max} = \Delta V_2(t = t_{\max}) = \left|2\hat{V}_{\mathrm{in,T/H}} \cdot \sin\left(\frac{\Delta\varphi}{2}\right)\right|. \quad (7)$$

در طی نگهداشتن فاز،سیگنال ورودی بافر در مقدار $V_{\mathrm{in,buf}}$ ثابت است و سیگنال خروجی $V_{\mathrm{out,buf}}(t)$ در طول زمان بصورت نمایی به این مقدار ثابت میرسد،در مبدا $V_{\mathrm{in,buf}} + \Delta V_2$ نگهداشتن فاز آغاز می شود.اگر نگهداشتن فاز در $t_{\max}$ شروع شود بیشترین انحراف اتفاق می افتد بنابراین $\Delta V_2 = \Delta V_{2,\max}$. در این مورد داریم،

$$\begin{aligned} & V_{\mathrm{out,buf}}(t - t_{\max}) - V_{\mathrm{in,buf}}(t_{\max}) \\ & = \Delta V_{2,\max} \cdot e^{-(t-t_{\max})/\tau_{\mathrm{buf}}} \\ & = |2\hat{V}_{\mathrm{in,T/H}} \cdot \sin\left(\frac{\Delta\varphi}{2}\right)| \cdot e^{-2\pi(t-t_{\max})f_{\mathrm{buf}}}. \end{aligned} \quad (8)$$

از آنجایی که هدف مدارT/H ثابت نگهداشتن ولتاژ خروجی در طی ثابت نگهداشتن فاز است لازم است که زمان t_c بعد از اینکه سیگنال تغییر کرد برای سایر فاز نگهداشته شده که می توان از آن غفلت کرد را تعریف کرد.فرض می کنیم که کمتر از یک دهم یک LSB ناچیز است در نتیجه

$$V_{\mathrm{out,buf}}(t - t_{\max} = t_c) - V_{\mathrm{in,buf}}(t_{\max}) = \frac{1}{10}\frac{2\hat{V}_{\mathrm{in,T/H}}}{2^B}. \quad (9)$$

حل برای بازده t_c

$$t_c = \frac{1}{2\pi f_{\mathrm{buf}}} \ln\left(10 \cdot 2^B \cdot \sin\left(\frac{1}{2}\Delta\varphi\right)\right). \quad (10)$$

با قرار دادن معادله (5) در (12) وباتوجه به تقریب کوچک زاویه برای هردوsin وarctan نتایج در نتیجه ساده شده

$$t_c \approx \frac{1}{2\pi f_{\mathrm{buf}}} \ln\left(5 \cdot 2^B \cdot \frac{f}{f_{\mathrm{buf}}}\right). \quad (11)$$

این در شکل (5) برای یک فرکانس سیگنال ورودیf=12GHz نشان داده شده است که فرکانس نایکوئست در 24Gs/s عمل می کند.وضوح B بین 3-6 بیت کج شده است.برای دستیابی به زمان نشست مطمعن، پهنای باند بالا لازم است زیرا دقت نشست افزایش میابد.تا زمانی که مقدار f_{buf} کوچک است، افزایش پهنای باند بافر به منظور کاهش زمان نشست بسیار موثراست،این مصالحه برای پهنای باند بالا بیشتر و بیشتر غیر کاربردی می شود.

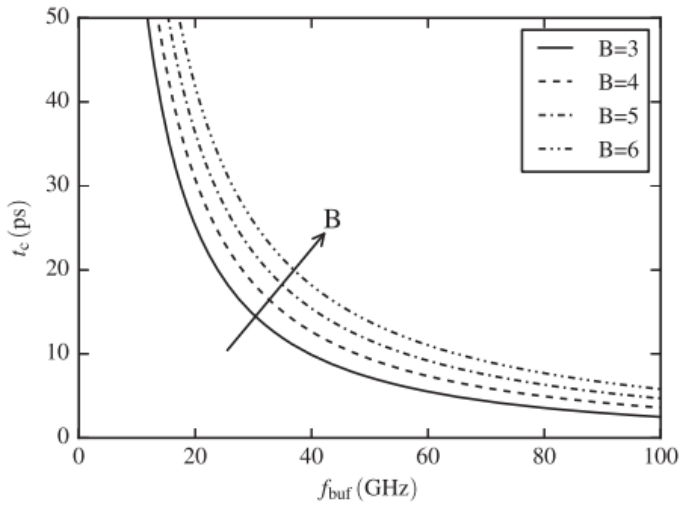

Fig. 5. Settling time at the output of the buffer versus buffer bandwidth f_{buf}, calculated using (11). The input signal frequency is $f = 12$ GHz, the number of bits B varies between 3 and 6.

پهنای باند لازم برای مبدل آنالوگ به دیجیتال سه بیتی 24Gs/s را میتوان توسط شکل 5 تعیین کرد.پهنای باند بافر زیر 20GHzمنجربه زمان نشست بزرگتر از 20Ps میشود ، که برای ADC ارائه شده با یک فاز نگهدار در مدت $t_H = 1/2f_s = 21\ \mathrm{ps}$ کافی نیست.زمان نشست لازم به پیاده سازی سیستم بستگی دارد ، اما مقدار آن درجهت نیمی از یک فاز نگهدار امکان پذیر است. این برابر $t_c = 10.5$ در این مورد است و برای ADC ارائه شده پهنای باند حداقل بافر 38GHz است

4. پیاده سازی مدار

A. ملاحظات اساسی

ADCارائه شده در فرآیند CMOSدیجیتال با توان پایین 28-nm طراحی شده است که ترانزیستور ولتاژشکست 1.1V را ارائه می دهد.فرکانس انتقالی و حداکثر فرکانس نوسانی فرایند برای ولتاژ 1.1V درین – سورس هر دو پیرامون 250GHz هستند و برای نقطه عملیاتی ولتاژ0.6V درین-سورس زیر 200GHz است.به منظور دستیابی به بالاترین نرخ نمونه برداری ، منبع منطق همراه (SCL) در تمامی مدار به کار گرفته شده است.مدارSCL تفاضلی است و برای بالاترین فرکانس عملیاتی مناسب است[18].علاوه بر این SCL در برابر نویز

سوئیچ منبع توان که CMOS منطقی مقدار بالایی تولید می کند قوی است.به منظور افزایش ولتاژ بایاس درین-سورس ترانزیستور و بهبود سرعت دیوایس، تراشه با دو منبع ولتاژ با دامنه ای در 1.4و1.75 ولت کار می کند.طراحی دقیق SCL تضمین می کند که هیچ ترانزیستوری بیش از ولتاژ شکست تعیین شده اش نباشد.دامنه 1.75 ولت فقط برای کلاک مرحله بافر که THA را راه اندازی می کند استفاده می شود بنابراین ولتاژگیت زیاد می تواند برای کنترل THA عرضه شود.

B. مرحله T/H

مرحله T/H مبدل آنالوگ به دیجیتال ارائه شده یک مدار SC تفاضلی با حذف تغذیه کلاک است [20] (شکل 6).خازن نگهداری C_h لازم به نرخ نمونه برداری و وضوح ADC بستگی دارد. اندازه آن باعث اختلال در پهنای باند [21]، [22]،افتادگی، نویز حرارتی [23]، و اتصال سیگنال میشود.گره هایی که C_h به آنها متصل است نیز توسط خازن های پارازیتی در ورودی بافر و سیمکشی بارگذاری می شوند.

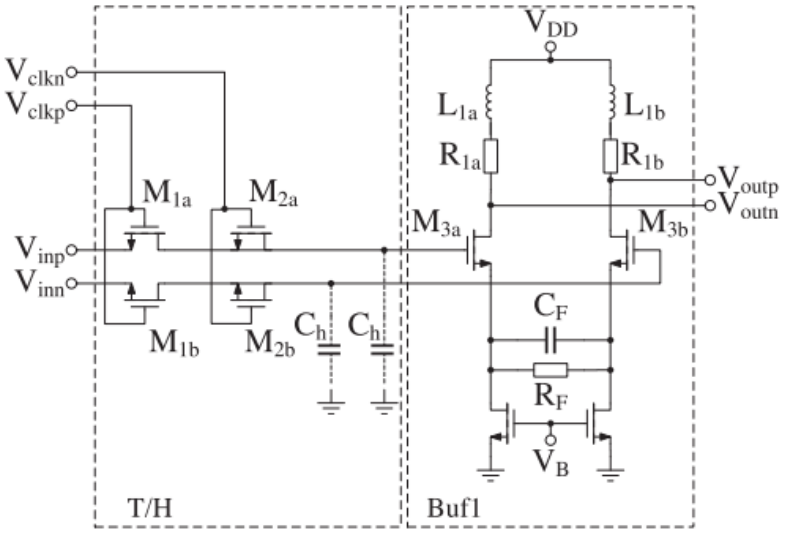

Fig. 6. T/H stage and buffer.

پیاده سازی C_h مورد نیاز با خازن فلز-عایق-فلز (MIM) رویکرد محافظه کارانه ای است [21],[24],[25].متناوبا میتوان خازن های پارازیتی را نیز در نظر گرفت بنابراین C_h شامل خازن MIM و

پارازیتی است که اندازه خازن MIM را کاهش می دهد[26].باتوجه به نرخ نمونه برداری بالا و وضوح پایین ADC ارائه شده خازن های پارازیتی و روش استفاده شده کافی است[27]، که برای C_h اجزای خازن فیزیکی وجود ندارد،اما منحصرا به خازن های پارازیتی متکی است.مقاومت درین-سورس $M_{1a,b}$، $r_{DS,M1a,b}$ ، با اتصال بین ورودی مدار و بافر پس از آن تعریف می شود،بنابراین مقاومتR1 تولید می شود، که در مدل T/H در شکل 2.(b) تولید شده است.ولتاژ گیت-سورس $V_{GS,M1a,b}$ مقاومت $r_{DS,M1a,b}$ را کنترل می کند، به این معنی که برای مدار پیاده سازی شده مقاومت $r_{DS,M1a,b}$ با ولتاژ ورودی تغییر میکند،

$$r_{DS,M1a,b} \propto \frac{1}{V_{GS,M1a,b} - V_{th}}. \qquad (12)$$

برای ولتاژهای ورودی بزرگ ، V_{GS} کاهش میابد و r_{DS} افزایش میابد، در نتیجه پهنای باند مدار T/H کوچکتر می شود. مرحله T/Hدر بدترین شرایط برای پهنای باند حالت گذار 30GHz طراحی شده است که هنوز از حداقل پهنای باند لازم $f_{3\ dB} = 21.2\ GHz$ بیشتر است، مطابق با (3).

C. بافرT/H

همانطور که در بخش III-B داشتیم، پهنای باند 38GHz برای دستیابی به زمان نشست $t_c = 10.5\ ps$ در خروجی بافر T/H لازم است. بعلاوه حاشیه طراحی بافر پیاده سازی شده برای پهنای باند $f_{buf} = 45\ GHz$ بیش از حد است در نتیجه زمان نشست طبق (11) برابر $t_c = 8.4\ ps$ میشود. شکل 7 شکل موج عمومی مدار T/H شبیه سازی شده ددر سطح ترانزیستورو بافر را در تغییرات بین فازهای T/H نشان می دهد.در فرکانس $f_{in} = 11.8125\ GHz$ و نرخ نمونه برداری $f_s = 24\ GS/s$ شبیه سازی شده و رفتار نزدیک به فرکانس نایکوئیست آن شرح داده شده است. زمان نشست شبیه سازی شده 7.7Ps است که برای مقدار محاسبه شده 8.4Ps بسیار مناسب است.

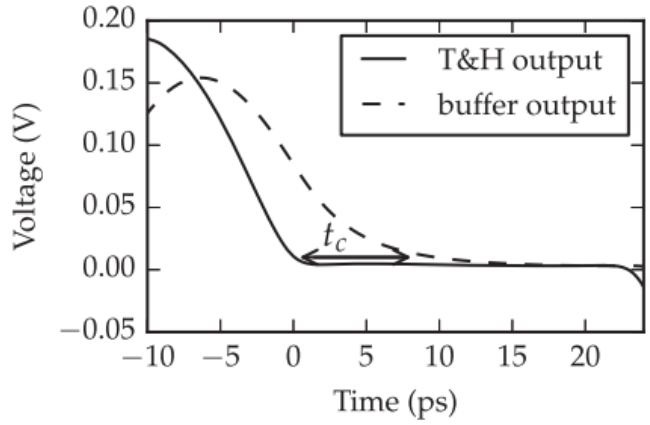

Fig. 7. Simulated transistor-level waveforms at the output of the T/H stage and the subsequent buffer.

به منظور دستیابی به پهنای باند $f_{\mathbf{buf}} = 45$ GHz ، سلف $L_{\mathbf{1a,b}} = 200$ pH با دونقطه اوج بکار گرفته شده است.مقاومت فیدیک R_F 80 اهمی به منظور افزایش خطی بودن استاتیکی مرحله بافر مورد نیازاست.یک خازن 110Ff یک جفت قطب_صفر تولید می کند که به افزایش پهنای باند بافر کمک می کند.از آن جایی که زاویه فرکانس $C_F R_F$ بالاتر از فرکانس نایکوئیست است،مزایای بافر از بهبود خطی در طی نگهداشتن فاز حتی اگر C_F در بازخورد مقاومت در فرکانس های بالا اتصال یابد.

$$f_{RC1} = \frac{1}{2\pi C_F R_F} = 18 \text{ GHz} > \frac{f_s}{2}. \qquad (13)$$

D. مقایسه کننده ها و جبران آفست

درتوپولوژی مبدل آنالوگ به دیجیتال فلش برای مجموعه ای از مقایسه کننده ها به منظور همزمان سازی مقایسه سیگنال های ورودی از منابع ولتاژ مختلف استفاده شده ، همانطور که بلوک دیاگرام ADC در شکل 1 نشان داده شده است.انحراف ناشی از عدم تطابق دیوایس در مولد منبع ولتاژ ، همچنین در مدار مقایسه کننده بطور مستقیم ناخطینگی ایستای ناچیزی رادر مشخصه های انتقالیADC تولید میکند، که به ناخطینگی تجمعی(INL) و ناخطینگی تفاضلی (DNL) اشاره دارد.مبدل های آنالوگ به دیجیتال کلاسیک از تقسیم نردبانی ولتاژ مقاومت برای

ایجاد منبع ولتاژ لازم استفاده میکند[13] .از آنجایی که دست کشیدن از محاسبه فرآیند تصلدفی عدم انطباق امکان پذیرنیست،روش های متفاوتی برای کاهش ناخطینگی ایستا با در نظر گرفتن تنظیم پذیری جبران آفست نشان داده شده است.در حالیکه [28] یک مدار درجه بندی به یک مقاومت نردبانی برای تولید ولتاژ لازم می افزاید،[12]،[17]،[29] از یک ADC روی یک تراشه استفاده می کنند.هم چنین مقاومت های اضافی روی تراشه به منظور افزایش محدوده درجه بندی هستند.در حالیکه این روش ها به طور موثر می توانند ناخطینگی استاتیکی را از بین ببرند،هم چنین آنها نیاز بیشتر به شدت جریان برق و پیچیدگی سیستم را افزایش میدهند.ADC ارائه شده به شش منبع ولتاژمختلف برای هفت مقایسه کننده تفاضلی احتیاج دارد، که برای وضوح سه بیت مورد نیاز می باشند.توسط ترکیب تک انتهایی به مدار تبدیل داخل هر مقایسه گر،می توان تعداد ولتاژهای مختلف را به نصف یعنی 7 رساند.این امکان ایجاد منبع ولتاژ خارج از تراشه را آشکار می کند،درحالیکه هنوز یک روش روان و موثربرای محاسبه تمامی مسائل غیر خطی که رخ میدهد را به سادگی بیان میکند.

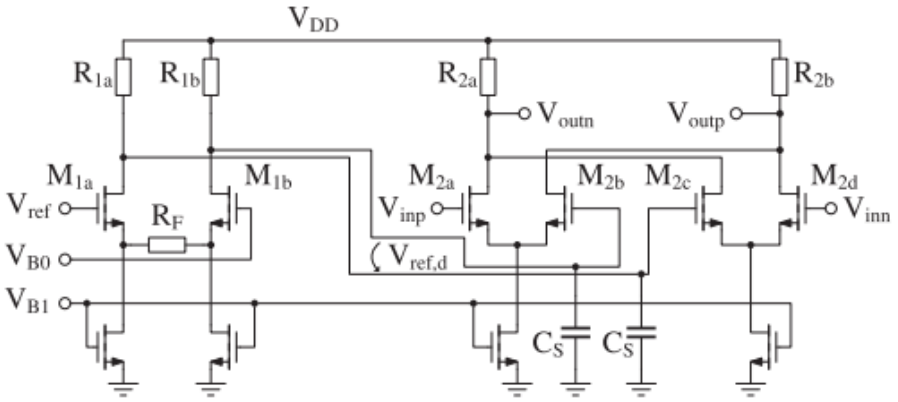

Fig. 8. Employed comparator circuit.

پیاده سازی مدار تفاضلی مقایسه کننده در شکل 8 به تصویرکشیده شده است.منبع ولتاژdc تک انتها $V_{\mathbf{ref}}$خارج از تراشه ایجاد شده و توسط یم رابط سیمی به تراشه عرضه می شود.هرمقایسه گر SCL از یک منبع تفاضلی سیگنال،که از نسخه تک انتهایی حاصل می شود استفاده می کند.جفت تفاضلی متشکل از $M_{\mathbf{1a,b}}$ است که توسط مقاومت بازخورد یک کیلو اهم بازیابی می شود،که به منظور تنظیم ولتاژ خروجی تفاضلی در محدوده +_500mv

برای ولتاژ ورودی V_{ref} بین 820mv و 1.18v برای ولتاژ بایاس $V_{B0} = 1.0\ \mathrm{V}$ هدایت می شود. خازن های تثبیت C_S منحصرا برای جداسازی منبع ولتاژتفاضلی $V_{\mathrm{ref,d}}$ از ولتاژ ورودی استفاده می شوند،در حالیکه ناحیه موثر قادر به ادغام خازن ها داخل نقشه سلول مقایسه گر است،مقدار500Ff برای خازن کافی است.به منظور حفظ V_{ref} از ریز موج های روی منبع ولتاژیامنبع ولتاژتک انتهایی،یک شبکه جداگانه توزیع ولتاژdc بصورت جداگانه که خطوط صفراهم را به کار می گیرد استفاده شده است.این طراحی در بخش $\mathrm{IV\text{-}H}$ توضیح داده شده است.

E. لچ ها

پیاده سازی مدار لچ در شکل 9 نشان داده شده است.درحالیکه ترانزیستور $M_{2\mathrm{a,b}}$ رفتار فاز لچ را کنترل می کند، $M_{3\mathrm{a,b}}$ مسئول بهبود فاز احیا کننده است،که توسط بازخورد متقابل همراه بین دو ترانیزستورمیرسد. $M_{1\mathrm{a,b}}$ به عنوان بافر و شیقت دهنده سطح برای سیگنال کلاک V_{clk} خدمت می کند.ولتاژبایاس V_B میتواند برای تنظیم گین بافر استفاده شود.

F. مولدکلاک

تهیه بلوک های مدار آنالوگ با سیکنال های کلاک در سرعت بالا یک وظیفه چالش آفرین است[16].ADC به دوسیگنال کلاک در نرخ نمونه برداری کامل متکی است،یکی برای لچ ها و یکی برای مدار T/H.ساختار هر دو مولد کلاک یکسان است.آنها متشکل از یک بالان فعال و دو مرحله گین هستند، تمامی طراحی ها در SCL با نقطه اوج قیاس شده برای پهنای باند استاندارد هستند.یک شبکه ولتاژ dc بر پایه خطوط صفر اهم به منظور جلوگیری از تداخل توسط منبع ولتاژ بین کلاک و شدت پردازش داده ها در هسته ADC استفاده شده است.

G. تبدیل منطقی کد دماسنجی به باینری

بلوک مدار قبلی در مسیر سیگنال قبل از خروجی بافر تبدیل منطقی دماسنجی به باینری است که سیگنال خروجی باینری با سرعت کامل تولید می کند.این کار بر اساس ساختار ارائه شده در[31] است،که فقط به گیت های منطقی OR و NAND نیاز است و می تواند از خطاهای حبابی ساده جلوگیری کند.گیت های منطقی در توپولوژی SCL طراحی شده اند.مرحله بافر با تاخیر زمانی نزدیک به آن گیت های NAND و OR اضافه شده است که تاخیر تبدیل منطقی برای تمامی بیت های خروجی یکسان است.نتیجه بلوک دیاگرام در شکل 10 نشان داده شده است.

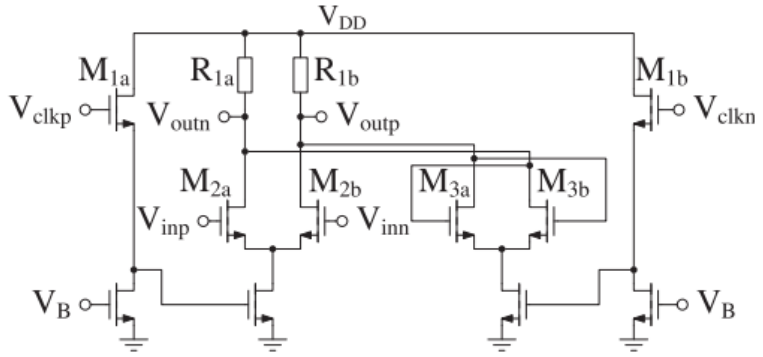

Fig. 9. Employed latch.

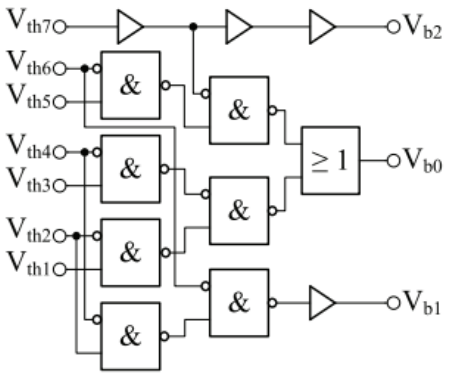

Fig. 10. Thermometer to binary conversion logic.

H. توزیع ولتاژ DC

توزیع ولتاژDC نمود مهمی از طراحی مدار مجتمع در فرکانس هایی در محدوده گیگاهرتز دارد.این به طرح مدار نزدیک است زیرا اغلب بار خازن های جداشده استفاده شده بخش قابل توجهی از ناحیه تراشه را اشغال می

کند.خازن های جدا برای ثبات ولتاژ DC روی تراشه نیاز است، که از منبع خارجی توسط سیم به مدار عرضه شده است.هدف داشتن ولتاژ واضح بدون هیچ اجزاء فرکانس بالا در شکل خوشه یا موج است.علاوه بر این ،تداخل بین مدارهای مختلف مانع از عرضه دامنه ولتاژ میشود.هر دو جنبه که سیگنال های فرکانس بالای کوتاه هستند می تواند با خازن های بزرگ جداشده تلاقی شوند. مشکل در تحقق عملی این است که خازن در هر شکل یک فرکانس رزونانس همراه با یک سری سلف است و هیچ جدایی یا تثبیت دراین فرکانس صورت نمی گیزد.این سلف برای مثال میتواند از رابط باند سیمی تولید شود.خازن های بزرگ به راحتی می توانند فرکانس رزونانس را به داخل ناحیه حرکت دهند،که بری عملکرد مدار مهم است.محدوده عواقب احتمالی از افزایش تداخل غیر عمدی عملکرد مدارهمانند نوسان است.استفاده از خطوط صفر اهم یک روش متفاوت توزیع ولتاژ dc است[32].خازن هایی که ازفلز_اکسید_فلز (MOM) تشکیل شده اند برای شکل دهی خطوط انتقالی موج پایین امپدانس استفاده می شوند.ساختار ارائه شده سیگنال فرکانس بالای میرا کار جدا سازی خازن ها را انجام می دهتد.آنها را می توان با کمک حل کننده میدان EM مدل کرد و با خطوط انتقالی باپیش بینی رفتار مورد انتظار شبیه سازی کرد.آنها به سیگنال رزونانس اندوکتانس های سری حساس نیستند.علاوه براین،پیاده سازی اتصالdc بلوک های مختلف مدار با خطوط صفراهم یک جداسازی خوب را بین آن بلوک ها جهت جلوگیری از تداخل ارائه می دهد.روش خط صفر اهم برای تمامی ولتاژهای dc عرضه شده که شامل ولتاژ تغذیه و ولتاژ مرجع است استفاده می شود.مراقبت های ویژه ای برای جلوگیری از تداخل ولتاژهای مرجع متفاوت مقایسه کننده ها و جداسازی ولتاژdc مدار کلاک از سخت افزار پردازش داده ها انجام شده است.

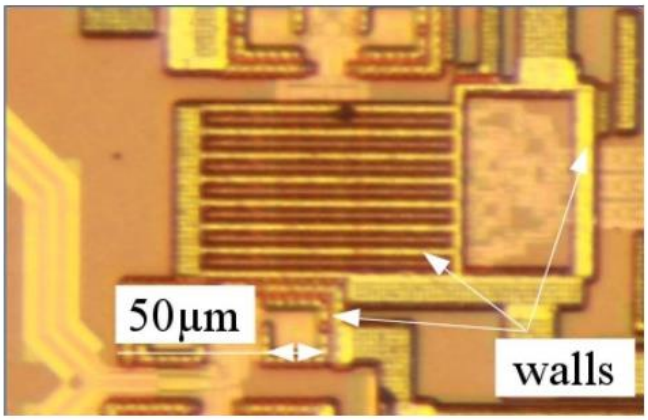

Fig. 11. ADC core area. Massive metal walls are used to guarantee the required metal density.

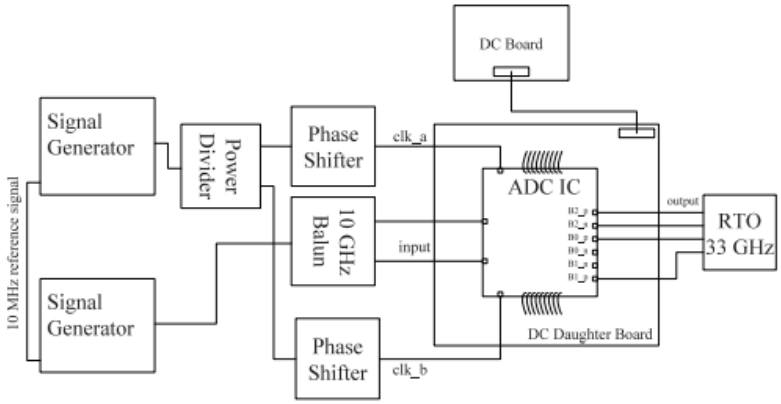

Fig. 12. Measurement setup.

I. ملاحظات طراحی

قوانین طراحی در فرآیند CMOS بشدت کوچک محدودیت بیشتری در طراحی RF در بر خواهد داشت.یکی از عوامل مهم چگالی مورد نیاز فلز است،که برای ناحیه در تکنولوژی داده شده 20٪ است.یک راه برای جلوگیری از ساختار پرکردن فلز داخل ساختارRF بحرانی همتنند خطوط انتقال ،سلف ها،یا مرحله افزایش RF ،کاهش اندازه اجزائ زیر 50 میکرومتر و احاطه کردن آنها با ساختار پرکردن فلز است.درنتیجه حداکثراندازه سلف استفاده شده 35 میکرومتراست.بلوک های مداردر ناحیه هسته ADC توسط دیوار فلزی عظیم به منظور تکمیل چگالی لازم بدون افزایش خازنهای پارازیتی داخل بلوک های مدار به علت ساختار پرکردن فلزی احاطه شده است(شکل 11).

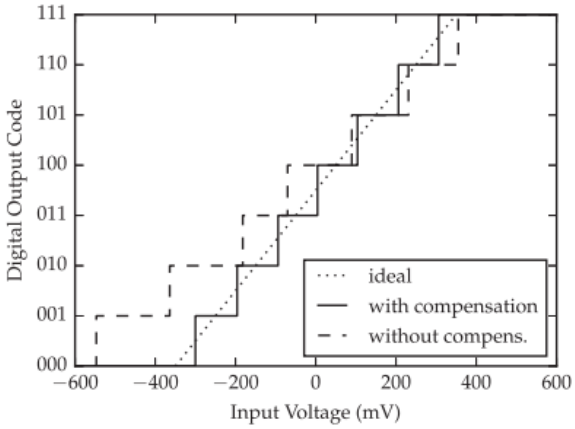

Fig. 13. Measured static transfer characteristics with and without dc offset compensation.

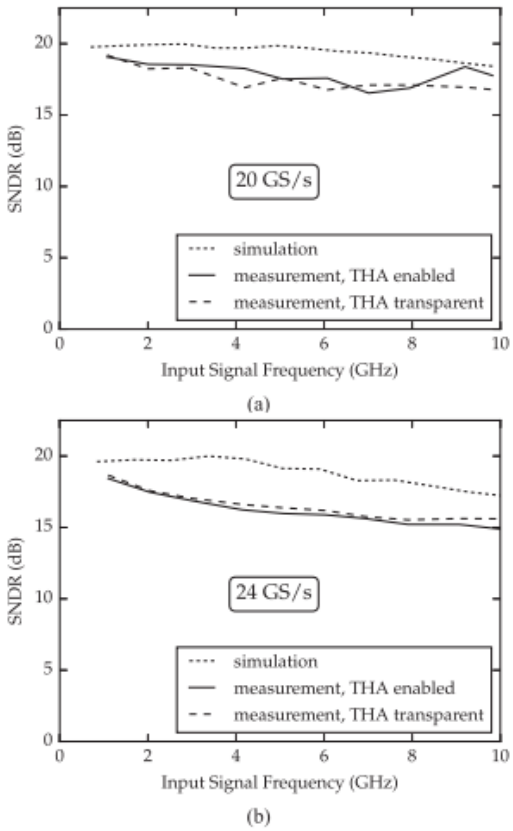

Fig. 14. Simulated and measured SNDR at different sampling rates. (a) 20GS/s. (b) 24 GS/s.

5. اندازه گیری ها

A. راه اندازی اندازه گیری

ADCارائه شده با راه اندازی اندازه گیری هیبریدی مشخص شده است،که باعث استفاده از رابط سیمی و پروب روی تراشه می شود همتنطور که در شکل 12 نشان داده شده است.در حالیکه همه سیگنال های ورودی و خروجی با استفاده از پروب متصل شده اند،منبع تغذیه dc و کنترل ولتاژ بر روی یک برد مدار چاپی dc (PCB) تولید شده اند و توسط یک رابط سیمی به PCB عرضه شده است.ازیک بالان خارج از تراشه به منظور تولید سیگنال ورودی تفاضلی از یک منبع تک انتهایی استفاده شده است.که پهنای باند خود را از 10GHz حداکثر فرکانس ورودی برای راه اندازی این آزمون محدود می کند.دو سیگنال کلاک از منبع سیگنال در ترکیب با یک راه انداز توان و دو شیفت دهنده ی فاز ایجاد شده است،که حداکثر دقت اندازه گیری و انعطاف پذیری را تضمین می کند.خروجی سیگنال ها بایک اسیلوسکوپ زمان حقیقی(RTO) تصویر برداری شده است،که چهار کانال با GHZ_33 پهنای باند ورودی پیشنهاد شده است.بنابراین می توان خروجی تک انتهایی تمام بیت هارا بطور همزمان ارزیابی کرد.

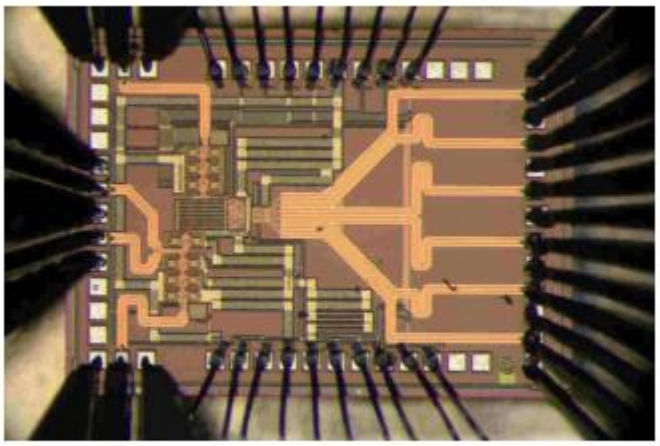

Fig. 15. Chip photograph.

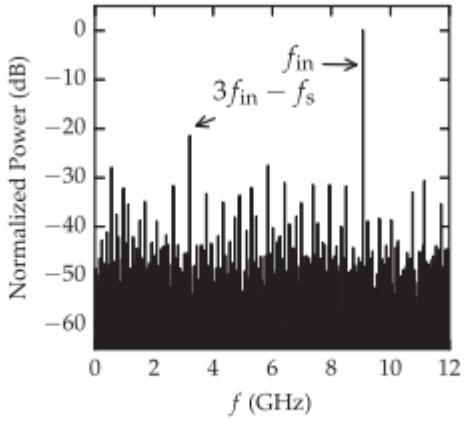

Fig. 16. Measured FFT of the ADC output for a 9.1-GHz input signal sampled at 24 GS/s.

B. نتایج تجربی

رفتار استاتیکی ADC ارائه شده در شکل 13 نشان داده شده است.هدف دامنه ولتآژ تفاضلی پیک تو پیک 800 میلی ولت است.بدون جبران آفست برای منبع ولتاژdc ، انحراف بزرگ از تابع انتقال استاتیکی ایده آل قابل رویت است.0.8از DNL مربوطه تاثیر قابل توجهی بر عملکرد مدار دارد.برای محاسبه آن،محور خطی جبران آفست بصورت خودکار در راه اندازی مدار استفاده شده است.میتوان با راه اندازی یک کنترل خطی بر روی یک PC اختصاصی به سیگنال های ورودی مبدل آنالوگ به دیجیتال RTO در خروجی،هم چنین برد dc به منظور تعیین و قرار دادن ضریب جبران برای منبع ولتاژ dc بصورت خودکار دسترسی پیدا کرد.این کار باعث کاهش DNL زیر 0.05 می شود که در رفتار استاتیکی بطور کامل نمایش داده شده.

TABLE I
PERFORMANCE COMPARISON TO STATE-OF-THE-ART ADCs ABOVE 10 GS/s

	Year	f_s (GHz)	ENOB @f_{in}	f_{in} (GHz)	P (W)	cores	$f_{s,1core}$ (GHz)	A (mm^2)	FOM (pJ/conv.-step)	latency* (ps)	Technology
[33]	2014	20	3.7	10	1.0	1	20	0.6	3.9	100	SiGe 130 nm
[16]	2009	35	3.0	11	4.5	1	35		16.1	57	SiGe 180 nm
[34]	2009	20	4.0	10	4.8	1	20		15.0	100	SiGe 130 nm
[10]	2014	90	5.2	20	0.7	64	1.4	0.5	0.2	1429	CMOS 32 nm SOI
[17]	2013	10	5.0	5	0.2	4	2.6	0.3	0.7	777	CMOS 40 nm GP
[35]	2014	14	3.5	3	0.2	1	14	0.1	1.3	143	CMOS 90 nm
[36]	2011	36	2.2	15	2.6	4	9	0.2	15.7	222	CMOS 65 nm
This Work		24	2.2	10	0.4	1	24	0.1	3.6	83	CMOS 28 nm LP

* to estimate the latency, 2-cycle conversions have been assumed for all listed ADCs

به منظور شرح کارایی دینامیکی ADC،نرخ سیگنال یه نویز و اعوجاج (SNDR) در شکل 14 رسم شده است.برای نرخ نمونه برداری 20 و Gs/s24 در مقایسه با مقدار شبیه سازی شده اندازه گیری شده است.اندازه گیری ها برای عملکرد نرمال هم چنین برای مرحله THA شفاف ، به این معنی که سیگنال کلاک THA بطور مداوم بالااست،گرفته شده است.برای هر نقطه داده،قدرت منبع سیگنال به منظور جبران رفتار فرکانس بالان ورودی تنظیم شده است،که در فرکانس های بالا به اندازه کافی با 50 اهم تطابق ندارد.شبیه سازی برای ADC سه بیتی پیش بینی میکند که مقادیر SNDR نزدیک به 20Gs/s حداکثر 20dB باش.نتایج اندازه گیری ها برای یک SNDR تضعیف شده حداقل17dB،اعوجاج بالای کمی را نشان می دهد.مقادیر SNDR هر دو در 24Gs/s شبیه سازی و اندازه گیری شده است که در فرکانس ورودی بالا کاهش میابند.بعلاوه در مقایسه با 20_Gs اختلاف بین شبیه سازی و اندازه گیری افزایش میابد.حداقل SNDR ندازه گیری شده برای هردومورد آزمون THA ، 15dB است، که مطابق با تعداد بیت موثر (ENOB)2.2 است،همانطور که در [14] برای همان سخت افزار ارائه شده است.حتی اگر هیچ مزیت قابل مشاهده ای برای مدار THA نباشد، حضور یک THA کاربردی راهی برای معتدل سازی زمان در دسترس باشد. شکل 16 تبدیل فوریه سریع (FFT) خروجی یک مبدل دیجیتال در یک سیگنال 9.1GHz که در 24Gs/s نمونه برداری شده است را نشان می دهد.

تصویر تراشه در شکل 15 راه اندازی هیبریدی را نشان می دهد.اندازه هسته فلش بدون سلف 0.06mm2 است.بعلت کلاک بافر مجبور به استفاده از سلف هستیم که کل فضای اشغال شده به 0.12mm2 افزایش می یابد.کل فضای گرفته شده 2.4 میلی متر مربع است.

جدول عملکرد ADC ارائه شده را با ADC های بالای 10Gs/s درصنعت مقایسه می کند.جدول به دو گروه جدا می شود،که شامل پیاده سازی مبدل آنالوگ به دیجیتال CMOS و ADC هایی در تکنولوژی نیمه هادی SiGe است.در حالیکه مدار SIGe به نرخ نمونه برداری تک هسته ای $f_{s,1core}$ بالا دسترسی دارد،اما آنها تحمل توان بالایی را متحمل می شوند و مضرات واضحی دارند که نمی توانند باهم تنها در یک تراشه با مدار دیجیتال مقیاس بزرگ بصورت مجتمع استفاده شوند.برای مبدل ها آنالوگ به دیجیتال CMOS،مخصوصا در اجرا که نقش سنگینی

در زمان جایگذاری بیت و استفاده از کارایی بالا یا فرآیند SOI CMOS دارد، مصالحه خوبی بین کارایی و توان بدست می آید که برای درجه شایستگی Wolden (FOM) عددکمی را نشان می دهد[12].از آنجایی که ADC ارائه شده زمان جایگذاری بیت را در نظر نگرفته،نرخ نمونه برداری تک هسته ای بالا تر از پیاده سازی جایگذاری شده بانرخ نمونه برداری قابل مقلیسه است.این بالاترین نرخ نمونه برداری با بهترین دانش ما در CMOS است و در تکنولوژی CMOS کم هزینه و کم توان پیاده سازی شده است.به منظور سنجش حالت صنعتی ADC که بر پایه عکلکرد هسته سیگنال طراحی شده،یک FOM که حالت های عملکرد هسته را بدون تاثیر جایگذاری زمان بیان می کند.FOM یک هسته ای از سیستم ADC جایگذاری شده بهتر است به این علت که اتلاف توان در جایگذاری زیاد است.بر اساس ارقام داده شده در [10] برای تمامی سیستم های مبدل آنالوگ به دیجیتال با جایگذاری زمان اتلاف توان بالای 25٪ است.

$$FOM_{single} = \begin{cases} 0.75 \cdot FOM, & \text{for interleaved ADCs} \\ FOM, & \text{for non-interleaved ADCs.} \end{cases} \quad (14)$$

شکل 17 عملکرد تک هسته ای را نشان می دهد.این شکل نرخ نمونه برداری و FOM خوب برای ADC ارائه شده نشان می دهد.

ADC ارائه شده می تواند به فرکانس نمونه برداری خیلی بالا دست یابد اگر با زمان جایگذاری بیت متوسط تر کیب شود در حالیکه تاخیر کمی دارد. مقایسه ابعاد تاخیر بین ورودی و خروجی ، دو دوره تبدیل برای تمامی ADC ها در نظر گرفته شده است.نتایج تاخیر در جدولI نشان داده شده و ADC ارائه شده برتر است.

6. نتیجه گیری

یک مبدل آنالوگ به دیجیتال تک هسته ای سه بیتی در CMOS دیجیتال LP ارائه شده است،که به نرخ نمونه برداری بالای 24Gs/s بدون جاگذاری زمانی دست یافته است.این نتیجه طراحی ایی است که هدف آن در یک ADC تک هسته ای بالاترین نرخ نمونه برداری ممکن است.به منظور رسیدن به این هدف پهنای باند لازم برای

مراحل ورودی ADC بررسی شده است و با معادلات ساده ریاضی برای پیاده سازی موثر مدار مورد ارزیابی قرار گرفته است.بیشترین نرخ نمونه برداری تک هسته ای در CMOS است که تا به حال گزارش شده است،ADC ارائه شده ارتباط با توان عملیاتی بالای داده ها و زمان تاخیر کم را قادر می سازد و راه را برای نرخ نمونه برداری فوق العاده بالا با استفاده از زمان جاگذاری بیت متوسط هموار می سازد.

REFERENCES

[1] D. Fritsche, C. Carta, and F. Ellinger, “A broadband 200 GHz amplifier with 17 dB gain and 18 mW DC power consumption 0.13 m SiGe BiCMOS,” IEEE Microw. Wireless Compon. Lett., vol. 24, no. 11, pp. 790–792, Nov. 2014.

[2] L. Kull et al., “A 3.1 mW 8 b 1.2 GS/s single-channel asynchronous SAR ADC with alternate comparators for enhanced speed in 32 nm digital SOI CMOS,” IEEE J. Solid-State Circuits, vol. 48, no. 12, pp. 3049–3058, Dec. 2013.

[3] C.-H. Chan, Y. Zhu, S.-W. Sin, S.-P. U, R. Martins, and F. Maloberti, “A 5 bit 1.25 GS/s 4 capacitive-folding flash ADC in 65 nm CMOS,” IEEE J. Solid-State Circuits, vol. 48, no. 9, pp. 2154–2169, Sep. 2013.

[4] P. Harpe, B. Busze, K. Philips, and H. de Groot, “A 0.47–1.6 mW 5 bit 0.5–1 GS/s time-interleaved SAR ADC for low-power UWB radios,” IEEE J. Solid-State Circuits, vol. 47, no. 7, pp. 1594–1602, Jul. 2012.

[5] B. Verbruggen, J. Craninckx, M. Kuijk, P. Wambacq, and G. V. der Plas, “A 2.6 mW 6 b 2.2 GS/s 4-times interleaved fully dynamic pipelined ADC in 40 nm digital CMOS,” in Int. Solid-State Circuits Conf., 2010, pp. 296–297.

[6] L. Kull et al., “A 35 mW 8 b 8.8 GS/s SAR ADC with low-power capacitive reference buffers in 32 nm Digital SOI CMOS,” in VLSI Circuits Symp., 2013, pp. 260–261.

[7] E. Tabasy, A. Shafik, K. Lee, S. Hoyos, and S. Palermo, “A 6 b 10 GS/s TI-SAR ADC with embedded 2-tap FFE/1-tap DFE in 65 nm CMOS,” in VLSI Circuits Symp., 2013, pp. 274–275.

[8] J. Wu et al., “A 5.4 GS/s 12 b 500 mW pipeline ADC in 28 nm CMOS,” in VLSI Circuits Symp., 2013, pp. 92–93.

[9] B. Razavi, “Design considerations for interleaved ADCs,” IEEE J. Solid-State Circuits, vol. 48, no. 8, pp. 1806–1817, Aug. 2013.

[10] L. Kull et al., “A 90 GS/s 8 b 667 mW 64 interleaved SAR ADC in 32 nm digital SOI CMOS,” in Int. Solid-State Circuits Conf., 2014, pp. 378–379.

[11] M. Chu, P. Jacob, J.-W. Kim, M. LeRoy, R. Kraft, and J. McDonald, “A 40 Gs/s time interleaved ADC using SiGe BiCMOS technology,” IEEE J. Solid-State Circuits, vol. 45, no. 2, pp. 380–390, Feb. 2010.

[12] M. El-Chammas and B. Murmann, “A 12 GS/s 81 mW 5 bit time-interleaved flash ADC with background timing skew calibration,” IEEE J. Solid-State Circuits, vol. 46, no. 4, pp. 838–847, Apr. 2011.

[13] B. Razavi, Principles of Data Conversion System Design. New York, NY, USA: Wiley, 1994.

[14] G. Tretter, M. Khafaji, D. Fritsche, C. Carta, and F. Ellinger, “A 24 GS/s single-core flash ADC with 3 Bit resolution in 28 nm low-power digital CMOS,” in IEEE Radio Freq. Integr. Circuits Symp., May 2015, pp. 347–350.

[15] W. Cheng et al., “A 3 b 40 GS/s ADC–DAC in 0.12 m SiGe,” in Int. Solid-State Circuits Conf., 2004, pp. 262–263.

[16] S. Shahramian, S. Voinigescu, and A. Carusone, “A 35 GS/s, 4 Bit flash ADC with active data and clock distribution trees,” IEEE J. Solid-State Circuits, vol. 44, no. 6, pp. 1709–1720, Jun. 2009.

[17] A. Varzaghani et al., “A 10.3 GS/s, 6 Bit flash ADC for 10G ethernet applications,” IEEE J. Solid-State Circuits, vol. 48, no. 12, pp. 3038–3048, Dec. 2013.

[18] P. Heydari and R. Mohanavelu, “Design of ultrahigh-speed low-voltage CMOS CML buffers and latches,” IEEE Trans. Very Large Scale Integr. (VLSI) Syst., vol. 12, no. 10, pp. 1081–1093, Oct. 2004.
[19] M. Alioto and G. Palumbo, “Design strategies for source coupled logic gates,” IEEE Trans. Circuits Syst. I, Fundam. Theory Appl., vol. 50, no. 5, pp. 640–654, May 2003.
[20] G. Tretter, D. Fritsche, C. Carta, and F. Ellinger, “10 GS/s track and hold circuit in 28 nm CMOS,” in Int. Dresden–Grenoble Semicond. Conf., 2013, pp. 1–4.
[21] D. Mattos et al., “An 8 Gsps, 65 nm CMOS wideband track-and-hold,” in Int. New Circuits Syst. Conf., 2011, pp. 321–324.
[22] G. Tretter, D. Fritsche, C. Carta, and F. Ellinger, “Enhancing the input bandwidth of CMOS track and hold amplifiers,” in Int. Microw., Radar, Wireless Commun. Conf., 2014, pp. 1–4.
[23] B. Sedighi, A. Huynh, and E. Skafidas, “A CMOS track-and-hold circuit with beyond 30 GHz input bandwidth,” in IEEE Int. Electron., Circuits. Syst. Conf., 2012, pp. 113–116.
[24] D. Cascella, F. Cannone, G. Avitabile, and G. Coviello, “A 2.5 GS/s 62 dB THD SiGe track-and-hold amplifier with feedthrough cancellation technique,” in IEEE Int. Electron., Circuits, Syst. Conf., 2012, pp. 109–112.
[25] X. Li, W.-M. L. Kuo, Y. Lu, R. Krithivasan, J. Cressler, and A. Joseph, “A 5 bit, 18 GS/sec SiGe HBT track-and-hold amplifier,” in Compound Semicond. Integr. Circuit Symp., 2005.
[26] S. Shahramian, S. Voinigescu, and A. Carusone, “A 30 GS/sec track and hold amplifier in 0.13 m CMOS technology,” in IEEE Custom Integr. Circuits Conf., 2006, pp. 493–496.
[27] H.-L. Chen, S.-C. Cheng, and B.-W. Chen, “A 5 GS/s 46 dBc SFDR track and hold amplifier,” in Int. Intell. Signal Process. Commun. Syst. Symp., 2012, pp. 636–639.
[28] D. Ferenci, M. Groezing, F. Lang, and M. Berroth, “A 3 bit 20 GS/s flash ADC in 65 nm low power CMOS technology,” in IEEE Eur. Microw. Integr. Circuits Conf., 2010, pp. 214–217.
[29] J. Lee and Y.-K. Chen, “A 50 GS/s 5 b ADC in 0.18 m SiGe BiCMOS,” in IEEE MTT-S Int. Microw. Symp. Dig., 2010, pp. 900–903.
[30] S. Park, Y. Palaskas, and M. Flynn, “A 4 GS/s 4 bit flash ADC in 0.18 m CMOS,” IEEE J. Solid-State Circuits, vol. 42, no. 9, pp. 1865–1872, Sep. 2007.
[31] Y.-J. Chuang, H.-H. Ou, and B.-D. Liu, “A novel bubble tolerant thermometer-to-binary encoder for flash A/D converter,” in Int. VLSI Design, Automat., Test Symp., 2005, pp. 315–318.
[32] G. Tretter, D. Fritsche, C. Carta, and F. Ellinger, “Zero-ohm transmission lines for millimeter-wave circuits in 28 nm digital CMOS,” Electron. Lett., vol. 51, no. 11, pp. 845–847, 2015.
[33] P. Ritter, S. Le Tual, B. Allard, and M. Möller, “Design considerations for a 6 bit 20 GS/s SiGe BiCMOS flash ADC without track-and-hold,” IEEE J. Solid-State Circuits, vol. 49, no. 9, pp. 1886–1894, Sep. 2014.
[34] R. Kertis et al., “A 20 GS/s 5-bit SiGe BiCMOS dual-nyquist flash ADC with sampling capability up to 35 GS/s featuring offset corrected exclusive-or comparators,” IEEE J. Solid-State Circuits, vol. 44, no. 9, pp. 2295–2311, Sep. 2009.
[35] H.-C. Hong, Y.-S. Chen, and W.-C. Fang, “14 GSps four-bit noninterleaved data converter pair in 90 nm CMOS with built-in eye diagram testability,” IEEE Trans. Very Large Scale Integr. (VLSI) Syst., vol. 22, pp. 1238–1247, Oct. 2013.
[36] D. Ferenci, S. Mauch, M. Grözing, F. Lang, and M. Berroth, “A 3 bit 36 GS/s flash ADC in 65 nm low power CMOS technology,” in Int. Integr. Circuits Symp., 2011, pp. 344–347.