

تاثیر مقیاس پذیری فناوری در کمبود قدرت سلول های استاندارد دیجیتال CMOS در مقیاس نانو

چکیدہ

تخمین کمبود یک گام مهم در جریان طراحی دیجیتال با تکنولوژی نانو است. درحالی که دادههای قابل اعتماد بر روند کمبود فن آوری CMOS در دستگاههای مستقل و مدارها وجود دارد، فقدان نتایج عمومی در اثر مقیاس پذیری در کمبود مصرف برق برای مجموعه استاندارد سلولی کامل است. تجزیه و تحلیلی بر روی کتابخانه سلول استاندارد بااستفاده از بر آورد سطح منطق مدل، که توسط مقایسه SPICE BSIM لپشتیبانی شده است ارائه می کنیم. افزایش سرعت مدل سطح منطق برروی SPICE > 10³ با متوسط دقت خطای زیر 1٪ است. بنابراین تاثیر مقیاس پذیری را در کل مجموعه سلولی استاندارد با توجه به مکانیزمهای مختلف کمبود (زیر آستانه، بدنه، گیت) بنا به وابستگی الگوی ورودی گسترش می دهیم. در حالی که کمبود بدنه به نظر غالب می رسد، انتظار می رود کمبود زیر آستانه بیش از دیگر قطعات مقیاس پذیری افزایش یابد. اطلاعات دقیق از کل تجزیه و تحلیل برای استفاده در بیشتر تحقیقات در مورد طراحی دیجیتال گزارش شده است.

كليدواژهها: CMO ، مقياس پذيرى، سلول استاندارد، كمبود زير آستانه، كمبود Gate، كمبود محل اتصال

1. معرفی

به طور کلی، اتلاف توان در مدارات دیجیتال می تواند در دو جزء مختلف گروه بندی شود:

 1. قدرت پویا – ناشی از جریانهای مورد نیاز برای شارژ و تخلیه بار خازن در طول سوئیچینگ سیگنال و جریان اتصال کوتاه در معابر زمانی که هر دو بهطور همزمان به شبکه Pull-Up و PULL-DOWN می شوند.
 2. قدرت استاتیک – زمانی رخ می دهد که حتی اگر هیچ انتقال سیگنالی با توجه به کمبود جریان در دستگاه وجود

نداشته باشد.

کمبودجریان به شیوهای پیچیده بر روی خواص ساختار دستگاه مانند دوپینگ مشخصات، ضخامت اکسید، ابعاد کانال و غیره بستگی دارد، همانگونه که آنها به دلایل مختلف فیزیکی مانند گیت اکسید تونل، انتقال زیرآستانه و معکوس بایاس انتقال محل اتصال بستگی دارد. همانند استراتژی فناوری بین المللی برای نیمههادیها (ITRS) برای روند تلفات توان با توجه به پیشرفت تکنولوژی، تلفات استاتیک قدرت در CMOS نیز انتظار میرود که بیش از توان تلفات پویا باشد [5]. هانگونه که شکل 1 نشان می دهد توان پویا منبع غالب اتلاف انرژی در سالهای گذشته بوده است، در حالیکه کمبود اکسید تون تلفات بویا باشد [5]. هانگونه که شکل. 1 نشان میدهد توان پویا منبع غالب اتلاف انرژی در سالهای گذشته بوده است، در حالیکه کمبود اکسید تون تلفات پویا باشد [5]. هانگونه که شکل. 1 نشان میدهد توان پویا منبع غالب اتلاف انرژی در سالهای گذشته بوده است، در حال حاضر قابل مقایسه است و حتی از کمبود زیرآستانه و کمبود اتصال پیشی گرفته است، در حالیکه کمبود اکسید گیت توسط معرفی دی الکتریک بالای K

بهعنوان یک نتیجه، کمبود روشهای کاهش طراحی سطح مانند انتخاب الگوی ورودی [2]، تحویل و بایاس ولتاژ بدنه [7،9]، ترانزیستور خواب و آستانه دوتایی [15] ارائه شده است، همزمان برآورد فعلی کمبود، یک گام مهم و فزایندهای در طراحی جریان برای پیشبینی اثربخشی روش اعمال شده، همچنین بهدلیل وابستگی بسیار بالای کمبود جریان در تغییرات پارامتر تکنولوژی است [7،15].

مقیاس پذیری فن آوری، بنا به تقاضای بازار توابع بیشتری را در مدارات مجتمع می طلبد، به همین خاطر تعداد ترانزیستور و فرکانس عامل افزایش یافته است. بااین حال، مقیاس پذیری همواره موجب ترویج ناخواسته اتلاف انرژی به دلایلی مختلفی شده است. به عنوان مثال، کوچک سازی طول کانال اثرات کانال را کاهش می دهد، که باعث افزایش زیرآستانه فعلی؛ مقیاس گذاری ضخامت جریان اکسید گیت و تاثیر گذاری در ولتاژ آستانه که در حال افزایش زیرآستانه است [19]. در نهایت، نه تنها ولتاژ حرارتی (A / KT) بلکه سیلیکون نیز با مقیاس پذیری تغییر می یابد. ولتاژ ثابت حرارتی، در غیرمقیاس پذیری معکوس شیب ولتاژ زیرآستانه نتیجه شده است در حالی که باند سیلیکون ثابت از شکاف درغیرمقیاس پذیری و در محل اتصال بالقوه و عرض لایه تخلیه ساخته شده است. بنابراین تراکم ترانزیستور، قابلیت و سرعت مقیاس پذیری تکنولوژی از یک سو افزایش یافته است. میاس پذیری تکنولوژی از یک سو افزایش یافته است.

در چنین مواقعی، ارزیابی واضح تاثیر مقیاس پذیری بر رفتار قدرت کمبود و ترکیب، در یک کتابخانه سلولی کامل، نه در دستگاهها یا مدارهای جدا شده و ساده آزمون از منافع بزرگ است. برآورد زود هنگام و دقیق جریان کمبود در جریان طراحی برای در نظر گرفتن گرفتن اقدامات متقابل مبتنی بر فنآوری و مبتنی بر طراحی با ارزش است. برآورد جریان نشتی در سطح SPICE نتایج دقیق را تضمین می کند، اما برآورد جریان نشتی در مدارهای یکپارچه (IC) با پیچیدگی بالا/متوسط و حتی کمتر عملی نیست از زمانی که تکرار مونت کارلو برای تجزیه وتحلیل آماری اثرات تغییرات تکنولوژی بر نشت جریان مورد نیاز قرار گرفت. علاوه بر این، شبیه سازی سطح SPICE اجازه نمی دهد که یک تمایز ساده در میان کمکهای مختلف منابع فیزیکی نشت در یک IC پیچیده وجود داشته باشد، که یک تعریف روشنی از اقدام متقابل مبادلات است. از سوی دیگر، مدل های برآورد سطح منطق را می توان برای محاسبات سریع تر استفاده کرد. است، که می تواند قبل از اجرای مدار طراحی [10.13.1] به کار برده شود. تکنیک ارائه شده در [1] یک رویکرد در است، که می تواند قبل از اجرای مدار طراحی [10.13.1] به کار برده شود. تکنیک ارائه شده در [1] یک رویکرد در مدل سازی جریانهای نشتی در سطح منطق الطا ارائه می کند، که قادر است دقت بسیار خوبی به دست آورد و به همان اندازه برای فنآوری های نشتی در سطح منطق را می توان برای محاسبات سریع تر استفاده کرد.

این کار، تجزیهوتحلیلی از جریانهای نشتی محاسبه شده برای یک کتابخانه سلول استاندارد کلی ارائه میکند هنگامی که مقیاس پذیری تکنولوژی CMOS، تأییدی در سطح SPICE از نتایج به دست آمده گزارش میکند. ما تاثیر جریانهای نشتی با فنآوریهای مقیاس پذیر از فنآوری 45 نانومتر به 32 نانومتر و 22 نانومتر (جدول 1) را تحلیل میکنیم.



شكل 1: روند تلفات منابع اصلى قدرت در ترانزيستور نانو CMOS. (همانند[23] با اقتباس از [5].)

Parameter	45 nm	32 nm	22 nm
Threshold voltage (V	th0)		
PMOS	-0.23122	-0.24123	-0.25399
NMOS	0.3423	0.3558	0.3692
Channel doping cond	entration (NDEP)		
PMOS	2.3e18	3.5e18	4.4e18
NMOS	6.5e18	8.7e18	1.2e19
Low field mobility (L	JO)		
PMOS	0.00391	0.00306	0.0023
NMOS	0.02947	0.0238	0.0181
Source-drain junction	n depth (Xj)		
PMOS	1.4e-008	1.008e-008	7.2e-009
NMOS	1.4e-008	1e-008	7.2e-009
Electrical oxide thick	ness (toxe)		
PMOS	9.2e-010	7.7e-010	6.7e-010
NMOS	9.0e-010	7.5e – 010	6.5e-010
Physical oxide thickn	less (toxp)		
PMOS	6.5e-010	5.0e-010	4.0e-010
NMOS	6.5e-010	5.0e-010	4.0e-010

جدول 1: مقادیر پارامتر در گره سه تکنولوژی استفاده شده

با استفاده از قابلیتهای مدل موجود در [1]، تاثیر تکنولوژی مقیاس پذیری را به طور جداگانه در سه جزء اصلی نشت به عنوان مثال نشست Gate، نشت زیر آستانه و نشت اتصال، از جمله الگوی ورودی وابستگی و اثرات انباشتگی تا سه انباشتگی تا سه MOSFET نشان می دهیم. بار گذاری اثر را نیز می توان در فن آوری داده شده آزمایشهای ما گنجاند که تاثیر کلی آن نامر تبط است. مقاله به شرح زیر ساختار بندی شده است: در بخش 2، شش مدل فعلی نشت از تلفات توان از نظر مدل محاسبه نشت و پیاده سازی است. فعلی نشت از تلفات مده آزمایشهای ما گنجاند که ما تشیر کلی آن نامر تبط است. مقاله به شرح زیر ساختار بندی شده است: در بخش 2، شش مدل فعلی نشت از تلفات توان از نظر مدل محاسبه نشت و پیاده سازی استفاده مده را مورد بحش و پیاده ازی استفاده توان از نظر مدل محاسبه نشت و پیاده سازی استان از می در انتان از طریق SPICE و SPICE و SPIC همراه با خطای بین آنها در

سه فن آوری مقیاس پذیر برای همه الگوهای ورودی در 16 سلول استاندارد بیان می کند. بخش 5 به تجزیه و تحلیل وابسته به ترکیب ورودی از سه نشست بزرگ قطعات در سه فن آوری مقیاس پذیر برای 16 سلول اختصاص داده شده است، در بخش 6 نتیجه گیری بیان شده است.

2. بررسی مکانیسمهای نشت در فن آوریهای مقیاس پذیر

در فن آوری CMOS با مقیاس نانو، شش مکانیسم نشت برای کمک به کل تلفات توان استاتیک شناسایی شده است [15]، همان طور که در شکل 2 نشان داده شده است. در حال حاضر شش مکانیزم نشت به شرح زیر است (برای -N MOS نشان داده شده است):

معکوس جریان بایاس اتصال و تونل زنی باند به باند (I₁): تخلیه/ جریان بایاس معکوس منبع متصل به PN در هر دو حالت روشن و خاموش رخ میدهد. وقتی پایانههای ترانزیستور در ولتاژهای بالا قرار گیرند، دیودهای پارازیتی به شدت به حالت روشن و میکوس مده و در نتیجه منجر به ایجاد یک جریان اتصال بایاس معکوس مدل شده در [4] 4BSIM به شرح زیر می گردد:

$$I_{junc} = \mu_0 C_{ox} \frac{W}{L_{eff}} V_{therm}^2 e^{1.8} \tag{1}$$

 L_{eff} من که در آن μ_0 تحرک بایاس صفر است، C_{ox} خازن اکسید گیت است در واحد سطح، W عرض دستگاه، L_{eff} من که در آن μ_0 ترانزیستور و V_{therm} ولتاژ حرارتی [21] است. تونلزنی باند به باند (BTBT) با توجه به تخلیه دیود رخ می دهد، BTBT عمیقا در ناحیه بین تخلیه اکسید گیت و محل اتصال تخلیه جای می گیرد. اگر برق موجود بهاندازه کافی بزرگ باشد فاصله تونلزنی از انتقال ظرفیت نوار تخلیه / بستر دیود تجاوز می کند، بنابراین یک جریان از منطقه می وشانی بزرگ باشد فاصله تونلزنی از انتقال ظرفیت نوار تخلیه / بستر دیود تجاوز می کند، بنابراین یک جریان از منطقه می وشانی تخلیه گیت به می وشانی تخلیه آتصال در حال افزایش است، و به می وشانی تخلیه گیت به بستر دیود تجاوز می کند، بنابراین یک جریان از منطقه می وشانی تخلیه گیت به بستر جریان می یابد.

$$J_{BTBT} = A \frac{EV_R}{\sqrt{E_g}} \exp\left(-B \frac{E_g^{3/2}}{E}\right)$$
(2)

که در آن $J_{
m BTBT}$ چگالی جریان است، A و B حامل موثر جرم ثابت وابسته هستند ، E میدان الکتریکی در سراسر اتصال است، $V_{
m R}$ ولتاژ اعمالی در سراسر اتصال است و $E_{
m g}$ شکاف باند در اتصال است.



شكل 2: مكانيسم نشت در ترانزيستور نانو CMOS [16].

معرفی اخیر BTBT در BTBT گزارش شده است [14]. جریانهای زیرآستانه (I₂): درحال حاضر زیرآستانه با توجه به جریان انتشار حامل اقلیت جریان از طریق بستر از طریق منبع، در حالت خاموش اتفاق میافتد. زیرآستانه (1) با کاهش ولتاژ آستانه، (2) با کاهش طول کانال فنآوری بهعنوان مثال فناوری مقیاس پذیر، (3) با درجه حرارت، (4) با اثرات کانال کوتاه و (5) با مانع ناشی از تخلیه کاهنده (DIBL) درحال افزایش است.



شکل 3: جریان وابسته حالت ترمینال از نشتیهای مختلف (برای دستگاه NMOS نشان داده شده است).



شکل A: مدارهای ولتاژ گره داخلی برای دو دستگاه انباشته نوع N و دو نوع P (تنها یک گره داخلی).



شکل 5: مدارهای ولتاژ گره داخلی برای سه دستگاه انباشته نوع N و دو نوع P (دو گره داخلی). پشته NMOS بر این اساس در نظر گرفته شده است.

بنابراین، اثر زیرآستانه یکی از منابع تسلط نشت قدرت در دستگاههای مدرن نانو CMOS است. مدل BSIM جریان زیرآستانه برای DIBL را به شرح زیر محاسبه می کند [4]:

$$I_{Sub-Vt} = I_{junc} \left[1 - \exp\left(\frac{-V_{DS}}{V_{therm}}\right) \right] \exp\left(\frac{V_{GS} - V_{th} - V_{off}}{nV_{therm}}\right)$$
(3)

به طوری که I_{junc} محل اتصال معکوس جریان است، V_{DS} تخلیه ولتاژ منبع اعمال شده است، V_{GS} ولتاژ منبع گیت DIBL محل اتصال شده است، BSIM داخلی و V_{off و U_{off }} آفست ولتاژ محاسبه شده توسط SIM داخلی و DIBL اعمال شده است، V_{th}

در ولتاژ آستانه است. تخلیه ناشی از سد کاهنده (DIBL) یک نتیجه مستقیم از مجاورت فیزیکی منبع و تخلیه مناطق در نانو CMOS است.

تونلزنی از طریق و به گیت اکسید (I₃): تونلزنی الکتریکی از طریق و به گیت اکسید رخ میدهد هنگامی که برق بالا با ضخامت اکسید کم ترکیب میشود (در نمونه 45 نانومتر فنآوری، t_{ox} = 1.4 nm)، بنابراین جریان قابل ملاحظه ای به/ از ترمینال گیت عبور می کند. در گره تکنولوژی 65 نانومتر و یا بالاتر، تاثیر آن نسبتا کوچک است، اما با طول کانال 45 نانومتر و پایین تر، اثر آن شدیدتر می شود و حتی ممکن است از جریان های زیر آستانه پیش بیافتد.

در درجه اول مکانیسم میتواند به Nordheim-Fowler و تونلزنی مستقیم تقسیم شود [15،18]. تزریق حامل گرم از بستر به اکسید گیت (I₄): داغ تزریق حامل از بستر به گیت با توجه به میدانهای الکتریکی بالا در منطقه همپوشانی گیت تخلیه جدا از جریان GIDL اتفاق میافتد. در میدانهای الکتریکی بالا، الکترونها بهاندازه کافی پرانرژی هستند بهعنوان مثال، برای غلبه بر ارتفاع مانع از اکسید و عبور از گیت بهاندازه کافی گرم هستند. تزریق حامل داغ میتواند در هر دو حالت روشن و خاموش رخ دهد. این جریان در BSIM به صورت زیر محاسبه میشود [4]:

$$I_{5} = \frac{ALPHA0 + ALPHA1 \ L_{eff}}{L_{eff}}$$

$$(V_{DS} - V_{DSeff}) \exp\left(\frac{BETA0}{V_{DS} - V_{DSeff}}\right) I_{dsNoSCBE}$$
(4)

که در آن ALPHA₁ ، ALPHA₀ و BETA پارامترهای مدل، V_{DSeff} محاسبه ولتاژ داخلی تخلیه منبع برای داشتن گذری از لامپ سه قطبی به منطقه اشباع و I_{dsNoSCBE} تخلیه جریان منبع است.

گیت ناشی از نشت تخلیه (GIDL) (I₅) (I₅). مقیاس پذیری در ضخامت اکسید در میدانهای الکتریکی بالا در منطقه اکسید گیت حتی با ولتاژ کوچک به کار برده شده در نزدیکی محل اتصال تخلیه نتیجه می شود [20،16،24]. با میدان الکتریکی به اندازه کافی بالا، یک جفت الکترون-حفره می تواند در منطقه هم پوشانی تخلیه گیت تولید شده و در حالی که اکثریت حامل در منطقه تخلیه شدت ترکیب می شود، اقلیت حامل در بستر تولید یک جریان GIDL قرار گیرند. GIDL در حالت خاموش رخ می دهد. معادله زیر نشان دهنده محاسبات BSIM برای جریان GIDL [4] است:

$$I_{GIDKL} = AGIDL.W_{effCJ}N_f \frac{V_{DS} - V_{GS} - EGIDL}{3T_{ox}}$$
$$exp\left(-\frac{3.BGIDL.T_{ox}}{V_{DS} - V_{GS} - EGIDL}\right) \frac{V_{DB}^3}{CGIDL V_{DB}^3}$$
(5)

که در آن CGIDL ،BGIDL ،AGIDL و EGIDL پارامترهای مدل به دست آمده از طریق دادههای تجربی هستند، WeffCI عرض موثر انتشار و N_F به تعداد انگشتان دست در دستگاه است.

از طریق Punch (I₆)؛ درحالحاضر این روش نزدیکی فیزیکی از منبع و خروجی در مقیاس پذیری CMOS است [19]. هنگامیکه مناطق تخلیه / بستر (اتصال p-n) و منبع / بستر (اتصال p-n) به یکدیگر می سند به عنوان نتیجه یک مسیر بین آنها برقرار می شود و در نتیجه Punch از طریق جریان جاری و در خارج از حالت رخ می دهد. در مدارات دیجیتال زیر 65 نانومتر گره تکنولوژی، اتصال جریان معکوس بایاس (I₁)، جریانهای زیرآستانه (I₂) و نشت گیت (I₃) منابع غالب نشت [11] و تمرکز برآورد/ تکنیکهای کاهش هستند. این منابع نشتی برای برآورد جداگانه هر مورد رفتار متفاوتی دارند که بسیار مهم هستند. در تجزیهوتحلیل ما، جریان GIDL و جریان از طریق Punch بهعنوان جریانهای زیرآستانه درنظر گرفته می شوند. جریان گیت به دلیل تزریق حامل داغ بیش از نشت گیت کمک کرده است.

شکل. 3 جریان اجزای عمده نشت زیرآستانه، گیت و نشت بدنه در ترانزیستور NMOS بسته به حالتهای ورودی (NMOS در off NMOS) را نشان میدهد:

- هنگامی که NMOS خاموش است و پایانههای زهکشی و منبع در ولتاژهای متفاوت پشتیبانی می شوند:
 - نشت زیرآستانه، از تخلیه به ترمینال منبع.
 - · گیت نشت، از تخلیه به ترمینال گیت.
 - نشت بدنه، از تخلیه به ترمینال بستر.
 - هنگامی که NMOS روشن است و پایانههای زهکشی و منبع در ولتاژ یکسانی قرار دارند:
 - · نشت گیت، از گیت به پایانه تخلیه و منبع جریان مییابد.
 - نشت بدنه، از گیت به ترمینال جریان می یابد.



شكل 6: سلول استاندارد دو ورودى (NAND، NAND، و AND2 و 2XOR).

دو تاثیر ویژه وجود دارد که میتواند جریان نشت در ترانزیستور را تغییر دهد: اثر انباشتن و اثر بارگذاری. پیشین زمانی رخ میدهد که ترانزیستور در یک اتصال تخلیه منبع انباشته شده باشد و تمام اجزای نشت را بهدلیل تغییر قابل توجه در ولتاژ داخلی بهشدت تحت تاثیر قرار میدهد.

جدول 2: الگوی نشتی وابسته در سلولهای تک و دو ورودی. مقادیر در NA

Standard cell name	Signal	45 nm	Technolo	gy	32 nm 1	Technolo	gy	22 nm	Technolo	gy	Body b	ias. 45 ni	n tec.	Body b	as. 32 ni	m tec	Body b	ias. 22 ni	n tec
	pattern	SPICE	VHDL	Er %	SPICE	VHDL	Er %	SPICE	VHDL	Er %	SPICE	VHDL	Er %	SPICE	VHDL	Er %	SPICE	VHDL	Er %
NOT	0 1 Aver.	34.47 39.77 37.12	34.48 39.78 37.13	0.01 0.03 0.02	39.88 44.61 42.25	39.89 44.63 42.26	0.02 0.05 0.04	45.49 50.85 48.17	45.51 50.90 48.21	0.05 0.10 0.08	30.35 29.82 30.09	30.30 29.94 30.12	0.17 0.38 0.10	33.87 33.67 33.77	33.80 33.73 33.76	0.18 0.15 0.02	36.89 37.68 37.28	36.87 37.98 37.43	-0.04 0.80 0.38
2-Input NAND gate	00 01 10 11 Aver.	57.63 38.55 72.27 107.07 68.88	57.61 38.78 72.31 107.15 68.96	-0.04 0.58 0.07 0.07 0.12	66.82 43.73 85.66 124.00 80.05	66.82 44.31 85.75 124.14 80.26	0.00 1.31 0.11 0.11 0.25	72.09 46.87 96.93 144.01 89.97	72.10 47.67 97.13 144.32 90.30	0.01 1.67 0.21 0.22 0.37	55.43 63.61 31.97 87.51 59.63	55.33 63.82 32.56 87.46 59.79	0.18 0.34 1.83 0.06 0.28	61.81 73.61 35.57 102.48 68.37	61.76 74.21 36.09 102.39 68.61	0.09 0.82 1.43 0.09 0.36	65.08 38.08 81.47 118.76 75.85	65.07 38.07 82.33 118.56 76.01	0.02 0.02 1.04 0.17 0.21
2-Input NOR gate	00 01 10 11 Aver.	123.14 123.29 55.59 37.92 84.98	123.23 123.69 55.65 37.71 85.07	0.08 0.32 0.11 - 0.56 0.10	147.40 145.01 59.30 40.19 97.97	147.58 145.74 59.31 39.97 98.15	0.12 0.50 0.03 -0.54 0.18	171.77 171.71 62.80 38.66 111.23	172.16 173.44 62.96 38.42 111.74	0.23 1.00 0.26 - 0.63 0.46	113.10 38.93 100.94 35.83 72.20	113.03 39.82 100.91 35.39 72.29	0.07 2.25 0.03 1.26 0.12	130.00 42.80 116.61 38.63 82.01	129.87 43.07 116.57 38.42 81.98	0.10 0.61 0.03 0.55 0.03	146.27 45.89 135.89 37.56 91.40	146.02 45.78 135.38 37.56 91.18	0.17 0.24 0.38 0.01 0.24
2-Input AND gate	00 01 10 11 Aver.	97.49 78.49 112.24 141.54 107.44	97.39 78.56 112.10 141.62 107.42	-0.11 0.09 -0.12 0.06 -0.02	111.60 88.63 130.62 163.89 123.69	111.55 88.12 130.38 164.03 123.52	- 0.05 - 0.58 - 0.19 0.09 - 0.13	123.26 98.29 148.53 189.55 139.91	123.00 98.57 148.03 189.83 139.86	-0.22 0.28 -0.34 0.15 -0.04	85.27 61.51 93.45 117.36 89.40	85.32 62.59 93.85 117.75 89.88	0.06 1.72 0.43 0.33 0.53	95.29 69.05 107.09 135.01 101.61	95.58 69.97 108.11 136.16 102.46	0.31 1.31 0.95 0.85 0.83	102.76 75.75 119.15 153.76 112.86	103.26 76.37 120.70 155.41 113.93	0.48 0.81 1.28 1.06 0.95
2-Input XOR gate	00 01 10 11 Aver.	276.10 239.23 239.26 285.80 260.09	270.88 238.78 239.41 281.50 257.64	- 1.92 - 0.19 0.06 - 1.53 - 0.95	320.16 281.41 281.50 328.02 302.77	317.30 280.04 281.75 326.78 301.47	- 0.90 - 0.49 0.09 - 0.38 - 0.43	370.50 320.67 320.89 377.96 347.51	370.03 318.94 321.32 380.81 347.78	- 0.13 - 0.54 0.13 0.75 0.08	227.79 207.91 207.91 225.82 217.36	229.33 208.98 208.98 228.09 218.85	0.67 0.51 0.51 1.00 0.68	260.06 238.84 238.84 259.35 249.28	262.91 239.98 239.99 261.85 251.18	1.08 0.47 0.48 0.96 0.76	296.80 266.60 266.60 298.33 282.08	299.08 267.33 267.38 299.40 283.30	0.76 0.27 0.29 0.36 0.43

حالت دوم زمانی رخ میدهد که نشت گیت یک سلول توسط سلولهای دیگر مانند القاء اختلاف ولتاژ $\Delta \, v$ در ترمینال خروجی از سلول رانده شود، در نتیجه بر هر دو نشت مؤثر است. در مدارهای پیچیده نشان داده شده است که تاثیر آن در مقایسه با اثرات مثبت و منفی در سلولهای مختلف، تجمعی نیست [17،11].

3. مدل محاسبه نشت

تمام خصوصیات براساس تحلیل انجام شدهی ما در سطح SPICE با استفاده از مدل کانال کوتاه IGFET (BSIM) [4] با 45 نانومتر، 32 نانومتر و 22 نانومتر فلز گیت CMOS بر اساس پارامترهای مدل فنآوری پیش بینی (PTM) [12] است. شبیه ساز SPICE استفاده شده در تحلیل ما NGSPICE است [6،14].

روش برآورد سطح منطق نشت [1] که در تحلیل ما مورد استفاده قرار گرفته است متکی بر اجرای دو بسته VHDL است:

• Single_MOS_leakage.vhd : این بسته شامل آرایههای دادهای از همه جریانهای نشتی از چهار MOS

تکی (PMOS-on،NMOS-off،NMOS-onوPMOS-on) به شکل ماتریس است.

• Single_cell_voltage_leakage.vhd : در این بسته، آرایه های داده ای شامل تمام ولتاژهای گره داخلی (مورد نیاز برای ارزیابی به درستی نشت) به شکل ماتریس در دسترس هستند.

هدف از خصوصیات تک MOS برای چاپ مقادیر در تخلیه، گیت، منبع و بستر پایانه برای هر تنوعی در عرض (W) از 1 تا 8 برابر حداقل مقادیر، هر تنوعی در ولتاژ از 0 ولت تا 1.2 ولت با 0.05 ولت گام، در دمای 30 درجه و 100 درجه است. بنابراین همهی استخراجهای جریان نشت، اشاره به مضرب حداقل عرض کانال دارند که در بسته درجه است. بنابراین همهی استخراجهای مریان نشت، اشاره به مضرب حداقل عرض کانال دارند که در بسته ماتریس حاوی 48 سطر، 24 سطر اول برای 30 درجه و 24 ردیف بعدی برای 100 درجه حرارت است. همه نتایج ارائه شده در زیر به 30 درجه اشاره دارد.

در بسته Single_MOS_leakage.vhd، سه تابع I_{gate} ، I_{sub} ،VHDL و I_{body} ، مربوط به زیرآستانه، گیت و نشت اتصال بهترتیب تعریف شده است، ارزیابی جریان در سطح منطق با استفاده از دادههای مشخص انجام می شود. جزئیات سه تابع به شرح زیر است:

function Isub	(Wmin: in integer;	-gate length
		[nm], technology
		parameter
	NWmin: in integer:	ate width as
	Nyviiiii. III liitegei,	-guie which us
		multiple of wmin
	Vds: in real;	-Vds
	temperature: in integer	—temperature
		[°C])
function Igate	(Wmin: in integer;	-gate length
0		[nm], technology
		narameter
	NWmin: in integer:	ate width as
	Novinini, in integer,	-gute which us
	Vdsg: in real;	-Vdg or Vsg
	temperature: in integer	—temperature
		[°C])
function Ibody	(Wmin: in integer;	-gate length[nm],
-		technology
		narameter
	NWmin: in integer:	ate width as
	Novinini, in integer,	-gute which us
	Milely in sector	
	Vdsb: in real;	-Vab or Vsb
	Vgb: in real;	–Vgb
	temperature: in integer	–temperature
		[°C])

خصوصیات ولتاژ گره داخلی برای ارزیابی درست جریان در سازهها از جمله ترانزیستور انباشته مورد نیاز است، که جدول 2 برای ملسازی سلولهای واقعی موردنیاز است.



شكل 7: سلولهاى استاندارد سه ورودى (NAND، و AND، 3 AND، 3 AND، و تمام جمع كننده).

جدول 3: الگوی نشت وابسته در سلول سه ورودی. مقادیر در NA

Standard cell name	Signal pattern	45 nm T	echnology		32 nm Te	chnology		22 nm Te	chnology		Body bia	as. 45 nm t	tec.	Body bi	as. 32 nm (tec	Body bia	s. 22 nm teo	2
		SPICE	VHDL	Er %	SPICE	VHDL	Er %	SPICE	VHDL	Er %	SPICE	VHDL	Er %	SPICE	VHDL	Er %	SPICE	VHDL	Er %
3-Input NAND	000	86.05	85.74	-0.36	100.44	100.27	-0.16	109.03	108.96	-0.07	83.01	83.08	0.08	93.15	93.18	0.03	98.72	98.73	0.02
	001	57.49	57.77	0.49	66.62	67.27	0.97	72.01	73.32	1.78	53.90	54.55	1.19	60.68	60.99	0.51	64.53	64.50	0.04
	010	66.67	66.99	0.47	77.32	78.18	1.10	83.75	85.09	1.57	64.15	63,38	1.20	71.67	71.31	0.51	75.82	75.80	0.02
	011	45.09	45.72	1.38	50.59	49.99	-1.20	54.07	54.95	1.60	36.14	36.66	1.42	39.58	40.47	2.19	42.80	42.74	0.15
	100	84.05	101.18	-0.03	119.37	119.38	0.00	132,27	132,29	0.02	98.38	98.58	0.20	113.27	114,20	0.82	123.79	125.32	1.22
	110	137 53	137 70	0.44	99.55	166.42	0.95	102.90	103 70	0.37	124.20	124.90	0.56	147.58	140 51	1.30	168.83	171.61	1.59
	111	201.83	202.10	0.12	238.05	238 52	0.19	279.26	280.27	0.37	171.63	172 52	0.50	203 17	205.89	1.30	237 59	241 55	1.62
	Aver.	97.60	97.82	0.22	114.75	115.06	0.27	129.30	130.11	0.63	88.22	88.72	0.57	102.02	103.06	1.01	113.69	114.90	1.06
3-Input NOR	000	265.78	266.27	0.18	322.11	323.08	0.30	377.94	379.94	0.53	248.39	247.97	0.17	288.56	287.86	0.24	328.14	326.83	0.40
	001	260.14	261.69	0.59	311.44	314.32	0.92	369.73	376.46	1.79	224.15	223.82	0.15	261.70	260.79	0.35	306.12	302.99	1.04
	010	157.38	155.77	-1.04	180,81	180.34	-0.26	203.18	199.65	-1.77	127.99	130.87	2.20	146.33	148.32	1.34	165.31	165.03	0.17
	011	125.02	124.73	-0.23	145.35	145.05	-0.21	159.84	159.50	-0.22	119.02	118.55	0.39	134.67	134.88	0.16	145.40	146.07	0.46
	100	75.54	75.97	0.57	79.88	80.45	0.71	84.23	85.50	1.48	51.38	52.62	2.36	55.08	56.47	2.45	59.86	60.02	0.26
	101	57.21	56.70	-0.90	61.77	62,44	1.07	62.06	61.96	-0.17	51.48	51.87	0.75	57.62	57.24	0.67	57.62	58.27	1.11
	110	41.70	41.30	-0.82	43.41	42.92	-1.15	41.38	40.80	- 1.40	51.28	51.72	1.1/	39.79	40.48	1.69	38.75	39.38	1.58
	Aver.	129.50	129.40	- 0.08	150.33	150.73	0.27	169.40	169.96	0.33	113.87	114.33	0.41	130.11	130.33	0.16	144.73	144.33	0.27
3-Input AND	000	125.91	125.52	-0.30	145.19	144.90	-0.20	160.18	159.86	-0.20	112.86	113.07	0.19	126.63	126.99	0.29	136.39	136.90	0.37
	001	97.36	97.56	0.20	111.40	111.91	0.45	123.20	124.22	0.83	83.74	84.54	0.94	94.16	94.82	0.70	102.21	102.69	0.47
	010	106.54	106.77	0.21	122.11	122.82	0.57	134.96	135.99	0.76	90.99	89.16	2.05	105.14	105.14	0.01	113.49	114.01	0.45
	011	85.06	84.65	-0.47	95.53	94.62	-0.96	105.58	104.25	-1.27	64.98	66.68	2.55	73.06	74.37	1.76	80.48	81.08	0.74
	100	141.09	140.96	-0.09	164.17	164.01	-0.10	183.49	183.20	-0.16	128.22	128.57	0.28	146.75	148.04	0.87	161.47	163.53	1.26
	101	124.92	125.11	0.15	144.48	145.12	0.44	162.52	163.24	0.44	104.21	106.16	1.84	121.55	122.81	1.03	135.11	137.31	1.60
	110	177.55	177.48	-0.04	211.16	211.05	-0.05	244.83	244.60	-0.09	154.05	154.95	0.58	182.05	183.45	0.76	206.51	210.08	1.70
	Aver.	136.84	136.83	- 0.01	159.00	159.10	0.18	179.94	180.14	0.30	117.62	118.24	0.41	135.79	136.90	0.81	151.27	153.00	1.13
A012	000	213.47	213.29	-0.08	253.31	253.05	-0.10	290.74	290.21	-0.18	194.31	194,38	0.03	222.67	223.00	0.15	248.38	249.00	0.25
	001	209.17	209.43	0.13	247.64	248.14	0.20	289.76	290.91	0.40	180.81	180.82	0.00	207.92	207.95	0.01	237.04	236.74	0.13
	010	201.04	200.85	-0.09	196.43	196.64	0.11	225.18	225,22	0.02	144.30	145.40	0.75	165.24	166.19	0.57	185.13	185.87	0.40
	011	182.28	182.57	0.16	214.19	214,74	0.26	249.87	251.30	0.57	155.57	155.69	0.07	179.31	179.77	0.25	204.86	205.07	0.10
	100	167.32	167.31	0.00	238,36	238.07	-0.12	275.27	274.67	-0.22	176.24	176.64	0.23	203.27	204.30	0.50	228.53	230.11	0.69
	101	182.22	182.68	0.25	214.32	215.05	0.34	250.10	251.80	0.68	155.57	155.75	0.12	179.31	179.89	0.32	204.86	205.27	0.20
	110	169.03	164.57	- 2.71	188.17	186.42	-0.94	206.89	207.69	0.38	130.74	134.70	2.94	148.88	151.44	1.69	165.07	166.65	0.95
	111 Aver.	115.11	114.93 179.45	-0.16	130.26 210.34	130.76 210.36	0.38	140.57 241.05	140.25 241.51	-0.23	106.96	106.47	0.46	119,97 178,32	121.07	0.91	127.88 200.22	130.08 201.10	1.69 0.44
MUY	000	142.42	142 17	0.10	164.04	164 20	0.20	195.06	194.02	0.56	124.90	125.22	0.27	140.09	141.90	0.64	154.46	155 70	0.95
MUA	001	148.80	148.47	-0.22	169.78	169.04	-0.44	191 53	190.32	-0.50	124.05	123.22	0.39	140.55	141.09	0.90	155.25	157.10	1 18
	010	186.19	186.35	0.08	214.56	215.17	0.28	247.80	248.22	0.17	149.94	150.37	0.29	170.10	171.19	0.64	191.27	192.99	0.89
	011	190.83	191.27	0.23	218.00	219.20	0.55	250.58	252.47	0.75	148.48	148.60	0.08	167.19	167.58	0.23	187.98	188.39	0.22
	100	185.57	185.78	0.11	213.32	213.93	0.28	245.36	246.30	0.38	148.94	149.01	0.04	167.52	167.72	0.12	187.20	187.41	0.11
	101	191.39	191.37	-0.01	219.11	219.17	0.03	252.71	252.69	-0.01	149.47	149.95	0.32	169.77	171.00	0.72	192.06	193.83	0.91
	110	149.01	148.12	-0.60	170.50	168.17	-1.38	191.00	187.46	-1.89	129.81	129.97	0.12	144.69	145.05	0.25	156.77	157.34	0.36
	111	154.24	154.36	0.08	175.08	175.48	0.23	196.15	196.53	0.20	129.35	129.54	0.15	144.36	144.88	0.36	157.56	158.30	0.47
	Aver.	168.68	168.61	-0.04	193.16	193.06	-0.05	220.13	219.86	-0.12	138.16	138.45	0.20	155.66	156.40	0.48	172.82	173.90	0.62
Full Adder	000	892.19	896.24	0.45	1068.57	1077.56	0.83	1239.59	1250.16	0.85	808.23	811.29	0.38	936.81	940.29	0.37	1060.75	1065.29	0.43
	010	905.55 782.44	786.63	0.61	929.75	935.57	1.48	1084.66	1073.07	-1.00	665 38	676.63	1.66	775.17	787 30	1.10	878 44	901.06	2.51
	011	667.82	667.75	-0.01	791 31	799.66	1.04	919.21	928.08	0.96	572 58	577 42	0.84	666.79	672.96	0.92	762.75	768.86	0.79
	100	690.02	696.76	0.97	824.21	821.49	-0.33	958.76	961.53	0.29	593.32	599.57	1.04	689.83	697.84	1.15	788.95	798.26	1.17

ادامه جدول 3

Standard cell name	Signal pattern	45 nm T	echnology		32 nm Te	di no lo gy		22 m Te	dinology		Body bia	ns. 45 mm t	ec.	Body bi	as 32 nm t	ec	Body bias	s 22 nm tec	
		SPICE	VHDL	Er X	SPICE	VHDL	Er X	SPICE	WHDL.	Er X	SPICE	WHDL	Er X	SPICE	VHDL	Er X	SPICE	VHDL	Er X
	101 110 111 Aver.	72598 72949 64377 75466	72879 731.12 645.25 757.96	039 022 023 044	856.72 861.75 743.47 894.89	857.61 865.27 755.41 901.52	0.10 0.41 1.58 0.74	997,83 991,58 827,40 1036,30	1005.55 995.64 830.85 1042.17	0.77 0.41 0.42 0.56	613.67 635.13 567.82 655.65	622.36 640.12 572.01 661.97	1.40 0.78 0.73 0.95	718.42 741.66 662.72 763.69	725.99 748.88 664.64 770.86	1.04 0.95 0.29 0.93	828.31 843.04 752.99 871.35	8 33.49 851.32 740.60 8 78.31	0.62 0.97 1.67 0.79

هر ساختار اساسی از یک رفت و برگشت DC بین 30 درجه و 100 درجه برای تمام ترکیبات سیگنال ورودی به عنوان مثال همه الگوهای ورودی استفاده شده است. همه نتایج ولتاژ گره داخلی در یک ماتریس در بسته Single_Cell_voltage_leakage.vhd VHDL ذخیره شده است. خصوصیات ولتاژ گره داخلی تمام ساختار پایه نشان داده شده در شکل4 و 5 را تحت پوشش قرار می دهد.

با توجه به مدار سلولی استاندارد، شناسایی ساختار پایه مدار در آن، برای بازیابی ولتاژ گره داخلی برای هر الگوی ورودی از سیگنال منطقی ممکن است. هنگامی که ولتاژ گره تعیین میشود، میتوان مقادیر جریان نشتی را تقریبا برای همه ترانزیستورهای سلول، که به درستی در تمام اجزاء نشت انباشته شدهاند بازیابی کرد. درواقع، بهمنظور محاسبه کل جریان نشتی در سلول از تامینکنندههای توان خارجی، ما مجبور به تجمیع جریانهای مستقیم به گره زمین هستیم [3.1].

مدل به تصویب رسیده شامل بارگذاری محاسبه اثر، با نشست Gate یک سلول که توسط سلولهای دیگر اتفاق میافتد معرفی اختلاف ولتاژ Δ۷ در ترمینال خروجی سلول است، در نتیجه بر نشت هر دو آنها مؤثر است. اثر بارگذاری ممکن است نشت کل Gate را افزایش یا کاهش دهد. در تحلیل ما، اجرای مدل بارگذاری اثر براساس خصوصیات Δ۷ توسط SPICE براساس شبیه سازی 4BSIM از تمام ترکیبات ممکن و عرض دستگاه از Pull-down ،Pull-Up و بار است. باید اشاره کرد که با توجه به ارزش Δ۷ کوچک و برای جبران خسارت بین اثرات مثبت و منفی، عملی را که بی تاثیر

است انجام میدهیم.

در زیر، یک نمونه از کد VHDL از NAND نشان داده شده است که بیان می کند، چگونه مدل بر آورد نشت به دادههای جداول در بسته دسترسی پیدا می کند.

> constant Wmin: integer:=22; -to set gate length [nm] constant NWmin: integer:=1; -to set gate width as a multiple of Wmin constant temperature: -to set temperature [°C], integer:=30; 25, 30 or 100 constant Vdd: real:=1.0: -to set power supply voltage variable comb: std_logic_vector (1 downto 0); assigned with the input signals; variable matrix: matrix_23NP:=choosematrix(temperature, Vdd): - chooses the matrix in INV packages based on temperature and supply voltage values. variable a00Vdd: real:=-matrix(48).Vn1; variable a01Vdd: real:=matrix(49).Vn1; variable a10Vdd: real:=matrix(50).Vn1: variable a11Vdd; real: = matrix(51).Vn1; - these are variables assigned with node voltages for the four input combinations - of NAND cell. Matrix 48, 49, 50 and 51 corresponds to line number - in the chosen matrix, while.Vn1 corresponds to the node. - < other omitted code here > case comb is when "00" = > - < omitted code > when "01" = > PrintLeakages (Isub(Wmin,2*NWmin,a01Vdd, temperature), 2.0*lbody(Wmin,2*NWmin,+a01Vdd,0.0,temperature)+ Ibody(Wmin,2*NWmin, Vdd, 0.0,temperature) 2.0+lgate(1,Wmin,2+NWmin,Vdd,temperature)+lgate(0, Wmin,2*NWmin,a01Vdd,temperature)); - equation for "01" input combination; current functions are invoked with node voltage values. - similar equations written for other input combinations. - equations are derived from the topology of the involved stacks:

4. مقایسه جریان نشتی برآورد شده در فنآوری مقیاسپذیر

در دادههای ارائه شده، ما به سلولهای استاندارد با حداقل اندازه تمرکز میکنیم، بااینحال روش یکسانی برای تغییر اندازه سلولها به کار برده می شود. رشد خطی جریان نشتی با عامل تغییر اندازه از سلول را می یابیم. در سه گره تکنولوژی اندازه دستگاه با توجه به اندازه حداقل ویژگی در هر فن آوری کوچک شده است، درحالی که VDD سازگار با سرعت بالا در گرههای فن آوری است [5]. همچنین نتایج گزارش شامل بایاس معکوس بدنه به کار برده شده در هر یک از سه فن آوری است. بایاس بدنه همانند V 0.2 – در دستگاههای نوع N و N و VD + 0.2 کر در دستگاههای نوع P به کار برده شده است.

سلولهای استاندارد دو ورودی از کتابخانه ما در شکل 6 با جزئیات و نوع پشته مورد نیاز برای دسترسی به جداول ولتاژ گره داخلی (INV) برای ورودی خاص ترکیبی در بسته Single_cell_voltage_leakage.vhd بیان شده است. همهی پشتهها در سلول دو ورودی، یک ولتاژ گره داخلی دارند. جدول 2 جریان نشست برای سلولهای دو ورودی محاسبه شده توسط برآورد مدل در VHDL و NGSPICE، همراه با درصدی خطا را نشان میدهد. دادهها برای همه الگوهای ورودی در 45 نانومتر، 32 نانومتر و 22 نانومتر گره فنآوری گزارش شده است و اکثریت قریب به اتفاق نتایج درصد خطای زیر 1٪ را نشان میدهد. دقتهای مختلف برای ورودیهای مختلف الگوها ممکن است به تدریج خطاهایی در مقادیر ولتاژ داخلی اشاره کند. نتایج مربوط به بایاس معکوس نشان میدهد که در فنآوریهای هدف، روش موثر برای کاهش نشت وجود ندارد چرا که نشت زیرآستانه اغلب بیان کننده نشت گیت است و به دلیل تغییر ولتاژ داخلی گره در سلولها، کاهش نشت زیرآستانه را محدود میکند.

براین اساس، سلولهای استاندارد سه ورودی در شکل 7 با جزئیات بیشتر برای دسترسی به جداول ولتاژ گره داخلی نشان داده شده است. پشتهها شامل دو گره داخلی به جز سلول استاندارد 21MUX هستند که گرههای داخلی شناور ندارد.



شكل 8: سلول هاى استاندارد متوالى (D-لچ، D-فليپ فلاپ).

جدول 3 گزارش نتایج نشتی برای سلولهای استاندارد سه ورودی محاسبه شده توسط مدل VHDL و NGSPICE، همراه با درصد خطا است.

سلولهای استاندارد متوالی D-لچ و فلیپ فلاپ در شکل 8 نشان داده شده است. برای این سلولها، الگوی مرجع باید شامل مقدار خروجی سیگنال باشد، همان گونه که جریانهای نشتی به طور کامل از استخراج الگوی ورودی جلوگیری نمی کنند. این سلولها برای گرههای داخلی شناور لازم نیست، زیرا گره داخلی از پشته توسط گیت عبور تشکیل شده است و بازخورد همیشه از ورودی مسیر بازخورد فعال است. افت ولتاژ در گره داخلی ناشی از جریانهای انگلی در نظر گرفته می شود که با استفاده از ولتاژ گره برای دسترسی به جداول نشت است. باید گفت که تاثیر افت ولتاژ عملا قابل اغماض است. این امر می تواند در مورد گرههای شناور، که هر گز اتفاق نمی افتند متفاوت باشد. در کتابخانه ارائه شده، شبکه ترانزیستور هر گز گره شناور داخلی ندارد. به طور کلی، این اتفاق با معرفی مدل پشته اختصاص داده شده از گیت انتقال در مدار اولیه سازه مدل سازی می شود. نتایج جریان نشتی برای سلولهای ترتیبی در جدول 4 با توجه به الگوی سیگنال از جمله ورودی، ساعت، و خروجی، همراه مقایسه با نتایج NGSPICE گزارش شده است.

در نهایت، شکل 9 سلولهای استاندارد چهار ورودی، با برجستگی در نوع پشته برای دسترسی به جداول ولتاژ گره داخلی را نشان میدهد و جدول 5 نتایج نشت را، همراه با درصد خطا با توجه به NGSPICE گزارش میدهد. کاربرد دادههای به دست آمده از نشت، با معیار مدارهای متشکل از چندین سلول شامل یک جستجوگر برابری 8 بیتی، 8 بیتی جمع کننده با انتقال رقم نقلی، 18 واحد ورودی ترکیبی عمومی (براساس 31AO) و مقایسه گر 4 بیتی (براساس 20 20) است. نتیجه دقت بهترتیب 0.19٪، 0.20٪، 0.00٪، 20.8٪ در تکنولوژی 45 نانومتر [1]، و بهترتیب 0.24٪، 0.71٪، 0.05٪، 0.32٪ در 22 تکنولوژی نانومتر است. افزایش سرعت در زمان اجرا با توجه به SPICE بین 103 و 104 است.

به عنوان یک تحلیل اضافی، اثربخشی سطح منطق جریان بر آورد برای مدل سازی تغییرات پارامتر فن آوری مورد آزمایش قرار گرفته است. برای این منظور، تغییرات تصادفی در ضخامت اکسید و عرض دستگاه W، تولید مجموعهای از خصوصیات ماتریس (دستگاه ماتریس فعلی و ماتریس ولتاژ گره) از 103 عنصر تجزیه شده است. ما از مجموعهای از خصوصیات ماتریس برای تکرار در ارزیابی سطح منطق مونت کارلو از سلول نشت استفاده می کنیم. تغییرات گوسی با 10 انحراف بود. توزیع فراوانی به دست آمده با ردیابی نشت به دست آمده ارزش موضوع را به تغییرات پارامتر تکنولوژی در شکل 10 برای یک زیرمجموعه از کتابخانه سلول نشان داده شده است.

Standard cell name	Signal pattern	45 nm T	echnology		32 nm T	echnology		22 nm T	echnology		Body bia	is. 45 nm t	ec.	Body bia	is. 32 nm t	ec	Body bia	s. 22 nm t	ec
		SPICE	VHDL	Er %	SPICE	VHDL	Er %	SPICE	VHDL	Er %	SPICE	VHDL	Er %	SPICE	VHDL	Er %	SPICE	VHDL	Er %
DLatch	000	142.54	142.28	-0.18	161.14	160.69	-0.27	182.84	181.88	-0.53	119.61	119.93	0.27	132.70	133.44	0.55	145.20	146.39	0.81
	001	182.15	182.36	0.12	207.30	207.73	0.21	238.54	239.39	0.35	98.56	97.38	-1.21	109.08	108.57	-0.47	119.01	117.63	-1.17
	010	162.27	162.84	0.36	184.31	186.21	1.02	210.14	212.60	1.16	133.36	134.03	0.50	150.27	151.93	1.09	167.15	169.62	1.46
	100	185.04	184.90	-0.08	210.28	210.08	-0.10	243.72	243.19	-0.22	144.65	144.94	0.20	161.82	162.48	0.41	182.01	183.05	0.57
	101	145.98	145.66	-0.22	165.22	164.63	-0.35	185.55	184.46	-0.59	123.37	122.40	-0.80	137.36	137.61	0.18	152.86	154.30	0.93
	111	159.18	158.41	-0.48	180.80	178.89	-1.06	204.08	201.27	-1.39	93.59	92.88	-0.76	113.57	112.46	-0.98	124,79	123,86	-0.75
	Aver.	162.86	162.74	-0.07	184.84	184.71	-0.07	210.81	210.46	-0.16	118.86	118.59	-0.22	134.13	134.42	0.21	148.50	149.14	0.43
D FF	001	308.20	309.32	0.36	360.17	363.07	0.80	417.32	421.79	1.06	258.94	259.16	0.09	295.87	296.66	0.27	333.65	334.64	0.30
	010	325.95	325.85	-0.03	376.78	376.80	0.01	446.68	446.39	-0.06	253.41	254.03	0.25	289.31	290.91	0.55	335.24	337.82	0.77
	011	274.66	274.44	-0.08	319.46	319,24	-0.07	371.57	370.71	-0.23	230.63	231.13	0.22	262.18	263.43	0.47	295.60	297.73	0.72
	100	280.21	279.75	-0.16	324.63	323.99	-0.20	377.88	376.11	-0.47	230.16	230.87	0.31	261.85	262.94	0.42	296.39	297.92	0.52
	101	323.31	323.42	0.03	375.17	376.00	0.22	441.77	441.54	-0.05	256.24	257.13	0.35	296.69	295.93	-0.26	340.65	341.40	0.22
	110	322.64	322.37	-0.08	373.64	373.37	-0.07	438.41	437.42	-0.23	255.21	255.82	0.24	290.97	292.49	0.52	333.19	335.77	0.77
	111	286.99	286.72	-0.09	332.75	332.90	0.05	387.78	386.61	-0.30	237.08	238.32	0.52	270.72	273.70	1.09	306.85	312.01	1.66
	Aver.	303.14	303.12	0.00	351.80	352.20	0.11	411.63	411.51	-0.03	245.95	246.64	0.28	281.08	282.30	0.43	320.22	322.47	0.70

جدول 4: الگوی نشت وابسته در سلولهای سریال. مقادیر در NA.



شکل 9: سلول های استاندارد چهار ورودی (112AO، 22AO و 31AO).

دادهها با توزیع بهدست آمده با اجرای یک تحلیل SPICE مونت کارلو با تغییرات فن آوری همپوشانی دارد. جالب توجه است که نتیجه توزیع نشت نزدیک است اما در تمام سلولها کاملا گاوسی نیست.

5. تجزیهوتحلیل موضوع اجزای نشت به اثرات مقیاس پذیری

پس از تایید دقت محاسبه نشت کل با توجه به نتایج 4SPICE BSIM، ما قادر به ادامه استفاده از مدل سطح منطق بهمنظور تجزیهوتحلیل تاثیر فناوری مقیاسپذیری و از الگوهای ورودی در سه قطعه فعلی نشت بهصورت جداگانه، بهعنوان مثال گیت، زیرآستانه و نشت بدنه هستیم.

جدول 6 نتایج سه جزء عمده نشت برای همه الگوهای ورودی در استاندارد 2 ورودی و تک ورودی و سلولها گزارش شده است. تمام قطعات نشت در 45 نانومتر، 32 نانومتر و 22 نانومتر تکنولوژی تخمین زده شده است. بدیهی است که تمام مولفه نشت، با هم و بنا به جریان نشتی برای یک ترکیبی ورودی خاص در گره تکنولوژی مربوطه خلاصه شده است. جدول 7 نشت زیرآستانه، نشت بدنه و گیت نشت تخمین مقادیر برای همه الگوهای ورودی در استاندارد سه ورودی سلول را گزارش می کند، در حالی که جدول 8 و 9 گزارش نتایج برآورد نشت زیرآستانه، نشت بدنه و Gate در سلول های سریال و سلول و 9 گزارش نتایج برآورد نشت زیرآستانه، نشت بدنه و 9 گزارش سایل می ای سایل و سلول جهار ورودی است.

جدول 5: الگوی نشت وابسته در سلول چهار ورودی. مقادیر در NA.

Standard	Signal	45 nm 1	Technolo	gy	32 nm 1	Technolo	gy	22 nm	Technolo	ogy	Body bi	as. 45 nr	n tec.	Body bi	ias. 32 ni	m tec	Body bi	ias. 22 ni	n tec
cen name	pattern	SPICE	VHDL	Er %	SPICE	VHDL	Er %	SPICE	VHDL	Er %	SPICE	VHDL	Er %	SPICE	VHDL	Er %	SPICE	VHDL	Er %
A0112	0000	383.57	383.46	-0.03	462.52	462.45	-0.02	538.77	538.57	-0.04	355.84	355.77	0.02	412.42	412.54	0.03	466.50	466.83	0.07
	0001	373.40	374.90	0.58	448.34	401.40	1.10	261 55	263.22	0.22	330.32	330.15	1.24	369.23	383.07	0.15	443.33	441.50	-0.51
	0010	270.39	270.03	-0.14	281.65	281.32	- 1.10	301.33	302.33	-0.13	234.08	237.02	0.11	256.85	2/0.88	0.77	282.38	283.44	-0.04
	0100	237.30	243.80	0.00	413.43	413 58	0.03	482.22	482.47	0.05	313.41	311 70	0.55	358.00	362.40	0.20	402.10	411.41	2.25
	0101	31914	320.67	0.48	380.75	383.60	0.74	448 13	454.66	1.44	278 73	278.66	0.03	324 33	324.09	0.07	374.96	372.85	-0.57
	0110	216.40	217 12	0.33	25015	248.05	-0.85	281 64	279 32	-0.83	182.62	185 73	1.67	209.03	211.66	124	234.28	234.96	0.29
	0111	184.01	183.70	-0.17	214.66	214.35	-0.15	238.21	237.83	-0.16	173.44	173.41	0.02	197.08	198.21	0.57	214.00	215.97	0.92
	1000	310.22	310.35	0.04	371.60	372.14	0.15	432.35	433.00	0.15	287.21	280.48	2.40	326.32	324.44	0.58	372.98	367.29	-1.55
	1001	319.04	320.67	0.51	380.57	383.60	0.79	447.82	454.66	1.50	278.73	278.57	0.06	324.33	323.94	0.12	374.96	372.58	-0.64
	1010	216.34	216.17	-0.08	250.05	246.92	-1.27	281.50	282.80	0.46	182.62	185.67	1.64	209.03	211.56	1.20	234,28	234.83	0.23
	1011	183.99	183.70	-0.15	214.63	214.35	-0.13	238.17	237.83	-0.14	173.44	173.38	0.04	197.08	198.17	0.55	214.00	215.91	0.89
	1100	206.62	207.02	0.19	226.48	225.13	-0.60	246.04	241.02	-2.08	157.42	158.76	0.84	171.17	176.35	2.94	191.23	192.66	0.74
	1101	140.37	141.73	0.96	157.64	156.08	-1.00	169.75	172.37	1.52	127.39	127.67	0.21	140.73	144.63	2.69	156.05	155.69	-0.23
	1110	120.36	118.49	-1.58	134.65	132.85	- 1.36	144.10	144,42	0.22	109.80	109.57	0.21	122.40	123.73	1.07	130.14	132.33	1.65
	1111	127.34	128.59	0.97	145.55	148.48	1.97	157.05	160.59	2.21	119.47	120.61	0.94	135.82	137.89	1.50	144.98	147.66	1.82
	Aver.	247.06	247.38	0.13	290.64	290.51	-0.04	332.17	333.42	0.38	220.59	220.74	0.07	252.41	253.85	0.57	283.69	284.27	0.20
A022	0000	263.69	263.55	-0.05	314.01	313.88	-0.04	357.66	357.37	-0.08	245.68	245.58	0.04	281.86	282.03	0.06	312.83	313.28	0.15
	0001	217.52	217.64	0.05	257.19	257.59	0.16	292.16	292.58	0.14	195.76	196.64	0.45	224.57	225.30	0.32	249.77	250.22	0.18
	0010	251.22	251.12	-0.04	299.13	298.90	-0.08	342.28	341,83	-0.13	227.61	227.90	0.13	262,46	263.41	0.36	292.97	294.48	0.51
	0011	308.50	309.43	0.30	364.51	366.24	0.47	430,83	434.91	0.94	259.70	259.62	0.03	301.47	301.75	0.09	350.47	349.94	0.15
	0100	217.50	171.61	0.01	257.08	201.06	0.15	292.01	292.39	0.13	145.66	147.66	1.35	229,99	225.18	0.33	249.59	250.10	0.20
	0110	210.10	211.26	0.55	242.25	245 50	1.36	220.03	276 71	0.00	175.62	178.01	1.33	203.60	206.60	1.41	236 71	231 35	2.32
	0111	281 23	281 75	0.35	330.27	330.42	0.04	389.07	391 52	0.62	234.46	234 30	0.07	203.09	200.00	013	318 30	317.41	0.28
	1000	251 28	251 12	-0.06	298.97	298.91	-0.02	342.01	341.84	-0.05	227.62	227.80	0.08	262.47	263.26	0.30	292.97	294 29	0.45
	1001	205.14	205.14	0.00	242.25	242.50	0.10	276.73	276.83	0.04	177.60	178.91	0.73	205.04	206.60	0.76	229.72	231.35	0.71
	1010	238.84	238.68	-0.07	284.17	283.93	-0.08	326.77	326.28	-0.15	209.54	210.16	0.29	243.07	244.70	0.67	273.11	275.57	0.89
	1011	281.10	282.70	0.57	330.49	333.19	0.81	389.49	395.91	1.62	234.46	234.41	0.02	272.86	273.42	0.20	318.30	317.76	0.17
	1100	171.42	170.15	-0.75	193.33	196.06	1.40	213.64	210.59	-1.45	138.53	137.54	0.72	159.10	154.89	2,72	170.59	171.13	0.31
	1101	205.14	204.24	-0.44	235.89	234.27	-0.69	258.56	251.58	-2.78	178.82	175.75	1.75	194.26	199.30	2.53	221.58	218.52	1.40
	1110	210.01	207.53	- 1.20	236.04	236.81	0.33	258.79	251.58	-2.87	177.17	175.84	0.76	199.17	199.44	0.13	211.58	218.74	3.28
	1111	165.45	165.06	-0.23	189.94	189.58	- 0.19	207.80	207.39	-0.20	152.23	156,29	2.60	185.07	180.58	2.49	198.39	197.37	0.52
	Aver.	228.21	228.04	- 0.08	267.24	267.90	0.25	305.07	304.79	-0.09	198.51	198.99	0.24	228.71	229.26	0.24	257.08	257.41	0.13
A031	0000	269.01	268.56	-0.17	320.81	320.40	-0.13	368.23	367.65	-0.16	248.14	248.37	0.09	285.20	285.60	0.14	318.27	318.89	0.20
	0001	260.47	260.72	0.10	310.23	310.70	0.15	361.87	362.94	0.29	230.45	230.40	0.02	265.50	265.48	0.01	301.38	301.07	0.10
	0010	257.05	256.85	-0.08	305.87	305.60	- 0.09	350.95	350.41	-0.16	237.25	237.63	0.16	274.12	275.44	0.48	307.09	309.27	0.70
	0011	257.05	257.43	0.15	294.50	292.71	-0.61	343.87	341.71	-0.63	218.88	219.19	0.14	254.00	254.99	0.39	289.96	291.14	0.40
	0100	222.50	222.36	-0.06	263.82	263.56	-0.10	302.42	301.92	-0.17	203.03	202.43	0.30	232.52	232.55	1.00	259.12	259.74	0.24
	0101	217.80	216.77	-0.50	250.32	249.04	- 2.92	298.56	292.28	-2.15	180.87	186.58	3.06	209.99	214.18	1.96	237.11	243,44	2.60
	0110	200.32	200.23	-0.05	318.89	310.79	-0.05	225 42	227.25	-0.05	200.80	237.73	0.37	2/7.29	279.00	0.79	313.66	319,43	0.00
	1000	234.37	234.60	0.18	253.12	279.58	0.28	200.60	201 44	0.50	207.51	103.61	0.29	242.50	244.40	0.78	2/8.52	260.99	0.88
	1000	247.35	247.76	0.05	294 27	295.05	0.22	343.46	345.11	0.20	218.88	219.07	0.09	254.00	254 77	0.32	289.96	290.77	0.25
	1010	213.74	213.86	0.06	252.26	252.81	0.22	289.37	289.89	0.18	187.00	188.96	1.04	216.74	219.02	1.04	244.49	246.79	0.93
	1011	234.27	234.80	0.23	278.38	279.38	0.36	325.07	327.25	0.67	207.31	207.82	0.25	242.50	244.22	0.70	278.52	280.67	0.76
	1100	173.88	173.95	0.05	203.32	203.81	0.24	232.44	233.01	0.24	147.78	149.50	1.15	169.25	170.58	0.78	189.86	190.56	0.37
	1101	234.06	234.80	0.31	278.01	279.38	0.49	324.42	327.25	0.86	207.31	207.62	0.15	242.50	243.85	0.55	278.52	280.05	0.54
	1110	273.85	276.01	0.78	309.92	315.60	1.80	345.21	353.53	2.35	219.67	225.76	2.69	253.34	259.60	2.41	287.42	291.48	1.39
	1111	184.55	183.05	-0.82	214.84	214.73	-0.05	239.17	238.89	-0.12	175.16	174,41	0.43	202.11	204.63	1.23	223.40	228,24	2.12
	Aver.	234.98	235.09	0.05	277.07	277.16	0.03	319.54	320.11	0.18	207.42	208.56	0.55	240.19	241.95	0.73	271.71	273.81	0.77

همان گونه که انتظار میرود، روند کلی جدول 6 از سه مولفه نشت با مقیاس پذیری تکنولوژی در حال افزایش است. جالب توجه است، هر وابستگی الگوی ورودی سلول در سه فن آوری هدف، نسبت ثابتی بین مقادیر نشت مربوط به هر دو الگوی متفاوت را نشان میدهد. این اثر مربوط به تکنیکهای تجزیه و تحلیل قدرت دیفرانسیل برای حمله مدار مجتمعهای رمزنگاری است، که در آن امکان حملات موفق بر اساس توان استاتیک مربوط به سطح منطق نشان داده شده است [8].



شكل 10: نمایش نتایج سطح منطق و تجزیهوتحلیل SPICE مونت كارلو از تغییرات نشت.

جدول 6: تاثیر مقیاس پذیری در قطعات نشت در سلول دو ورودی و تک ورودی. (زیر آستانه ^K/₄Body،

Standard cell name	Input pattern	45 nm Tech	nology		32 nm Tech	hnology		22 nm Tec	hnology	
		S [nA]	B [nA]	G [nA]	S [nA]	B [nA]	G [nA]	S [nA]	B [nA]	G [nA]
NOT	0 1	6.844 24.000	0.848	26.783 15.697	7.766 27.150	2.343 0.217	29.782 17.266	11.103 33.840	3.399 0.276	31.006 16.785
NAND2	00 01 10	1.301 10.298 15.656	1.696 1.040 1.040	54.610 27.437 55.618	0.886 10.644 19.083	4.686 2.876 2.876	61.248 30.794 63.792	0.603 11.027 24.268	6.797 4.180 4.181	64.695 32.459 68.682
NOR2	11 00	48.000 13.689	0.384	58.762 105.940	54.300 15.532	1.067	68.772 121.810	67.681 22.206	1.564 15.594	75.079 134.350
	01 10 11	51.001 37.030 5.080	2.210 1.886 0.168	70.847 17.145 32.026	59.327 39.680 4.450	5.337 0.217 0.435	81.167 19.326 35.550	77.455 43.577 2.691	8.073 0.276 0.553	87.911 19.110 35.178
AND2	00 01 10 11	25.302 39.656 54.845 34.298	1.780 1.124 1.232 1.124	70.307 71.314 85.545 43.134	28.107 37.239 46.229 62.065	4.903 3.094 3.094 3.410	78.536 47.786 81.057 98.554	34.443 58.108 78.784 44.867	7.074 4.457 4.963 4.457	81.481 85.468 106.080 49.244
XOR2	00 01 10	102.770 56.799 56.799	5.684 4.072 4.704	162,430 177,910 177,910 140,250	114,550 64,642 64,642	15.991 11.523 13.233 11.740	186.740 203.870 203.870 161.710	143.240 80.238 80.238	23.956 17.433 19.820	202.830 221.270 221.270

(.G¼Gate

نتایج ما نشان میدهد که موفقیت این حمله میتواند مستقل از تکنولوژی انتظار رود. همچنین تاثیر مربوط به تکنیک محدودیت نشت براساس انتخاب الگوی ورودی، همانند نتایج ما است که انتظار داریم کاهش نشت نسبی فن آوریهای مستقل دست یافتنی باشد. همچنین، گیتهای 2NAND و 3NAND تفاوت چشمگیری را در جریان نشتی زیر آستانه مربوط به الگوهای ورودی "0.0" و "1.1"، متفاوت از سلولهای دیگر نشان میدهد. این مساله میتواند به هنگام مربوط به الگوهای ورودی "0.0" و "1.1"، متفاوت از سلولهای دیگر نشان میدهد. این مساله میتواند به هنگام طراحی واحد منطق با الگوی ورودی بر اساس مدیریت نشت انجام گیرد. متوسط روند افزایشی هر یک از مؤلفههای نشت بهصورت جداگانه در شکل 11 برای سلولهای تک ورودی و دو ورودی، در شکل 12 برای سلولهای سه ورودی، نشت بهصورت جداگانه در شکل 11 برای سلولهای تک ورودی و دو ورودی، در شکل 12 برای سلولهای سه ورودی، افزایشی هر یک از مؤلفههای و در شکل 13 برای سلولهای پی درپی چهار ورودی نشان داده شده است. تعداد درصد نسبت به میلهها نشاندهندهی افزایش میانگین درصد بنا به فن آوری نشت مربوطه در سلول خاص است. مشاهده می کنیم که، بهطور میانگین، افزایش مین از ایش میانگین درصد بنا به فن آوری نشت مربوطه در سلول خاص است. مشاهده می کنیم که، بهطور میانگین، افزایش مقیاس پذیری اوزایش میانگین درصد بنا به فن آوری نشت مربوطه در سلول خاص است. مشاهده می کنیم که، بهطور میانگین، افزایش مینی زیر آستانه برای مقیاس پذیری سلولهای 2 ورودی از 45 نانومتر به 32 نانومتر حدود 12٪ است، درحالی که مقیاس پذیری از 32 نانومتر به 23 نانومتر مدود 25 درصد است. حالب توجه است، درحالی که هر گام از مقیاس پذیری، مقیاس پذیری از 23 نانومتر به 20 نانومتر مدود 25 درصد است. حالب توجه است، درحالی که هر گام از مقیاس پذیری، مقیاس پذیری نی می کاه از مقیاس پذیری نشان می دهد که افزایش

جدول 7: تاثیر مقیاس پذیری در اجزای اصلی نشت در سلول سه ورودی. (S¼Gate ،B¼Body آستانه، B¼Body.)

Standard cell name	Input pattern	45 nm Tech	nology		32 nm Tech	nnology		22 nm Tec	hnology	
		S [nA]	B [nA]	G [nA]	S [nA]	B [nA]	G [nA]	S [nA]	B [nA]	G [nA]
NAND3	000	0.742	2.544	82.455	0.497	7.028	92.744	0.331	10.197	98.429
	001	1.941	1.996	53.837	1.125	5.535	60.613	0.902	8.084	64.334
	010	4,737	1.996	60.254	4.245	5,535	68.404	3.872	8.086	73.128
	011	15.127	1.449	29.145	15.520	1,700	32,770	16.143	4.180	34,630
	100	2.034	1 996	97152	1.411	5 5 3 5	112 430	0.993	8 086	123 220
	101	16.095	1.449	67 785	16.957	4 0 4 2	79.485	18 170	5 974	88 197
	110	24 463	1.449	111 790	30 387	4.042	131 990	30.051	5 977	147 770
	111	72 001	0.901	129 190	81 449	2 5 4 9	154 520	101 520	3.863	174 880
		12.001	0.00		01.110	2.010	10100	101.020	3.003	174.000
NOR3	000	20.533	8.267	237.470	23.298	23.688	276.090	33.310	36.585	310.050
	001	77.938	5.596	178.150	91.361	16.009	206.950	120.990	24.666	230.810
	010	58.272	0.084	97.410	61.301	0.217	118.820	68.134	0.277	131.240
	011	8.439	2.924	113.360	6.146	8.331	130.580	4.208	12,748	142.540
	100	55.313	2.840	17.821	57.301	8.113	15.040	61.653	12.470	11.374
	101	17.542	2.924	36.238	16.084	8.331	38.026	14.631	12.746	34.580
	110	8.195	0.084	33.081	5.886	0.217	36.816	3.948	0.277	36.578
	111	3.142	1,225	48.354	2.752	0.652	53.834	1.450	0.827	53.570
AND3	000	24,742	2.628	98.152	27.647	7.246	110.010	34,172	10.473	115.210
	001	25.941	2.080	69.534	28.275	5.753	77.879	34.742	8.362	81.119
	010	28.737	2.080	75.951	31.395	5.753	85.670	37.712	8.362	89.913
	011	39.127	0.685	44.842	42.670	1.917	50.036	49.983	2.853	51.415
	100	26.034	2.080	112.850	28,561	5.753	129.690	34.834	8.362	140.000
	101	40.095	1.533	83.481	44.107	4.260	96.751	52.010	6.251	104.980
	110	48.463	1.533	127.480	57.537	4.260	149.250	73.791	6.253	164.550
	111	78.845	1.749	155.980	89.215	4.892	184,300	112.620	7.262	205.890
1012	000	22.146	E 400	175 650	25 902	15 576	201 670	AE EAC	22.666	221.000
AUIZ	000	52,140	3,490	1/5.050	55.802	13.370	201.070	45,540	23,000	221.000
	001	57.828	4.536	147.070	67.056	12.799	168.290	88.621	19.269	183.020
	010	46.501	3.880	150.470	45.560	10.990	140.090	55.970	16.652	152.590
	011	57.820	2.818	121.940	67.037	7.897	139.800	88.558	11.747	150.990
	100	41.143	3.880	122.290	53.998	10.990	173.080	69.211	16.652	188.810
	101	57.820	2.926	121,940	67.037	8.213	139.800	88.558	12.254	150.990
	110	79.759	3.034	81.779	83.221	8.529	94.672	92.450	12.760	102.480
	111	16.789	1.316	96.820	15.789	3.627	111.340	15.994	5.239	119.010
MUX12	000	37.689	1.780	103.700	42.682	4.903	116.710	56.047	7.076	121.800
	001	54.845	1.016	92.612	62.066	2.778	104.200	78,784	3.953	107.580
	010	77.348	2.343	106.660	88.920	6.391	119.860	114.170	9.058	124.990
	011	94.504	2,248	94.521	108,300	6.188	104.710	136.910	8.914	106.650
	100	77.348	2.820	105.610	88.920	7.780	117.230	114.170	11.258	120.870
	101	94.504	1.292	95.571	108.300	3.529	107.340	136,910	5.011	110.770
	110	37.689	1.864	108.570	42.682	5.121	120.370	56.047	7.355	124,060
	111	54.845	2.032	97.481	62.066	5.555	107.860	78,784	7.906	109.840
fA	000	108.920	21.457	765.860	124,970	61.125	891.470	158.860	93.509	997,780
	001	217.520	21.949	671.670	270.440	62.508	766.660	342.090	95.580	853.940
	010	187.050	17.584	582.000	198.340	50.026	687.200	271.840	76.368	725.770
	011	185.120	13.519	469.110	213,700	38.394	547.570	263.550	58.446	606.090
	100	200.680	12.072	484.010	224,740	34,234	562,510	285.620	51.977	623.940
	101	211.820	13.519	503.450	233.120	38.394	586,100	299.650	58.449	647.460
	110	185.930	11.909	533.370	207.330	33.808	624.130	250.190	51.435	694.020
		271 200	7044	200.050	100 100	22.175	525 120	224.000	22 502	F70.000

جدول 8: تاثیر مقیاس پذیری در قطعات نشت در سلول های پی در پی. (S¼Gate ،B¼Body آستانه، S¼Sub).)

Standard cell name	Signal pattern	45 nm Tech	nology		32 nm Tech	nology		22 nm Tech	nology	
		S [nA]	B [nA]	G [nA]	S [nA]	B [mA]	G [nA]	S [nA]	B [nA]	G [nA]
DLatch	000	48.189	1.864	92.225	53.743	5.121	101.830	71.551	7.352	102.980
	001	84,192	2.151	96.020	96.686	5.858	105.180	125.270	8.276	105.840
	010	65.345	2,140	95.358	73.127	5.871	107.210	94.289	8.408	109.900
	100	87,848	1.864	95.184	99.981	5,121	104,970	129,670	7.352	106,170
	101	44.533	2.151	98.979	50.448	5.858	108.330	67.150	8.277	109.030
	111	61.689	1.579	95.144	69.832	4,266	104.790	89.887	5.936	105.450
DFF	001	98.821	5.660	204.840	114.300	15.893	232.880	148.800	23.728	249.260
	010	162,190	3.014	160.640	188,190	8,196	180.420	246,700	11.548	188,140
	011	90,848	4.337	179.260	105.010	12.044	202.190	139.630	17.638	213.450
	100	108.000	3.573	168.170	124,390	9.919	189.680	162,360	14.515	199.230
	101	147.660	3.573	172,180	170.630	9.919	195.450	220.490	14.515	206.540
	110	147.660	3.573	171.130	170.630	9.919	192.820	220.490	14.516	202.420
	111	108.000	3.573	175.140	124,390	9.919	198,590	162,360	14.515	209.730

جدول 9: تاثیر مقیاس پذیری در اجزاء اصلی نشت در سلول چهار ورودی. (S¼Sub آستانه، B¼Body،

(.G¼Gate

Standard cell name	Signal pattern	45 nm Tecl	nology		32 nm Tec	hnology		22 nm Tec	hnology	
		S [nA]	B [nA]	G [nA]	S [nA]	B [nA]	G [nA]	S [nA]	B [nA]	G [nA]
A0112	0000	38,990	11,107	333.370	43.568	31.802	387.080	56.650	49.056	432.864
	0001	84,769	9.486	280.650	99.097	26.985	325.340	131.993	41.183	362,310
	0010	65.118	9.199	195.720	69.071	26,248	218,530	79,244	40.259	242.824
	0011	15.283	6.528	215.770	13.912	18.570	248.830	15.311	28.341	273.777
	0100	53.348	8.543	282.000	61.770	24.439	327,370	80.329	37.643	364.499
	0101	84,744	6.636	229.300	99.041	18.886	265.670	131.819	28.847	293.991
	0110	65.116	5.788	146.220	69.067	16.543	162.440	79.237	25.448	174.638
	0111	15.283	3.964	164.460	13.912	11.207	189.230	15.311	16.928	205.590
	1000	47.987	8.543	253.820	53.326	24.439	294,370	67.074	37.643	328,285
	1001	84.744	6.636	229.300	99.041	18.886	265.670	131.819	28.847	293.991
	1010	65.116	6.636	144.430	69.067	18.886	158,970	79.237	28.847	174,712
	1011	15.283	3.964	164.460	13.912	11.207	189.230	15.311	16.928	205.590
	1100	112.420	3.988	90.612	115.650	11.306	98.167	125.492	17.156	98.371
	1101	35.128	4.072	102.540	33.174	11.523	111.380	33.663	17.432	121.276
	1110	20.347	3.224	94.926	18.429	9.181	105.240	18.222	14.035	112.163
	1111	8.728	1.401	118.470	9.125	3.845	135.510	12.008	5.515	143.065
A022	0000	26.603	7.291	229.660	28.921	20.695	264.260	35.046	31.464	290.860
	0001	35.600	5.682	176.360	38.679	16.109	202.800	45.470	24.449	222.660
	0010	40.958	5.682	204.480	47.118	16.109	235.680	58,711	24.449	258.670
	0011	108,800	4.836	195.800	126.310	13.649	226,290	166.010	20,556	248.340
	0100	35.600	5.682	176.310	38.679	16.109	202.690	45.470	24.449	222.470
	0101	44.597	4.072	122.940	48.437	11.523	141.100	55.894	17.434	154.050
	0110	49.957	2,164	159.140	56.881	5.970	182.740	69.149	8.638	198.930
	0111	108.800	2,272	170.690	126.310	6.286	197.820	166.010	9,144	216.360
	1000	40.958	5.682	204.490	47.118	16.109	235.680	58,711	24,449	258.680
	1001	49.955	4.072	151.120	56.876	11.523	174.100	69.135	17.434	190.260
	1010	55.313	4.072	179.300	65.315	11.523	207.090	82.376	17.434	226.470
	1011	108.800	3.226	170.690	126.310	9.063	197.820	166.010	13.542	216.360
	1100	83.053	4,830	82.262	87.271	13.649	95,143	98.258	17.150	95.177
	1101	83.053	3.875	117.320	87.271	10.960	136,030	98.258	13,540	139.780
	1110	83.053	3.220	145 570	87.271	9.063	140,480	98.258	6 5 2 7	139.780
		17.001	1.017	145.570	15.750	9,977	109,500	10,465	0.527	104.300
AO31	0000	31.587	7.291	229.680	35.413	20.695	264.290	45.275	31.464	290.906
	0001	57.831	6.338	196,560	67.062	17.918	225.720	88.642	27.065	247,229
	0010	32.879	5.790	218.190	36.327	16.425	252.850	45.937	24.955	279.514
	0011	57.828	3.988	195.620	67.056	11.306	214.340	88.621	17.157	235.936
	0100	35.582	5.490	181.290	39.161	15.576	208.830	48.816	23.668	229.433
	0101	57.828	4.836	154.110	67.056	13.649	168,330	88.621	20.556	183.107
	0110	55.308	4.288	206.640	65.303	12.156	241,290	84.894	18.446	267.904
	0111	57.820	3.334	173.650	67.037	9.379	202.970	88.558	14.046	224,643
	1000	32.785	5.790	174.880	36.231	16.425	201.040	45.846	24.955	220.640
	1001	57.828	4.836	185.100	67.056	13.649	214,340	88.621	20.556	235,936
	1010	46,940	4,288	162.640	51.873	12.156	188.780	63.114	18.446	208.331
	1011	57,820	3.334	173.650	67.037	9.379	202,970	88.558	14.046	224,643
	1100	45.971	3,988	124.000	50.436	11,306	142.070	61.086	17.158	154,764
	1101	57.820	3.334	173.650	67.037	9.379	202.970	88.558	14.046	224.643
	1110	113,420	3.551	159.040	117.300	10.011	188.290	127.864	15.058	210.613
	1111	19.025	1.833	162.200	18.029	5.109	191,590	18.007	7.537	213.350



Fig. 11. Scaling effect on sub-threshold, body, and gate leakage in single-input and two-input cells; average values with respect to input pattern.



Fig. 12. Scaling effect on sub-threshold, body, and gate leakage in three-input cells; average values with respect to input pattern.

این مورد برای نشت بدنه و گیت نیست که در آن یک رفتار مخالف با یک مقدار افزایش در مرحله 32 به 22 نانومتر مقیاس پذیری با توجه به 45 به 32 نانومتر گام مشاهده می کنیم. رفتار فوق العاده خطی از جریان زیرآستانه ممکن است به وابستگی نمایی آن در ولتاژ آستانه منتسب گردد، که به نوبه خود بستگی به ضخامت اکسید مقیاس پذیری دارد.

نمونههایی از روش کاهش نشت که میتوانند از خصوصیات عمیق جریان نشت داده بهرهمند گردند مختلف هستند. بهعنوان مثال، روشهای مبتنی بر الگوی ورودی را میتوان برای محاسبه به کار گرفت. با توجه به جمع کننده با رقم نقلی 32+32 بیتی در تکنولوژی 22 نانومتر، کاربرد روش حداقل مصرف الگوی ورودی FFFFFFHEX به هر دو عملوند ورودی منجر به مصرف برق از ×32 831/4831 88%، صرفهجویی 21٪ در انرژِی با توجه به متوسط 33،349 نانووات از یک الگوی ورودی تصادفی میشود. بهعنوان مثال، اگر یک مقایسه کننده باینری 32 بیتی در نظر بگیریم، که منطق هسته ای آن از 32 علوند XOR و یکی شده است، هر XOR را با یک XOR 2 . یا 2 NAND و NAND (فرض NAND-NAND)، و یا 2 NOT 2 و یکی 22AO (ترکیب and-or) پیاده سازی می کنیم. از نگاشت راه حل سه تکنولوژی ،XOR حداقل متوسط نشت منجر به 11129/4831 ×32 نانووات مصرف بیهوده خواهد داشت. اگر ما بدانیم که الگوی ورودی آماری مقایسه کننده از رشته های '1' ، تشکیل شده است حداقل نشت راه حل مواهد داشت. اگر ما بدانیم که الگوی ورودی آماری مقایسه کننده از رشته های '1' ، تشکیل شده است حداقل نشت راه حل مواهد داشت. اگر ما بدانیم که الگوی ورودی آماری مقایسه کننده از رشته های '1' ، تشکیل شده است حداقل نشت راه حل دوم توجه به نشت Gate منجر به + AD + 60 (ما بازی می که الگوی ورودی آماری مقایسه کننده از رشته های '1' می تشکیل شده است حداقل نشت راه حل دوم توجه به نشت Gate منجر به خواهد بود.

بهطور کلی، براساس تجزیهوتحلیل جریانهای نشتی محاسبه شده از طریق مدل برآورد کتابخانه سلول، روند سه جزء اصلی نشت با تکنولوژی مقیاس پذیری را همانطور که در 14شکل نشان داده شده است پیش بینی می کنیم. بهعنوان یک روند کلی، افزایش در نشت بدنه با وجود مقدار مطلق آن بسیار زیاد است، اما در تکنولوژی گره 22 نانومتر ما می توانیم یک رفتار اشباع از نشت بدنه انتظار داشته باشیم. نشت گیت افزایش تقریبا خطی را نشان می دهد. برعکس، نشت زیرآستانه به نظر می رسد به حفظ رشد در تکنولوژی CMOS در آینده منجر شود بنابراین انتظار داریم اقدامات







Fig. 14. Estimated average trend of different leakage currents in cell library, normalized to 45 nm values.

6. نتيجەگىرى

خصوصیات اثر فنآوری مقیاس پذیری بر روی اجزای جریان نشتیهای مختلف در مجموعه سلولی استاندارد با اشاره به حصوصیات اثر فنآوری مقیاس پذیری بر روی اجزای جریان نشتیهای مختلف در مجموعه سلولی استاندارد با اشاره به 45 نانومتر، 32 نانومتر و 22 نانومتر فرآیند CMOS ارائه شده است. تجزیه وتحلیل با توجه به روش برآورد سطح منطق و با پشتیبانی مقایسه با 4SPICE BSIM با کمتر از 1% متوسط خطا انجام شد. نتیجه تجزیه وتحلیل وابستگی الگوی ورودی است که تفاوتهای قابل توجهی از یک سلول به سلول دیگر نشان میدهد، اما همان نسبت بین هر دو الگوی ورودی مختلف مستقل از فنآوری مقیاس پذیری، است که در روش محدودیت نشت مبتنی بر الگو قابل توجه الگوی ورودی مختلف مستقل از فنآوری مقیاس پذیری، است که در روش محدودیت نشت مبتنی بر الگو قابل توجه الست. همچنین، مشاهده کردیم که تاثیر فعلی زیرآستانه در نشت کتابخانه افزایش خطی بیشتری با مقیاس پذیری

(12/ از 45 نانومتر به 32 نانومتر، 25 درصد از 32 نانومتر به 22 نانومتر) نشان میدهد، درحال حاضر تاثیر جریان

گیت و بدنه، کاهشی در افزایش خود بهعنوان کاهش هندسی نشان میدهد. بهطورکلی، دادههای گزارش شده را

مى توان براى تحليل و بررسى تكنيكهاى طراحى كاهش نشت استفاده كرد.

References

[1] Z. Abbas, V. Genua, M. Olivieri, A novel logic level calculation model for leakage currents in digital nano CMOS circuits, in: Proceedings of the 7th Conference on PhD Research in Microelectronics & Electronics, 3–7 July, Madonna di Campiglio, Trento, Italy.

[2] A. Abdollahi, F. Fallah, M. Pedram, Leakage current reduction in CMOS VLSI circuits by input vector control, IEEE Trans. Very Large Scale Integration (VLSI) Systems 12 (2) (2004). (pp. 140, 154).

[3] A. Agarwal, S. Mukhopadhyay, A. Raychowdhury, K. Roy, C.H. Kim, Leakage power analysis and reduction for nanoscale circuits, IEEE Micro 26 (2) (2006) 68–80.

[4] M.W. Dunga, W. Yang, X. Xi, J. He, W. Liu, M. Cao, X. Jin, J. Ou, M. Chan, A.M. Niknejad, C. Hu, Bsim 4.6.1 Mosfet Model – User's Manual (Technical Report), EECS Department, University of California, Berkeley, 2007.
[5] International Technology Roadmap for Semiconductors. International SEMATECH, Austin, TX. (http://public.itrs.net).

[6] F. Lannutti, P. Nenzi, M. Olivieri, KLU sparse direct linear solver implementation into NGSPICE, in: Proceedings of the 19th International Conference on Mixed Design of Integrated Circuits and Systems, MIXDES 2012, IEEE, pp. 69, 2012.

[7] M. Olivieri, G. Scotti, A. Trifiletti, A novel yield optimization technique for digital CMOS circuits design bt means of process parameters run-time estimation and body bias active control, IEEE Trans. Very Large Scale Integration (VLSI) Syst. 13 (5) (2005).

[8] F. Menichelli, R. Menicocci, M. Olivieri, A. Trifiletti, High level side channel attack modeling and simulation for security-critical systems-on-chips, IEEE Trans. Secure Dependable Comput. 5 (3) (2008).

[9] F. Menichelli, M. Olivieri, Static minimization of total energy consumption in memory subsystem for scratchpad-based systems-on-chips, IEEE Trans. Very Large Scale Integration (VLSI) Syst. 17 (2) (2009) 161–171.

[10] S. Mukhopadhyay, A. Raychowdhury, K. Roy, Accurate estimation of total leakage current in scaled CMOS logic circuits based on compact current modeling, in: Proceedings of the IEEE/ACM Design Automation Conference. (DAC '03), pp. 169–174, 2003.

[11] S. Mukhopadhyay, S. Bhunia, K. Roy, Modeling and analysis of loading effect in leakage of nano-scaled bulk-CMOS logic circuits, IEEE Trans. Comput. Aided Des. Electron. Circuits Syst. 25 (8) (2006).

[12] Predictive Technology Model. (http://ptm.asu.edu/).

[13] R. Rao, J. Burns, A. Devgan, R. Brown, Efficient techniques for gate leakage estimation, in: Proceedings of the International Symposium on Low Power Electronics and Design (ISLPED'03), 2003, pp. 100–103.

[14] F. Ramundo, P. Nenzi, M. Olivieri, First integration of MOSFET band-to-bandtunneling current in BSIM4, Microelectron. J. 44 (1) (2013) 26–32. (Elsevier).

[15] K. Roy, S. Mukhopadhyay, H.M. Meimand, Leakage current mechanisms and leakage reduction techniques in deep-submicrometer CMOS circuits, Proceedings of IEEE (2003) 305–327.

[16] K. Roy, S.C. Prasad, Low Power CMOS VLSI Circuits, Wiley, USA, 2000.

[17] A. Sanyal, A. Rastogi, W. Chen, K. Roy, S. Kundu, An efficient technique for leakage current estimation in nanoscaled CMOS circuits incorporating selfloading effects, IEEE Trans. Comput. 59 (7) (2010) 922–932.

[18] K. Schuegraf, C. Hu, Hole injection SiO2 breakdown model for very low voltage lifetime extrapolation, IEEE Trans. Electron Devices 41 (1994) 761–767.

[19] A.K. Sultania, D. Sylvester, S.S. Sapatnekar, Gate oxide leakage and delay tradeoffs for dual-Tox circuits, IEEE Trans. Very Large Scale Integration (VLSI) Syst. 13 (2005) 1362–1375.

[20] Y. Taur, T.H. Ning, Fundamentals of Modern VLSI Devices, Cambridge University Press, USA, 1998.

[21] Y. Tsividis, Operation and Modeling of the MOS Transistor, 2nd edition, Oxford University Press, USA, 2003.

[22] S.H. Voldman, J.A. Brachitta, D.J. Fitzgerald, Band-to-band tunneling and thermal generation gate-induced drain leakage, IEEE Trans. Electron Devices 35 (12) (1988) 2433.

[23] J. Xue, T. Li, Y. Deng, Z. Yu, Full-chip leakage analysis for 65 nm CMOS technology and beyond, Integration VLSI J. 43 (4) (2010) 353–364.

[24] K.S. Yeo, K. Roy, Low-Voltage, Low-Power VLSI Subsystems, McGraw Hill, USA, 2005.