

تأثیر مقیاس پذیری فناوری در کمبود قدرت سلول های استاندارد دیجیتال

CMOS در مقیاس نانو

چکیده

تخمین کمبود یک گام مهم در جریان طراحی دیجیتال با تکنولوژی نانو است. در حالی که داده‌های قابل اعتماد بر روند کمبود فن‌آوری CMOS در دستگاه‌های مستقل و مدارها وجود دارد، فقدان نتایج عمومی در اثر مقیاس‌پذیری در کمبود مصرف برق برای مجموعه استاندارد سلولی کامل است. تجزیه و تحلیلی بر روی کتابخانه سلول استاندارد با استفاده از برآورد سطح منطق مدل، که توسط مقایسه SPICE BSIM 4 پشتیبانی شده است ارائه می‌کنیم. افزایش سرعت مدل سطح منطق بر روی $SPICE < 10^3$ با متوسط دقت خطای زیر 1٪ است. بنابراین تأثیر مقیاس‌پذیری را در کل مجموعه سلولی استاندارد با توجه به مکانیزم‌های مختلف کمبود (زیرآستانه، بدنه، گیت) بنا به وابستگی الگوی ورودی گسترش می‌دهیم. در حالی که کمبود بدنه به نظر غالب می‌رسد، انتظار می‌رود کمبود زیرآستانه بیش از دیگر قطعات مقیاس‌پذیری افزایش یابد. اطلاعات دقیق از کل تجزیه و تحلیل برای استفاده در بیشتر تحقیقات در مورد طراحی دیجیتال گزارش شده است.

کلیدواژه‌ها: CMO، مقیاس‌پذیری، سلول استاندارد، کمبود زیر آستانه، کمبود Gate، کمبود محل اتصال

1. معرفی

به‌طور کلی، اتلاف توان در مدارات دیجیتال می‌تواند در دو جزء مختلف گروه‌بندی شود:

1. قدرت پویا - ناشی از جریان‌های مورد نیاز برای شارژ و تخلیه بار خازن در طول سوئیچینگ سیگنال و جریان اتصال کوتاه در معابر زمانی که هر دو به‌طور همزمان به شبکه Pull-Up و PULL-DOWN می‌شوند.

2. قدرت استاتیک - زمانی رخ می‌دهد که حتی اگر هیچ انتقال سیگنالی با توجه به کمبود جریان در دستگاه وجود نداشته باشد.

کمبود جریان به شیوه‌ای پیچیده بر روی خواص ساختار دستگاه مانند دوپینگ مشخصات، ضخامت اکسید، ابعاد کانال و غیره بستگی دارد، همانگونه که آنها به دلایل مختلف فیزیکی مانند گیت اکسید تونل، انتقال زیرآستانه و معکوس بایاس انتقال محل اتصال بستگی دارد. همانند استراتژی فناوری بین المللی برای نیمه‌هادی‌ها (ITRS) برای روند تلفات توان با توجه به پیشرفت تکنولوژی، تلفات استاتیک قدرت در CMOS نیز انتظار می‌رود که بیش از توان تلفات پویا باشد [5]. همانگونه که شکل 1 نشان می‌دهد توان پویا منبع غالب اتلاف انرژی در سال‌های گذشته بوده است، در حال حاضر قابل مقایسه است و حتی از کمبود زیرآستانه و کمبود اتصال پیشی گرفته است، در حالی که کمبود اکسید گیت توسط معرفی دی‌الکتریک بالای K محدود شده است [5].

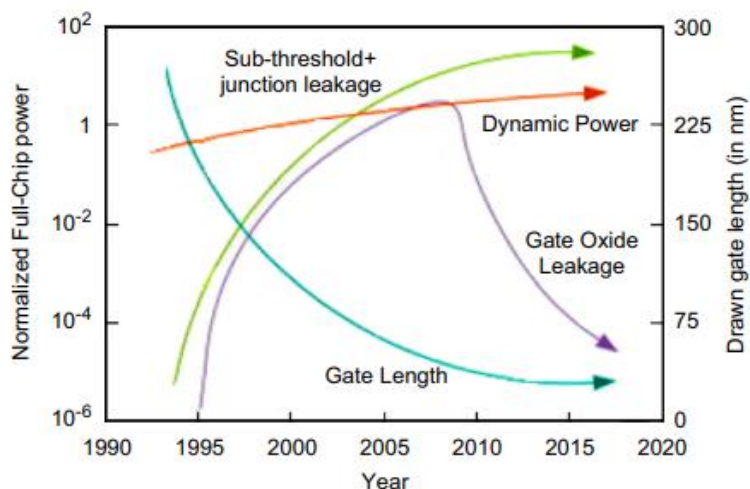
به‌عنوان یک نتیجه، کمبود روش‌های کاهش طراحی سطح مانند انتخاب الگوی ورودی [2]، تحویل و بایاس ولتاژ بدنه [7,9]، ترانزیستور خواب و آستانه دوتایی [15] ارائه شده است، همزمان برآورد فعلی کمبود، یک گام مهم و فزاینده‌ای در طراحی جریان برای پیش‌بینی اثربخشی روش اعمال شده، همچنین به دلیل وابستگی بسیار بالای کمبود جریان در تغییرات پارامتر تکنولوژی است [7,15].

مقیاس‌پذیری فن‌آوری، بنا به تقاضای بازار توابع بیشتری را در مدارات مجتمع می‌طلبد، به همین خاطر تعداد ترانزیستور و فرکانس عامل افزایش یافته است. با این حال، مقیاس‌پذیری همواره موجب ترویج ناخواسته اتلاف انرژی به دلایلی مختلفی شده است. به‌عنوان مثال، کوچک‌سازی طول کانال اثرات کانال را کاهش می‌دهد، که باعث افزایش زیرآستانه فعلی؛ مقیاس‌گذاری ضخامت جریان اکسید گیت و تاثیرگذاری در ولتاژ آستانه که در حال افزایش زیرآستانه است [19]. در نهایت، نه تنها ولتاژ حرارتی (KT / Q) بلکه سیلیکون نیز با مقیاس‌پذیری تغییر می‌یابد. ولتاژ ثابت حرارتی، در غیرمقیاس‌پذیری معکوس شیب ولتاژ زیرآستانه نتیجه شده است در حالی که باند سیلیکون ثابت از شکاف

در غیرمقیاس پذیری و در محل اتصال بالقوه و عرض لایه تخلیه ساخته شده است. بنابراین تراکم ترانزیستور، قابلیت و سرعت مقیاس پذیری تکنولوژی از یک سو افزایش یافت، قدرت تراکم و تنوع نیز از سوی دیگر [24] افزایش یافته است.

در چنین مواقعی، ارزیابی واضح تاثیر مقیاس پذیری بر رفتار قدرت کمبود و ترکیب، در یک کتابخانه سلولی کامل، نه در دستگاه‌ها یا مدارهای جدا شده و ساده آزمون از منافع بزرگ است. برآورد زود هنگام و دقیق جریان کمبود در جریان طراحی برای در نظر گرفتن اقدامات متقابل مبتنی بر فن‌آوری و مبتنی بر طراحی با ارزش است. برآورد جریان نشتی در سطح SPICE نتایج دقیق را تضمین می‌کند، اما برآورد جریان نشتی در مدارهای یکپارچه (IC) با پیچیدگی بالا/متوسط و حتی کمتر عملی نیست از زمانی که تکرار مونت کارلو برای تجزیه و تحلیل آماری اثرات تغییرات تکنولوژی بر نشت جریان مورد نیاز قرار گرفت. علاوه بر این، شبیه‌سازی سطح SPICE اجازه نمی‌دهد که یک تمایز ساده در میان کمک‌های مختلف منابع فیزیکی نشت در یک IC پیچیده وجود داشته باشد، که یک تعریف روشنی از اقدام متقابل مبادلات است. از سوی دیگر، مدل‌های برآورد سطح منطق را می‌توان برای محاسبات سریع‌تر استفاده کرد. تلاش‌های بسیاری در سال گذشته به منظور تعریف محاسبه قدرت نشت سریع در سطح منطق با دقت بالا انجام شده است، که می‌تواند قبل از اجرای مدار طراحی [1,10,13] به کار برده شود. تکنیک ارائه شده در [1] یک رویکرد در مدل‌سازی جریان‌های نشتی در سطح منطق HDL ارائه می‌کند، که قادر است دقت بسیار خوبی به دست آورد و به همان اندازه برای فن‌آوری‌های مقیاس پذیر معتبر است.

این کار، تجزیه و تحلیلی از جریان‌های نشتی محاسبه شده برای یک کتابخانه سلول استاندارد کلی ارائه می‌کند هنگامی که مقیاس پذیری تکنولوژی CMOS، تأییدی در سطح SPICE از نتایج به دست آمده گزارش می‌کند. ما تاثیر جریان‌های نشتی با فن‌آوری‌های مقیاس پذیر از فن‌آوری 45 نانومتر به 32 نانومتر و 22 نانومتر (جدول 1) را تحلیل می‌کنیم.



شکل 1: روند تلفات منابع اصلی قدرت در ترانزیستور نانو CMOS. (همانند [23] با اقتباس از [5]).

جدول 1: مقادیر پارامتر در گره سه تکنولوژی استفاده شده

Parameter	45 nm	32 nm	22 nm
Threshold voltage (Vth0)			
PMOS	-0.23122	-0.24123	-0.25399
NMOS	0.3423	0.3558	0.3692
Channel doping concentration (NDEP)			
PMOS	2.3e18	3.5e18	4.4e18
NMOS	6.5e18	8.7e18	1.2e19
Low field mobility (U0)			
PMOS	0.00391	0.00306	0.0023
NMOS	0.02947	0.0238	0.0181
Source-drain junction depth (Xj)			
PMOS	1.4e-008	1.008e-008	7.2e-009
NMOS	1.4e-008	1e-008	7.2e-009
Electrical oxide thickness (toxe)			
PMOS	9.2e-010	7.7e-010	6.7e-010
NMOS	9.0e-010	7.5e-010	6.5e-010
Physical oxide thickness (toxp)			
PMOS	6.5e-010	5.0e-010	4.0e-010
NMOS	6.5e-010	5.0e-010	4.0e-010

با استفاده از قابلیت‌های مدل موجود در [1]، تاثیر تکنولوژی مقیاس‌پذیری را به‌طور جداگانه در سه جزء اصلی نشت به‌عنوان مثال نشت Gate، نشت زیرآستانه و نشت اتصال، از جمله الگوی ورودی وابستگی و اثرات انباشتگی تا سه انباشتگی MOSFET نشان می‌دهیم. بارگذاری اثر را نیز می‌توان در فن‌آوری داده شده آزمایش‌های ما گنجانده که تاثیر کلی آن نامرتب است. مقاله به شرح زیر ساختار بندی شده است: در بخش 2، شش مدل فعلی نشت از تلفات توان از نظر مدل محاسبه سطح منطق توضیح و تفسیر شده است؛ بخش 3 مدل محاسبه نشت و پیاده‌سازی استفاده شده را مورد بحث قرار می‌دهد. بخش 4 گزارش نتایج نشت را از طریق SPICE و VHDL همراه با خطای بین آنها در

سه فن آوری مقیاس پذیر برای همه الگوهای ورودی در 16 سلول استاندارد بیان می کند. بخش 5 به تجزیه و تحلیل وابسته به ترکیب ورودی از سه نشست بزرگ قطعات در سه فن آوری مقیاس پذیر برای 16 سلول اختصاص داده شده است، در بخش 6 نتیجه گیری بیان شده است.

2. بررسی مکانیسم های نشت در فن آوری های مقیاس پذیر

در فن آوری CMOS با مقیاس نانو، شش مکانیسم نشت برای کمک به کل تلفات توان استاتیک شناسایی شده است [15]، همان طور که در شکل 2 نشان داده شده است. در حال حاضر شش مکانیسم نشت به شرح زیر است (برای N-MOS نشان داده شده است):

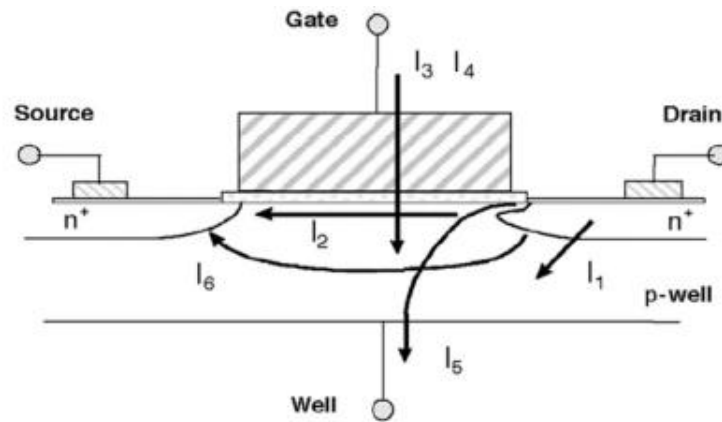
معکوس جریان بایاس اتصال و تونل زنی باند به باند (I_1): تخلیه / جریان بایاس معکوس منبع متصل به PN در هر دو حالت روشن و خاموش رخ می دهد. وقتی پایانه های ترانزیستور در ولتاژهای بالا قرار گیرند، دیوهای پارازیتی به شدت به حالت معکوس بایاس شده و در نتیجه منجر به ایجاد یک جریان اتصال بایاس معکوس مدل شده در 4BSIM [4] به شرح زیر می گردد:

$$I_{junc} = \mu_0 C_{ox} \frac{W}{L_{eff}} V_{therm}^2 e^{1.8} \quad (1)$$

من که در آن μ_0 تحرک بایاس صفر است، C_{ox} خازن اکسید گیت است در واحد سطح، W عرض دستگاه، L_{eff} طول موثر ترانزیستور و V_{therm} ولتاژ حرارتی [21] است. تونل زنی باند به باند (BTBT) با توجه به تخلیه دیود رخ می دهد، BTBT عمیقاً در ناحیه بین تخلیه اکسید گیت و محل اتصال تخلیه جای می گیرد. اگر برق موجود به اندازه کافی بزرگ باشد فاصله تونل زنی از انتقال ظرفیت نوار تخلیه / بستر دیود تجاوز می کند، بنابراین یک جریان از منطقه همپوشانی تخلیه گیت به بستر جریان می یابد. BTBT به دلیل کاهش عرض تخلیه اتصال در حال افزایش است، و به شرح زیر محاسبه می شود [22]:

$$J_{BTBT} = A \frac{EV_R}{\sqrt{E_g}} \exp\left(-B \frac{E_g^{3/2}}{E}\right) \quad (2)$$

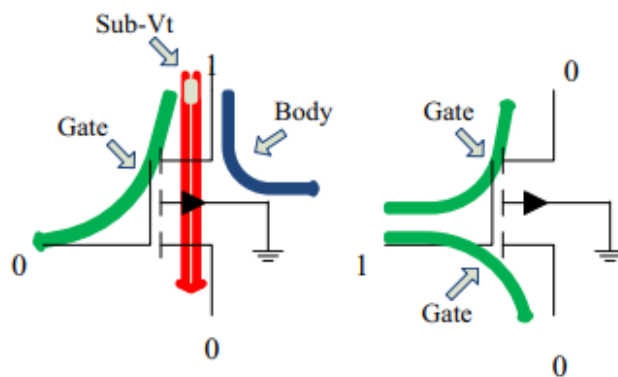
که در آن BTBT [چگالی جریان است، A و B حامل موثر جرم ثابت وابسته هستند، E میدان الکتریکی در سراسر اتصال است، V_R ولتاژ اعمالی در سراسر اتصال است و E_g شکاف باند در اتصال است.



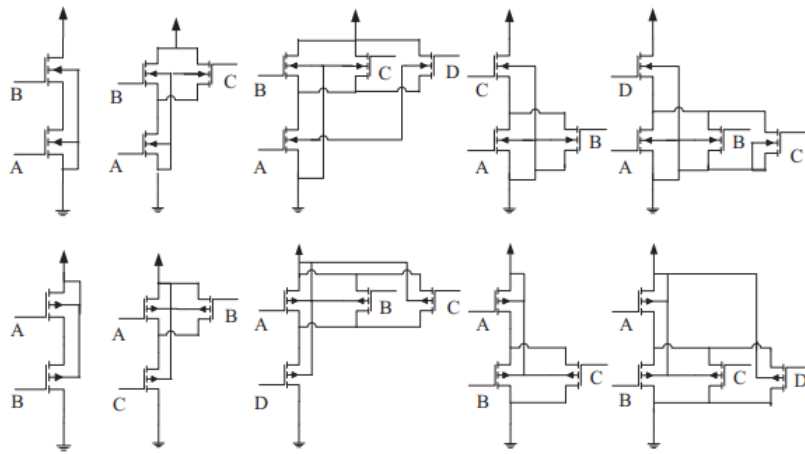
شکل 2: مکانیسم نشت در ترانزیستور نانو CMOS [16].

معرفی اخیر BTBT در 4BSIM گزارش شده است [14].

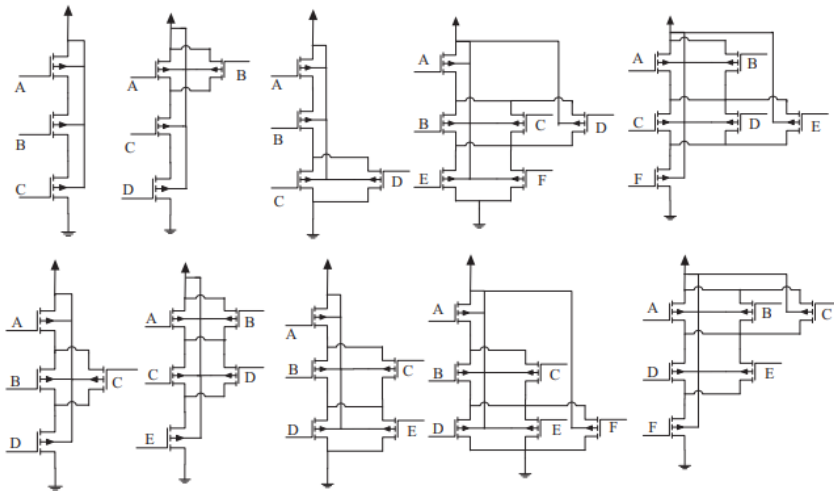
جریان‌های زیرآستانه (I_2): در حال حاضر زیرآستانه با توجه به جریان انتشار حامل اقلیت جریان از طریق بستر از طریق منبع، در حالت خاموش اتفاق می‌افتد. زیرآستانه (1) با کاهش ولتاژ آستانه، (2) با کاهش طول کانال فن‌آوری به‌عنوان مثال فن‌آوری مقیاس‌پذیر، (3) با درجه حرارت، (4) با اثرات کانال کوتاه و (5) با مانع ناشی از تخلیه کاهنده (DIBL) در حال افزایش است.



شکل 3: جریان وابسته حالت ترمینال از نشی‌های مختلف (برای دستگاه NMOS نشان داده شده است).



شکل 4: مدارهای ولتاژ گرہ داخلی برای دو دستگاه انباشته نوع N و دو نوع P (تنها یک گرہ داخلی).



شکل 5: مدارهای ولتاژ گرہ داخلی برای سه دستگاه انباشته نوع N و دو نوع P (دو گرہ داخلی). پشته NMOS بر این اساس در نظر گرفته شده است.

بنابراین، اثر زیرآستانه یکی از منابع تسلط نشت قدرت در دستگاه‌های مدرن نانو CMOS است. مدل BSIM جریان زیرآستانه برای DIBL را به شرح زیر محاسبه می‌کند [4]:

$$I_{Sub-vt} = I_{junc} \left[1 - \exp\left(\frac{-V_{DS}}{V_{therm}}\right) \right] \exp\left(\frac{V_{GS} - V_{th} - V_{off}}{nV_{therm}}\right) \quad (3)$$

به طوری که I_{junc} محل اتصال معکوس جریان است، V_{DS} تخلیه ولتاژ منبع اعمال شده است، V_{GS} ولتاژ منبع گیت اعمال شده است، V_{th} ولتاژ آستانه، N ضریب DIBL و V_{off} آفست ولتاژ محاسبه شده توسط BSIM داخلی و DIBL

در ولتاژ آستانه است. تخلیه ناشی از سد کاهنده (DIBL) یک نتیجه مستقیم از مجاورت فیزیکی منبع و تخلیه مناطق در نانو CMOS است.

تونل زنی از طریق و به گیت اکسید (I_3): تونل زنی الکتریکی از طریق و به گیت اکسید رخ می دهد هنگامی که برق بالا با ضخامت اکسید کم ترکیب می شود (در نمونه 45 نانومتر فن آوری، $t_{ox} = 1.4 \text{ nm}$ ، بنابراین جریان قابل ملاحظه ای به / از ترمینال گیت عبور می کند. در گرہ تکنولوژی 65 نانومتر و یا بالاتر، تاثیر آن نسبتاً کوچک است، اما با طول کانال 45 نانومتر و پایین تر، اثر آن شدیدتر می شود و حتی ممکن است از جریان های زیرآستانه پیش بیافتد. در درجه اول مکانیسم می تواند به Nordheim-Fowler و تونل زنی مستقیم تقسیم شود [15,18].

تزریق حامل گرم از بستر به اکسید گیت (I_4): داغ تزریق حامل از بستر به گیت با توجه به میدان های الکتریکی بالا در منطقه همپوشانی گیت تخلیه جدا از جریان GIDL اتفاق می افتد. در میدان های الکتریکی بالا، الکترون ها به اندازه کافی پراثری هستند به عنوان مثال، برای غلبه بر ارتفاع مانع از اکسید و عبور از گیت به اندازه کافی گرم هستند. تزریق حامل داغ می تواند در هر دو حالت روشن و خاموش رخ دهد. این جریان در BSIM به صورت زیر محاسبه می شود [4]:

$$I_5 = \frac{ALPHA_0 + ALPHA_1 L_{eff}}{L_{eff}} (V_{DS} - V_{DSeff}) \exp\left(\frac{BETA_0}{V_{DS} - V_{DSeff}}\right) I_{dsNoSCBE} \quad (4)$$

که در آن $ALPHA_0$ ، $ALPHA_1$ و $BETA_0$ پارامترهای مدل، V_{DSeff} محاسبه ولتاژ داخلی تخلیه منبع برای داشتن گذری از لامپ سه قطبی به منطقه اشباع و $I_{dsNoSCBE}$ تخلیه جریان منبع است.

گیت ناشی از نشت تخلیه (GIDL) (I_5): مقیاس پذیری در ضخامت اکسید در میدان های الکتریکی بالا در منطقه اکسید گیت حتی با ولتاژ کوچک به کار برده شده در نزدیکی محل اتصال تخلیه نتیجه می شود [20,16,24]. با میدان الکتریکی به اندازه کافی بالا، یک جفت الکترون-حفره می تواند در منطقه همپوشانی تخلیه گیت تولید شده و در حالی که اکثریت حامل در منطقه تخلیه شدت ترکیب می شود، اقلیت حامل در بستر تولید یک جریان GIDL قرار گیرند. GIDL در حالت خاموش رخ می دهد. معادله زیر نشان دهنده محاسبات BSIM برای جریان GIDL [4] است:

$$I_{GIDKL} = AGIDL \cdot W_{effCJ} N_f \frac{V_{DS} - V_{GS} - EGIDL}{3T_{ox}} \exp\left(-\frac{3 \cdot BGIDL \cdot T_{ox}}{V_{DS} - V_{GS} - EGIDL}\right) \frac{V_{DB}^3}{CGIDL \cdot V_{DB}^3} \quad (5)$$

که در آن AGIDL، BGIDL، CGIDL و EGIDL پارامترهای مدل به دست آمده از طریق داده‌های تجربی هستند، W_{effCJ} عرض موثر انتشار و N_f به تعداد انگشتان دست در دستگاه است.

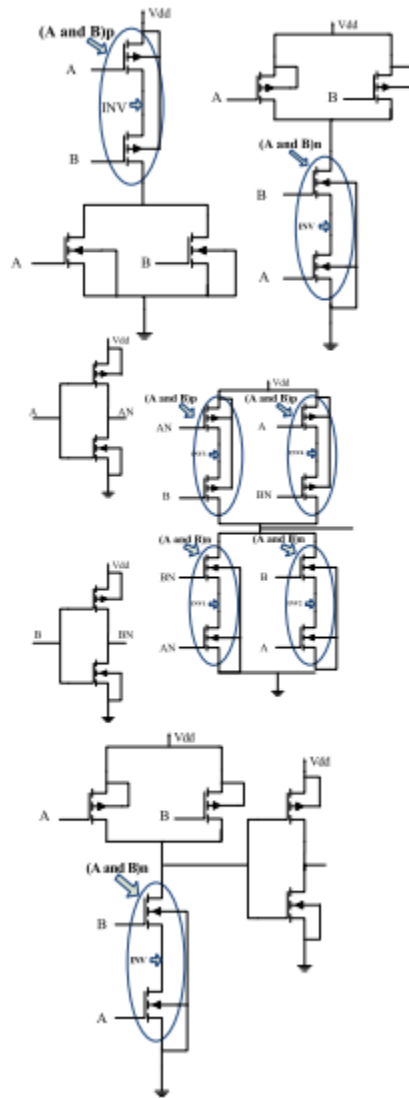
از طریق Punch (I_6): در حال حاضر این روش نزدیکی فیزیکی از منبع و خروجی در مقیاس پذیری CMOS است [19]. هنگامی که مناطق تخلیه / بستر (اتصال p-n) و منبع / بستر (اتصال p-n) به یکدیگر می‌رسند به‌عنوان نتیجه

یک مسیر بین آنها برقرار می‌شود و در نتیجه Punch از طریق جریان جاری و در خارج از حالت رخ می‌دهد.

در مدارات دیجیتال زیر 65 نانومتر گره تکنولوژی، اتصال جریان معکوس بایاس (I_1)، جریان‌های زیرآستانه (I_2) و نشت گیت (I_3) منابع غالب نشت [11] و تمرکز برآورد/ تکنیک‌های کاهش هستند. این منابع نشتی برای برآورد جداگانه هر مورد رفتار متفاوتی دارند که بسیار مهم هستند. در تجزیه و تحلیل ما، جریان GIDL و جریان از طریق Punch به‌عنوان جریان‌های زیرآستانه در نظر گرفته می‌شوند. جریان گیت به دلیل تزریق حامل داغ بیش از نشت گیت کمک کرده است.

شکل 3. جریان اجزای عمده نشت زیرآستانه، گیت و نشت بدنه در ترانزیستور NMOS بسته به حالت‌های ورودی (NMOS در off NMOS) را نشان می‌دهد:

- هنگامی که NMOS خاموش است و پایانه‌های زهکشی و منبع در ولتاژهای متفاوت پشتیبانی می‌شوند:
- نشت زیرآستانه، از تخلیه به ترمینال منبع.
- گیت نشت، از تخلیه به ترمینال گیت.
- نشت بدنه، از تخلیه به ترمینال بستر.
- هنگامی که NMOS روشن است و پایانه‌های زهکشی و منبع در ولتاژ یکسانی قرار دارند:
- نشت گیت، از گیت به پایانه تخلیه و منبع جریان می‌یابد.
- نشت بدنه، از گیت به ترمینال جریان می‌یابد.



شکل 6: سلول استاندارد دو ورودی (AND2، 2NOR، NAND، AND2 و 2XOR).

دو تاثیر ویژه وجود دارد که می‌تواند جریان نشت در ترانزیستور را تغییر دهد: اثر انباشتن و اثر بارگذاری. پیشین زمانی رخ می‌دهد که ترانزیستور در یک اتصال تخلیه منبع انباشته شده باشد و تمام اجزای نشت را به دلیل تغییر قابل توجه در ولتاژ داخلی به شدت تحت تاثیر قرار می‌دهد.

جدول 2: الگوی نشتی وابسته در سلول‌های تک و دو ورودی. مقادیر در NA

Standard cell name	Signal pattern	45 nm Technology			32 nm Technology			22 nm Technology			Body bias. 45 nm tec.			Body bias. 32 nm tec			Body bias. 22 nm tec		
		SPICE	VHDL	Er %	SPICE	VHDL	Er %	SPICE	VHDL	Er %	SPICE	VHDL	Er %	SPICE	VHDL	Er %	SPICE	VHDL	Er %
NOT	0	34.47	34.48	0.01	39.88	39.89	0.02	45.49	45.51	0.05	30.35	30.30	0.17	33.87	33.80	0.18	36.89	36.87	-0.04
	1	39.77	39.78	0.03	44.61	44.63	0.05	50.85	50.90	0.10	29.82	29.94	0.38	33.67	33.73	0.15	37.68	37.98	0.80
	Aver.	37.12	37.13	0.02	42.25	42.26	0.04	48.17	48.21	0.08	30.09	30.12	0.10	33.77	33.76	0.02	37.28	37.43	0.38
2-Input NAND gate	00	57.63	57.61	-0.04	66.82	66.82	0.00	72.09	72.10	0.01	55.43	55.33	0.18	61.81	61.76	0.09	65.08	65.07	0.02
	01	38.55	38.78	0.58	43.73	44.31	1.31	46.87	47.67	1.67	63.61	63.82	0.34	73.61	74.21	0.82	38.08	38.07	0.02
	10	72.27	72.31	0.07	85.66	85.75	0.11	96.93	97.13	0.21	31.97	32.56	1.83	35.57	36.09	1.43	81.47	82.33	1.04
	11	107.07	107.15	0.07	124.00	124.14	0.11	144.01	144.32	0.22	87.51	87.46	0.06	102.48	102.39	0.09	118.76	118.56	0.17
Aver.	68.88	68.96	0.12	80.05	80.26	0.25	89.97	90.30	0.37	59.63	59.79	0.28	68.37	68.61	0.36	75.85	76.01	0.21	
2-Input NOR gate	00	123.14	123.23	0.08	147.40	147.58	0.12	171.77	172.16	0.23	113.10	113.03	0.07	130.00	129.87	0.10	146.27	146.02	0.17
	01	123.29	123.69	0.32	145.01	145.74	0.50	171.71	173.44	1.00	38.93	39.82	2.25	42.80	43.07	0.61	45.89	45.78	0.24
	10	55.59	55.65	0.11	59.30	59.31	0.03	62.80	62.96	0.26	100.94	100.91	0.03	116.61	116.57	0.03	135.89	135.38	0.38
	11	37.92	37.71	-0.56	40.19	39.97	-0.54	38.66	38.42	-0.63	35.83	35.39	1.26	38.63	38.42	0.55	37.56	37.56	0.01
Aver.	84.98	85.07	0.10	97.97	98.15	0.18	111.23	111.74	0.46	72.20	72.29	0.12	82.01	81.98	0.03	91.40	91.18	0.24	
2-Input AND gate	00	97.49	97.39	-0.11	111.60	111.55	-0.05	123.26	123.00	-0.22	85.27	85.32	0.06	95.29	95.58	0.31	102.76	103.26	0.48
	01	78.49	78.56	0.09	88.63	88.12	-0.58	98.29	98.57	0.28	61.51	62.59	1.72	69.05	69.97	1.31	75.75	76.37	0.81
	10	112.24	112.10	-0.12	130.62	130.38	-0.19	148.53	148.03	-0.34	93.45	93.85	0.43	107.09	108.11	0.95	119.15	120.70	1.28
	11	141.54	141.62	0.06	163.89	164.03	0.09	189.55	189.83	0.15	117.36	117.75	0.33	135.01	136.16	0.85	153.76	155.41	1.06
Aver.	107.44	107.42	-0.02	123.69	123.52	-0.13	139.91	139.86	-0.04	89.40	89.88	0.53	101.61	102.46	0.83	112.86	113.93	0.95	
2-Input XOR gate	00	276.10	270.88	-1.92	320.16	317.30	-0.90	370.50	370.03	-0.13	227.79	229.33	0.67	260.06	262.91	1.08	296.80	299.08	0.76
	01	239.23	238.78	-0.19	281.41	280.04	-0.49	320.67	318.94	-0.54	207.91	208.98	0.51	238.84	239.98	0.47	266.60	267.33	0.27
	10	239.26	239.41	0.06	281.50	281.75	0.09	320.89	321.32	0.13	207.91	208.98	0.51	238.84	239.99	0.48	266.60	267.38	0.29
	11	285.80	281.50	-1.53	328.02	326.78	-0.38	377.96	380.81	0.75	225.82	228.09	1.00	259.35	261.85	0.96	298.33	299.40	0.36
Aver.	260.09	257.64	-0.95	302.77	301.47	-0.43	347.51	347.78	0.08	217.36	218.85	0.68	249.28	251.18	0.76	282.08	283.30	0.43	

حالت دوم زمانی رخ می‌دهد که نشت گیت یک سلول توسط سلول‌های دیگر مانند القاء اختلاف ولتاژ ΔV در ترمینال خروجی از سلول رانده شود، در نتیجه بر هر دو نشت مؤثر است. در مدارهای پیچیده نشان داده شده است که تاثیر آن در مقایسه با اثرات مثبت و منفی در سلول‌های مختلف، تجمعی نیست [17,11].

3. مدل محاسبه نشت

تمام خصوصیات براساس تحلیل انجام شده‌ی ما در سطح SPICE با استفاده از مدل کانال کوتاه IGFET (BSIM) [4] با 45 نانومتر، 32 نانومتر و 22 نانومتر فلز گیت CMOS بر اساس پارامترهای مدل فن‌آوری پیش‌بینی (PTM) [12] است. شبیه‌ساز SPICE استفاده شده در تحلیل ما NGSPICE است [6,14].

روش برآورد سطح منطق نشت [1] که در تحلیل ما مورد استفاده قرار گرفته است متکی بر اجرای دو بسته VHDL است:

- Single_MOS_leakage.vhd: این بسته شامل آرایه‌های داده‌ای از همه جریان‌های نشتی از چهار MOS تکی (PMOS-on, PMOS-off, NMOS-off, NMOS-on) به شکل ماتریس است.

• `Single_cell_voltage_leakage.vhd`: در این بسته، آرایه‌های داده‌ای شامل تمام ولتاژهای گره داخلی

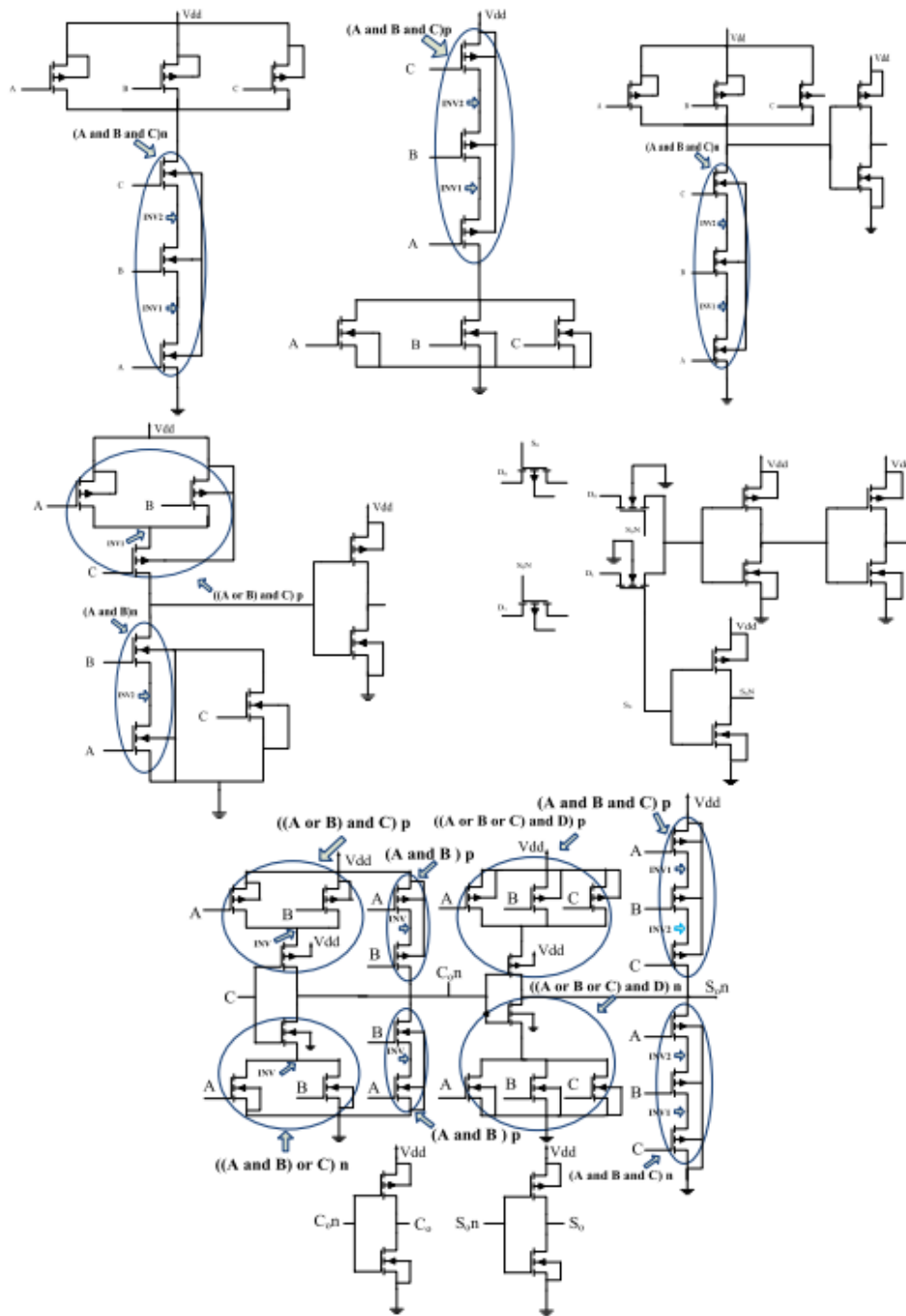
(مورد نیاز برای ارزیابی به درستی نشت) به شکل ماتریس در دسترس هستند.

هدف از خصوصیات تک MOS برای چاپ مقادیر در تخلیه، گیت، منبع و بستر پایانه برای هر تنوعی در عرض (W) از 1 تا 8 برابر حداقل مقادیر، هر تنوعی در ولتاژ از 0 ولت تا 1.2 ولت با 0.05 ولت گام، در دمای 30 درجه و 100 درجه است. بنابراین همه‌ی استخراج‌های جریان نشت، اشاره به مضرب حداقل عرض کانال دارند که در بسته `Single_MOS_leakage.vhd` به شکل ماتریس ذخیره شده است. بنابراین 24 ماتریس ایجاد شده است، هر ماتریس حاوی 48 سطر، 24 سطر اول برای 30 درجه و 24 ردیف بعدی برای 100 درجه حرارت است. همه نتایج ارائه شده در زیر به 30 درجه اشاره دارد.

در بسته `Single_MOS_leakage.vhd` سه تابع VHDL، I_{sub} ، I_{gate} و I_{body} ، مربوط به زیرآستانه، گیت و نشت اتصال به ترتیب تعریف شده است، ارزیابی جریان در سطح منطق با استفاده از داده‌های مشخص انجام می‌شود. جزئیات سه تابع به شرح زیر است:

```
function Isub (Wmin: in integer;           --gate length
                                                    [nm], technology
                                                    parameter
                NWmin: in integer;         --gate width as
                                                    multiple of Wmin
                Vds: in real;              --Vds
                temperature: in integer    --temperature
                                                    [°C])
function Igate (Wmin: in integer;         --gate length
                                                    [nm], technology
                                                    parameter
                NWmin: in integer;         --gate width as
                                                    multiple of Wmin
                Vdsg: in real;             --Vdg or Vsg
                temperature: in integer    --temperature
                                                    [°C])
function Ibody (Wmin: in integer;        --gate length[nm],
                                                    technology
                                                    parameter
                NWmin: in integer;        --gate width as
                                                    multiple of Wmin
                Vdsb: in real;             --Vdb or Vsb
                Vgb: in real;              --Vgb
                temperature: in integer    --temperature
                                                    [°C])
```

خصوصیات ولتاژ گره داخلی برای ارزیابی درست جریان در سازه‌ها از جمله ترانزیستور انباشته مورد نیاز است، که جدول 2 برای مل‌سازی سلول‌های واقعی موردنیاز است.



شکل 7: سلول‌های استاندارد سه ورودی (NAND، NOR، 3AND، 3AO، 21MUX، و تمام جمع‌کننده).

برای همه ترانزیستورهای سلول، که به درستی در تمام اجزاء نشت انباشته شده‌اند بازیابی کرد. در واقع، به منظور محاسبه کل جریان نشتی در سلول از تامین‌کننده‌های توان خارجی، ما مجبور به تجمیع جریان‌های مستقیم به گره زمین هستیم [3،1].

مدل به تصویب رسیده شامل بارگذاری محاسبه اثر، با نشست Gate یک سلول که توسط سلول‌های دیگر اتفاق می‌افتد معرفی اختلاف ولتاژ ΔV در ترمینال خروجی سلول است، در نتیجه بر نشت هر دو آنها مؤثر است. اثر بارگذاری ممکن است نشت کل Gate را افزایش یا کاهش دهد. در تحلیل ما، اجرای مدل بارگذاری اثر بر اساس خصوصیات ΔV توسط SPICE بر اساس شبیه‌سازی 4BSIM از تمام ترکیبات ممکن و عرض دستگاه از Pull-Up، Pull-down و بار است. باید اشاره کرد که با توجه به ارزش ΔV کوچک و برای جبران خسارت بین اثرات مثبت و منفی، عملی را که بی‌تاثیر است انجام می‌دهیم.

در زیر، یک نمونه از کد VHDL از NAND نشان داده شده است که بیان می‌کند، چگونه مدل برآورد نشت به داده‌های جداول در بسته دسترسی پیدا می‌کند.

```

constant Wmin: integer:= 22;      --to set gate length [nm]
constant NWmin: integer:= 1;     --to set gate width as a
                                --multiple of Wmin
constant temperature:            --to set temperature [°C],
integer:= 30;                    25, 30 or 100
constant Vdd: real:= 1.0;        --to set power supply
                                --voltage
variable comb: std_logic_vector (1 downto 0);
-- assigned with the input signals;
variable matrix: matrix_23NP:=choosematrix(temperature,
Vdd);
-- chooses the matrix in INV packages based on temperature and
-- supply voltage values.
variable a00Vdd: real:=matrix(48).Vn1;
variable a01Vdd: real:=matrix(49).Vn1;
variable a10Vdd: real:=matrix(50).Vn1;
variable a11Vdd: real:=matrix(51).Vn1;
-- these are variables assigned with node voltages for the four
-- input combinations
-- of NAND cell. Matrix 48, 49, 50 and 51 corresponds to line
-- number
-- in the chosen matrix, while Vn1 corresponds to the node.
-- < other omitted code here >
case comb is
when "00" => -- < omitted code >
when "01" => PrintLeakages (
    lsub(Wmin,2*NWmin,a01Vdd, temperature),
    2.0*lbody(Wmin,2*NWmin, +a01Vdd,0.0,temperature)+
    lbody(Wmin,2*NWmin, Vdd, 0.0,temperature),
    2.0*lgate(1,Wmin,2*NWmin,Vdd,temperature)+lgate(0,
    Wmin,2*NWmin,a01Vdd,temperature));
-- equation for "01" input combination; current functions are
-- invoked with node voltage values.

-- similar equations written for other input combinations.
-- equations are derived from the topology of the involved
-- stacks;

```

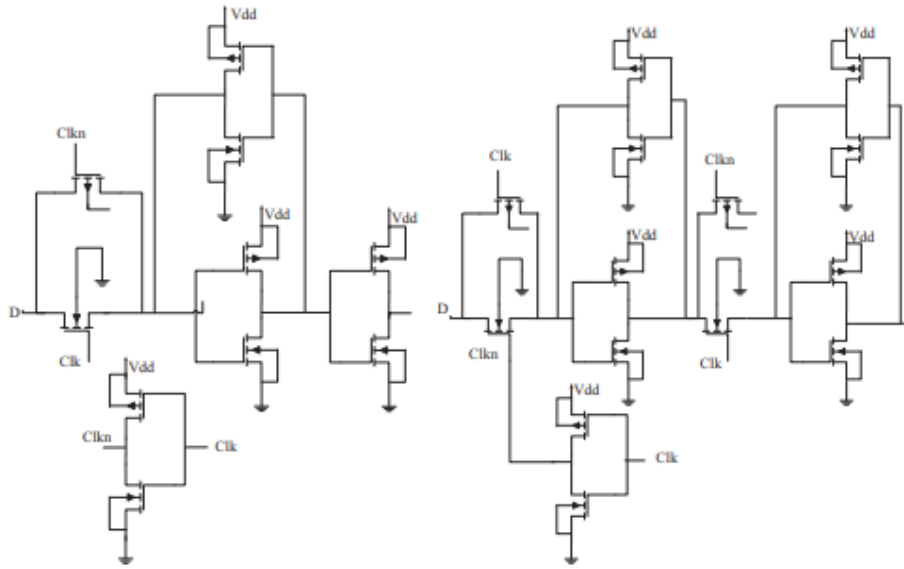
4. مقایسه جریان نشتی برآورد شده در فن آوری مقیاس پذیر

در داده‌های ارائه شده، ما به سلول‌های استاندارد با حداقل اندازه تمرکز می‌کنیم، باین حال روش یکسانی برای تغییر اندازه سلول‌ها به کار برده می‌شود. رشد خطی جریان نشتی با عامل تغییر اندازه از سلول را می‌یابیم.

در سه گره تکنولوژی اندازه دستگاه با توجه به اندازه حداقل ویژگی در هر فن آوری کوچک شده است، در حالی که V_{DD} سازگار با سرعت بالا در گره‌های فن آوری است [5]. همچنین نتایج گزارش شامل بایاس معکوس بدنه به کار برده شده در هر یک از سه فن آوری است. بایاس بدنه همانند $-0.2 V$ در دستگاه‌های نوع N و $V_{DD} + 0.2 V$ در دستگاه‌های نوع P به کار برده شده است.

سلول‌های استاندارد دو ورودی از کتابخانه ما در شکل 6 با جزئیات و نوع پشته مورد نیاز برای دسترسی به جداول ولتاژ گره داخلی (INV) برای ورودی خاص ترکیبی در بسته Single_cell_voltage_leakage.vhd بیان شده است. همه‌ی پشته‌ها در سلول دو ورودی، یک ولتاژ گره داخلی دارند. جدول 2 جریان نشست برای سلول‌های دو ورودی محاسبه شده توسط برآورد مدل در VHDL و NGSPICE، همراه با درصدی خطا را نشان می‌دهد. داده‌ها برای همه الگوهای ورودی در 45 نانومتر، 32 نانومتر و 22 نانومتر گره فن آوری گزارش شده است و اکثریت قریب به اتفاق نتایج درصد خطای زیر 1٪ را نشان می‌دهد. دقت‌های مختلف برای ورودی‌های مختلف الگوها ممکن است به تدریج خطاهایی در مقادیر ولتاژ داخلی اشاره کند. نتایج مربوط به بایاس معکوس نشان می‌دهد که در فن آوری‌های هدف، روش موثر برای کاهش نشت وجود ندارد چرا که نشت زیرآستانه اغلب بیان کننده نشت گیت است و به دلیل تغییر ولتاژ داخلی گره در سلول‌ها، کاهش نشت زیرآستانه را محدود می‌کند.

براین اساس، سلول‌های استاندارد سه ورودی در شکل 7 با جزئیات بیشتر برای دسترسی به جداول ولتاژ گره داخلی نشان داده شده است. پشته‌ها شامل دو گره داخلی به جز سلول استاندارد 21MUX هستند که گره‌های داخلی شناور ندارد.



شکل 8: سلول‌های استاندارد متوالی (D-لج، D-فلیپ فلاپ).

جدول 3 گزارش نتایج نشتی برای سلول‌های استاندارد سه ورودی محاسبه شده توسط مدل VHDL و NGSPICE، همراه با درصد خطا است.

سلول‌های استاندارد متوالی D-لج و فلیپ فلاپ در شکل 8 نشان داده شده است. برای این سلول‌ها، الگوی مرجع باید شامل مقدار خروجی سیگنال باشد، همان‌گونه که جریان‌های نشتی به‌طور کامل از استخراج الگوی ورودی جلوگیری نمی‌کنند. این سلول‌ها برای گره‌های داخلی شناور لازم نیست، زیرا گره داخلی از پشته توسط گیت عبور تشکیل شده است و بازخورد همیشه از ورودی مسیر بازخورد فعال است. افت ولتاژ در گره داخلی ناشی از جریان‌های انگلی در نظر گرفته می‌شود که با استفاده از ولتاژ گره برای دسترسی به جداول نشت است. باید گفت که تاثیر افت ولتاژ عملاً قابل اغماض است. این امر می‌تواند در مورد گره‌های شناور، که هرگز اتفاق نمی‌افتند متفاوت باشد. در کتابخانه ارائه شده، شبکه ترانزیستور هرگز گره شناور داخلی ندارد. به‌طور کلی، این اتفاق با معرفی مدل پشته اختصاص داده شده از گیت انتقال در مدار اولیه سازه مدل‌سازی می‌شود. نتایج جریان نشتی برای سلول‌های ترتیبی در جدول 4 با توجه به الگوی سیگنال از جمله ورودی، ساعت، و خروجی، همراه مقایسه با نتایج NGSPICE گزارش شده است.

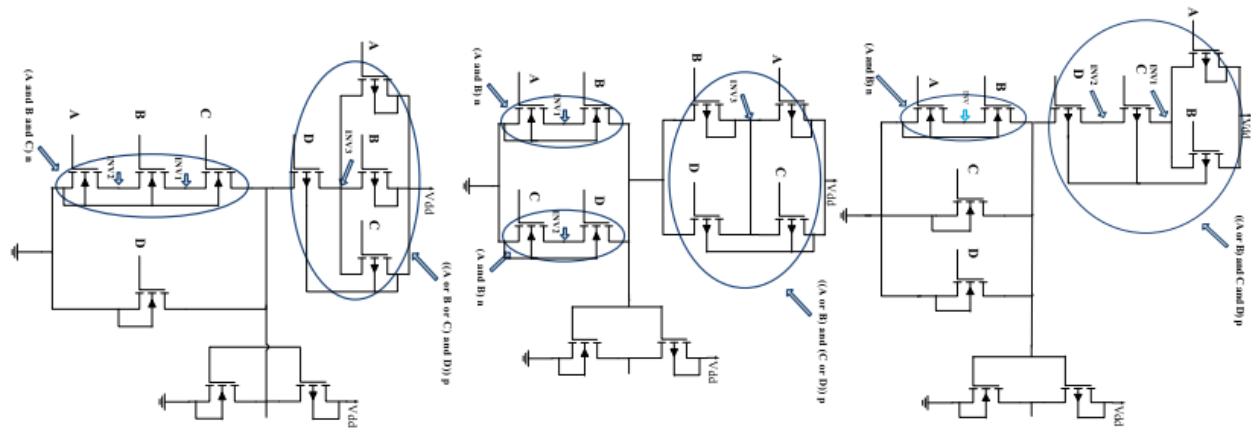
در نهایت، شکل 9 سلول‌های استاندارد چهار ورودی، با برجستگی در نوع پشته برای دسترسی به جداول ولتاژ گره داخلی را نشان می‌دهد و جدول 5 نتایج نشت را، همراه با درصد خطا با توجه به NGSPICE گزارش می‌دهد.

کاربرد داده‌های به دست آمده از نشت، با معیار مدارهای متشکل از چندین سلول شامل یک جستجوگر برابری 8 بیتی، 8 بیتی جمع‌کننده با انتقال رقم نقلی، 18 واحد ورودی ترکیبی عمومی (براساس 31A0) و مقایسه‌گر 4 بیتی (براساس 22 AO) است. نتیجه دقت به ترتیب 0.19٪، 0.2٪، 0.00٪، 0.28٪ در تکنولوژی 45 نانومتر [1]، و به ترتیب 0.24٪، 0.71٪، 0.05٪، 0.32٪ در 22 تکنولوژی نانومتر است. افزایش سرعت در زمان اجرا با توجه به SPICE بین 103 و 104 است.

به‌عنوان یک تحلیل اضافی، اثربخشی سطح منطق جریان برآورد برای مدل‌سازی تغییرات پارامتر فن‌آوری مورد آزمایش قرار گرفته است. برای این منظور، تغییرات تصادفی در ضخامت اکسید و عرض دستگاه W، تولید مجموعه‌ای از خصوصیات ماتریس (دستگاه ماتریس فعلی و ماتریس ولتاژ گره) از 103 عنصر تجزیه شده است. ما از مجموعه‌ای از خصوصیات ماتریس برای تکرار در ارزیابی سطح منطق مونت کارلو از سلول نشت استفاده می‌کنیم. تغییرات گوسی با 10٪ انحراف بود. توزیع فراوانی به دست آمده با ردیابی نشت به‌دست آمده ارزش موضوع را به تغییرات پارامتر تکنولوژی در شکل 10 برای یک زیرمجموعه از کتابخانه سلول نشان داده شده است.

جدول 4: الگوی نشت وابسته در سلول‌های سریال. مقادیر در NA.

Standard cell name	Signal pattern	45 nm Technology			32 nm Technology			22 nm Technology			Body bias. 45 nm tec.			Body bias. 32 nm tec			Body bias. 22 nm tec		
		SPICE	VHDL	Er %	SPICE	VHDL	Er %	SPICE	VHDL	Er %	SPICE	VHDL	Er %	SPICE	VHDL	Er %	SPICE	VHDL	Er %
DLatch	000	142.54	142.28	-0.18	161.14	160.69	-0.27	182.84	181.88	-0.53	119.61	119.93	0.27	132.70	133.44	0.55	145.20	146.39	0.81
	001	182.15	182.36	0.12	207.30	207.73	0.21	238.54	239.39	0.35	98.56	97.38	-1.21	109.08	108.57	-0.47	119.01	117.63	-1.17
	010	162.27	162.84	0.36	184.31	186.21	1.02	210.14	212.60	1.16	133.36	134.03	0.50	150.27	151.93	1.09	167.15	169.62	1.46
	100	185.04	184.90	-0.08	210.28	210.08	-0.10	243.72	243.19	-0.22	144.65	144.94	0.20	161.82	162.48	0.41	182.01	183.05	0.57
	101	145.98	145.66	-0.22	165.22	164.63	-0.35	185.55	184.46	-0.59	123.37	122.40	-0.80	137.36	137.61	0.18	152.86	154.30	0.93
	111	159.18	158.41	-0.48	180.80	178.89	-1.06	204.08	201.27	-1.39	93.59	92.88	-0.76	113.57	112.46	-0.98	124.79	123.86	-0.75
	Aver.	162.86	162.74	-0.07	184.84	184.71	-0.07	210.81	210.46	-0.16	118.86	118.59	-0.22	134.13	134.42	0.21	148.50	149.14	0.43
D FF	001	308.20	309.32	0.36	360.17	363.07	0.80	417.32	421.79	1.06	258.94	259.16	0.09	295.87	296.66	0.27	333.65	334.64	0.30
	010	325.95	325.85	-0.03	376.78	376.80	0.01	446.68	446.39	-0.06	253.41	254.03	0.25	289.31	290.91	0.55	335.24	337.82	0.77
	011	274.66	274.44	-0.08	319.46	319.24	-0.07	371.57	370.71	-0.23	230.63	231.13	0.22	262.18	263.43	0.47	295.60	297.73	0.72
	100	280.21	279.75	-0.16	324.63	323.99	-0.20	377.88	376.11	-0.47	230.16	230.87	0.31	261.85	262.94	0.42	296.39	297.92	0.52
	101	323.31	323.42	0.03	375.17	376.00	0.22	441.77	441.54	-0.05	256.24	257.13	0.35	296.69	295.93	-0.26	340.65	341.40	0.22
	110	322.64	322.37	-0.08	373.64	373.37	-0.07	438.41	437.42	-0.23	255.21	255.82	0.24	290.97	292.49	0.52	333.19	335.77	0.77
	111	286.99	286.72	-0.09	332.75	332.90	0.05	387.78	386.61	-0.30	237.08	238.32	0.52	270.72	273.70	1.09	306.85	312.01	1.66
Aver.	303.14	303.12	0.00	351.80	352.20	0.11	411.63	411.51	-0.03	245.95	246.64	0.28	281.08	282.30	0.43	320.22	322.47	0.70	



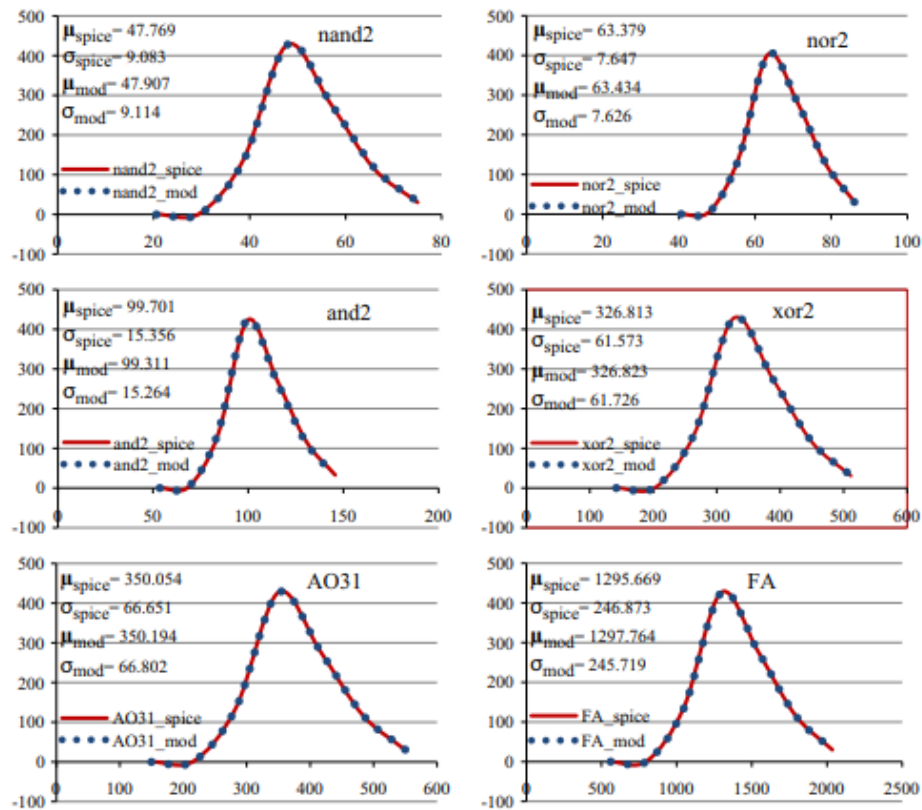
شکل 9: سلول های استاندارد چهار ورودی (112AO ، 22AO و 31AO).

داده‌ها با توزیع به دست آمده با اجرای یک تحلیل SPICE مونتاژ کارلو با تغییرات فن آوری همپوشانی دارد. جالب توجه است که نتیجه توزیع نشت نزدیک است اما در تمام سلول‌ها کاملاً گاوسی نیست.

5. تجزیه و تحلیل موضوع اجزای نشت به اثرات مقیاس پذیری

پس از تایید دقت محاسبه نشت کل با توجه به نتایج 4SPICE BSIM، ما قادر به ادامه استفاده از مدل سطح منطق به منظور تجزیه و تحلیل تاثیر فناوری مقیاس پذیری و از الگوهای ورودی در سه قطعه فعلی نشت به صورت جداگانه، به عنوان مثال گیت، زیرآستانه و نشت بدنه هستیم.

جدول 6 نتایج سه جزء عمده نشت برای همه الگوهای ورودی در استاندارد 2 ورودی و تک ورودی و سلول‌ها گزارش شده است. تمام قطعات نشت در 45 نانومتر، 32 نانومتر و 22 نانومتر تکنولوژی تخمین زده شده است. بدیهی است که تمام مولفه نشت، با هم و بنا به جریان نشتی برای یک ترکیبی ورودی خاص در گر تکنولوژی مربوطه خلاصه شده است. جدول 7 نشت زیرآستانه، نشت بدنه و گیت نشت تخمین مقادیر برای همه الگوهای ورودی در استاندارد سه ورودی سلول را گزارش می‌کند، در حالی که جدول 8 و 9 گزارش نتایج برآورد نشت زیرآستانه، نشت بدنه و Gate در سلول‌های سریال و سلول چهار ورودی است.



شکل 10: نمایش نتایج سطح منطق و تجزیه و تحلیل SPICE مونت کارلو از تغییرات نشت.

جدول 6: تاثیر مقیاس پذیری در قطعات نشت در سلول دو ورودی و تک ورودی. (زیرآستانه $S_{1/4}$, $B_{1/4}$ Body, $G_{1/4}$ Gate)

Standard cell name	Input pattern	45 nm Technology			32 nm Technology			22 nm Technology		
		S [nA]	B [nA]	G [nA]	S [nA]	B [nA]	G [nA]	S [nA]	B [nA]	G [nA]
NOT	0	6.844	0.848	26.783	7.766	2.343	29.782	11.103	3.399	31.006
	1	24.000	0.084	15.697	27.150	0.217	17.266	33.840	0.276	16.785
NAND2	00	1.301	1.696	54.610	0.886	4.686	61.248	0.603	6.797	64.695
	01	10.298	1.040	27.437	10.644	2.876	30.794	11.027	4.180	32.459
	10	15.656	1.040	55.618	19.083	2.876	63.792	24.268	4.181	68.682
	11	48.000	0.384	58.762	54.300	1.067	68.772	67.681	1.564	75.079
NOR2	00	13.689	3.604	105.940	15.532	10.239	121.810	22.206	15.594	134.350
	01	51.001	2.210	70.847	59.327	5.337	81.167	77.455	8.073	87.911
	10	37.030	1.886	17.145	39.680	0.217	19.326	43.577	0.276	19.110
	11	5.080	0.168	32.026	4.450	0.435	35.550	2.691	0.553	35.178
AND2	00	25.302	1.780	70.307	28.107	4.903	78.536	34.443	7.074	81.481
	01	39.656	1.124	71.314	37.239	3.094	47.786	58.108	4.457	85.468
	10	54.845	1.232	85.545	46.229	3.094	81.057	78.784	4.963	106.080
	11	34.298	1.124	43.134	62.065	3.410	98.554	44.867	4.457	49.244
XOR2	00	102.770	5.684	162.430	114.550	15.991	186.740	143.240	23.956	202.830
	01	56.799	4.072	177.910	64.642	11.523	203.870	80.238	17.433	221.270
	10	56.799	4.704	177.910	64.642	13.233	203.870	80.238	19.820	221.270
	11	137.080	4.156	140.260	153.320	11.740	161.710	188.710	17.710	174.390

نتایج ما نشان می‌دهد که موفقیت این حمله می‌تواند مستقل از تکنولوژی انتظار رود. همچنین تاثیر مربوط به تکنیک محدودیت نشت بر اساس انتخاب الگوی ورودی، همانند نتایج ما است که انتظار داریم کاهش نشت نسبی فن‌آوری‌های مستقل دست‌یافتنی باشد. همچنین، گیت‌های 2NAND و 3NAND تفاوت چشمگیری را در جریان نشتی زیرآستانه مربوط به الگوهای ورودی "0..0" و "1..1"، متفاوت از سلول‌های دیگر نشان می‌دهد. این مساله می‌تواند به هنگام طراحی واحد منطق با الگوی ورودی بر اساس مدیریت نشت انجام گیرد. متوسط روند افزایشی هر یک از مؤلفه‌های نشت به صورت جداگانه در شکل 11 برای سلول‌های تک ورودی و دو ورودی، در شکل 12 برای سلول‌های سه ورودی، و در شکل 13 برای سلول‌های پی‌درپی چهار ورودی نشان داده شده است. تعداد درصد نسبت به میله‌ها نشان‌دهنده‌ی افزایش میانگین درصد بنا به فن‌آوری نشت مربوطه در سلول خاص است. مشاهده می‌کنیم که، به‌طور میانگین، افزایش نشت زیرآستانه برای مقیاس‌پذیری سلول‌های 2 ورودی از 45 نانومتر به 32 نانومتر حدود 12٪ است، درحالی‌که مقیاس‌پذیری از 32 نانومتر به 22 نانومتر حدود 25 درصد است. جالب توجه است، درحالی‌که هر گام از مقیاس‌پذیری، عامل کاهش اندازه ویژگی‌های هندسی در حدود 0.7 است، دومین مرحله از مقیاس‌پذیری نشان می‌دهد که افزایش دو برابری در زیرآستانه نسبت به اولین مرحله از مقیاس‌پذیری وجود دارد.

جدول 7: تاثیر مقیاس‌پذیری در اجزای اصلی نشت در سلول سه ورودی. (S¼Sub آستانه، B¼Body، G¼Gate).

Standard cell name	Input pattern	45 nm Technology			32 nm Technology			22 nm Technology		
		S [nA]	B [nA]	G [nA]	S [nA]	B [nA]	G [nA]	S [nA]	B [nA]	G [nA]
NAND3	000	0.742	2.544	82.455	0.497	7.028	92.744	0.331	10.197	98.429
	001	1.941	1.996	53.837	1.125	5.535	60.613	0.902	8.084	64.334
	010	4.737	1.996	60.254	4.245	5.535	68.404	3.872	8.086	73.128
	011	15.127	1.449	29.145	15.520	1.700	32.770	16.143	4.180	34.630
	100	2.034	1.996	97.152	1.411	5.535	112.430	0.993	8.086	123.220
	101	16.095	1.449	67.785	16.957	4.042	79.485	18.170	5.974	88.197
	110	24.463	1.449	111.790	30.387	4.042	131.990	39.951	5.977	147.770
	111	72.001	0.901	129.190	81.449	2.549	154.520	101.520	3.863	174.880
NOR3	000	20.533	8.267	237.470	23.298	23.688	276.090	33.310	36.585	310.050
	001	77.938	5.596	178.150	91.361	16.009	206.950	120.990	24.666	230.810
	010	58.272	0.084	97.410	61.301	0.217	118.820	68.134	0.277	131.240
	011	8.439	2.924	113.360	6.146	8.331	130.580	4.208	12.748	142.540
	100	55.313	2.840	17.821	57.301	8.113	15.040	61.653	12.470	11.374
	101	17.542	2.924	36.238	16.084	8.331	38.026	14.631	12.746	34.580
	110	8.195	0.084	33.081	5.886	0.217	36.816	3.948	0.277	36.578
	111	3.142	1.225	48.354	2.752	0.652	53.834	1.450	0.827	53.570
AND3	000	24.742	2.628	98.152	27.647	7.246	110.010	34.172	10.473	115.210
	001	25.941	2.080	69.534	28.275	5.753	77.879	34.742	8.362	81.119
	010	28.737	2.080	75.951	31.395	5.753	85.670	37.712	8.362	89.913
	011	39.127	0.685	44.842	42.670	1.917	50.036	49.983	2.853	51.415
	100	26.034	2.080	112.850	28.561	5.753	129.690	34.834	8.362	140.000
	101	40.095	1.533	83.481	44.107	4.260	96.751	52.010	6.251	104.980
	110	48.463	1.533	127.480	57.537	4.260	149.250	73.791	6.253	164.550
	111	78.845	1.749	155.980	89.215	4.892	184.300	112.620	7.262	205.890
AO12	000	32.146	5.490	175.650	35.802	15.576	201.670	45.546	23.666	221.000
	001	57.828	4.536	147.070	67.056	12.799	168.290	88.621	19.269	183.020
	010	46.501	3.880	150.470	45.560	10.990	140.090	55.970	16.652	152.590
	011	57.820	2.818	121.940	67.037	7.897	139.800	88.558	11.747	150.990
	100	41.143	3.880	122.290	53.998	10.990	173.080	69.211	16.652	188.810
	101	57.820	2.926	121.940	67.037	8.213	139.800	88.558	12.254	150.990
	110	79.759	3.034	81.779	83.221	8.529	94.672	92.450	12.760	102.480
	111	16.789	1.316	96.820	15.789	3.627	111.340	15.994	5.239	119.010
MUX12	000	37.689	1.780	103.700	42.682	4.903	116.710	56.047	7.076	121.800
	001	54.845	1.016	92.612	62.066	2.778	104.200	78.784	3.953	107.580
	010	77.348	2.343	106.660	88.920	6.391	119.860	114.170	9.058	124.990
	011	94.504	2.248	94.521	108.300	6.188	104.710	136.910	8.914	106.650
	100	77.348	2.820	105.610	88.920	7.780	117.230	114.170	11.258	120.870
	101	94.504	1.292	95.571	108.300	3.529	107.340	136.910	5.011	110.770
	110	37.689	1.864	108.570	42.682	5.121	120.370	56.047	7.355	124.060
	111	54.845	2.032	97.481	62.066	5.555	107.860	78.784	7.906	109.840
FA	000	108.920	21.457	765.860	124.970	61.125	891.470	158.860	93.509	997.780
	001	217.520	21.949	671.670	270.440	62.508	766.660	342.090	95.580	853.940
	010	187.050	17.584	582.000	198.340	50.026	687.200	271.840	76.368	725.770
	011	185.120	13.519	469.110	213.700	38.394	547.570	263.550	58.446	606.090
	100	200.680	12.072	484.010	224.740	34.234	562.510	285.620	51.977	623.940
	101	211.820	13.519	503.450	233.120	38.394	586.100	299.650	58.449	647.460
	110	185.930	11.909	533.370	207.330	33.808	624.130	250.190	51.435	694.020
	111	271.360	7.844	366.050	198.120	22.175	535.120	224.080	33.502	573.260

جدول 8: تاثیر مقیاس‌پذیری در قطعات نشت در سلول‌های پی در پی. (S¼Sub آستانه، B¼Body، G¼Gate).

Standard cell name	Signal pattern	45 nm Technology			32 nm Technology			22 nm Technology		
		S [nA]	B [nA]	G [nA]	S [nA]	B [nA]	G [nA]	S [nA]	B [nA]	G [nA]
DLatch	000	48.189	1.864	92.225	53.743	5.121	101.830	71.551	7.352	102.980
	001	84.192	2.151	96.020	96.686	5.858	105.180	125.270	8.276	105.840
	010	65.345	2.140	95.358	73.127	5.871	107.210	94.289	8.408	109.900
	100	87.848	1.864	95.184	99.981	5.121	104.970	129.670	7.352	106.170
	101	44.533	2.151	98.979	50.448	5.858	108.330	67.150	8.277	109.030
	111	61.689	1.579	95.144	69.832	4.266	104.790	89.887	5.936	105.450
DFF	001	98.821	5.660	204.840	114.300	15.893	232.880	148.800	23.728	249.260
	010	162.190	3.014	160.640	188.190	8.196	180.420	246.700	11.548	188.140
	011	90.848	4.337	179.260	105.010	12.044	202.190	139.630	17.638	213.450
	100	108.000	3.573	168.170	124.390	9.919	189.680	162.360	14.515	199.230
	101	147.660	3.573	172.180	170.630	9.919	195.450	220.490	14.515	206.540
	110	147.660	3.573	171.130	170.630	9.919	192.820	220.490	14.516	202.420
111	108.000	3.573	175.140	124.390	9.919	198.590	162.360	14.515	209.730	

جدول 9: تاثیر مقیاس‌پذیری در اجزاء اصلی نشت در سلول چهار ورودی. (S¼Sub آستانه، B¼Body،

(G¼Gate)

Standard cell name	Signal pattern	45 nm Technology			32 nm Technology			22 nm Technology		
		S [nA]	B [nA]	G [nA]	S [nA]	B [nA]	G [nA]	S [nA]	B [nA]	G [nA]
AO112	0000	38.990	11.107	333.370	43.568	31.802	387.080	56.650	49.056	432.864
	0001	84.769	9.486	280.650	99.097	26.985	325.340	131.993	41.183	362.310
	0010	65.118	9.199	195.720	69.071	26.248	218.530	79.244	40.259	242.824
	0011	15.283	6.528	215.770	13.912	18.570	248.830	15.311	28.341	273.777
	0100	53.348	8.543	282.000	61.770	24.439	327.370	80.329	37.643	364.499
	0101	84.744	6.636	229.300	99.041	18.886	265.670	131.819	28.847	293.991
	0110	65.116	5.788	146.220	69.067	16.543	162.440	79.237	25.448	174.638
	0111	15.283	3.964	164.460	13.912	11.207	189.230	15.311	16.928	205.590
	1000	47.987	8.543	253.820	53.326	24.439	294.370	67.074	37.643	328.285
	1001	84.744	6.636	229.300	99.041	18.886	265.670	131.819	28.847	293.991
	1010	65.116	6.636	144.430	69.067	18.886	158.970	79.237	28.847	174.712
	1011	15.283	3.964	164.460	13.912	11.207	189.230	15.311	16.928	205.590
	1100	112.420	3.988	90.612	115.650	11.306	98.167	125.492	17.156	98.371
	1101	35.128	4.072	102.540	33.174	11.523	111.380	33.663	17.432	121.276
	1110	20.347	3.224	94.926	18.429	9.181	105.240	18.222	14.035	112.163
1111	8.728	1.401	118.470	9.125	3.845	135.510	12.008	5.515	143.065	
AO22	0000	26.603	7.291	229.660	28.921	20.695	264.260	35.046	31.464	290.860
	0001	35.600	5.682	176.360	38.679	16.109	202.800	45.470	24.449	222.660
	0010	40.958	5.682	204.480	47.118	16.109	235.680	58.711	24.449	258.670
	0011	108.800	4.836	195.800	126.310	13.649	226.290	166.010	20.556	248.340
	0100	35.600	5.682	176.310	38.679	16.109	202.690	45.470	24.449	222.470
	0101	44.597	4.072	122.940	48.437	11.523	141.100	55.894	17.434	154.050
	0110	49.957	2.164	159.140	56.881	5.970	182.740	69.149	8.638	198.930
	0111	108.800	2.272	170.690	126.310	6.286	197.820	166.010	9.144	216.360
	1000	40.958	5.682	204.490	47.118	16.109	235.680	58.711	24.449	258.680
	1001	49.955	4.072	151.120	56.876	11.523	174.100	69.135	17.434	190.260
	1010	55.313	4.072	179.300	65.315	11.523	207.090	82.376	17.434	226.470
	1011	108.800	3.226	170.690	126.310	9.063	197.820	166.010	13.542	216.360
	1100	83.053	4.836	82.262	87.271	13.649	95.143	98.258	17.156	95.177
	1101	83.053	3.875	117.320	87.271	10.960	136.030	98.258	13.540	139.780
	1110	83.053	3.226	121.250	87.271	9.063	140.480	98.258	13.542	139.780
1111	17.881	1.617	145.570	15.736	4.477	169.360	16.485	6.527	184.380	
AO31	0000	31.587	7.291	229.680	35.413	20.695	264.290	45.275	31.464	290.906
	0001	57.831	6.338	196.560	67.062	17.918	225.720	88.642	27.065	247.229
	0010	32.879	5.790	218.190	36.327	16.425	252.850	45.937	24.955	279.514
	0011	57.828	3.988	195.620	67.056	11.306	214.340	88.621	17.157	235.936
	0100	35.582	5.490	181.290	39.161	15.576	208.830	48.816	23.668	229.433
	0101	57.828	4.836	154.110	67.056	13.649	168.330	88.621	20.556	183.107
	0110	55.308	4.288	206.640	65.303	12.156	241.290	84.894	18.446	267.904
	0111	57.820	3.334	173.650	67.037	9.379	202.970	88.558	14.046	224.643
	1000	32.785	5.790	174.880	36.231	16.425	201.040	45.846	24.955	220.640
	1001	57.828	4.836	185.100	67.056	13.649	214.340	88.621	20.556	235.936
	1010	46.940	4.288	162.640	51.873	12.156	188.780	63.114	18.446	208.331
	1011	57.820	3.334	173.650	67.037	9.379	202.970	88.558	14.046	224.643
	1100	45.971	3.988	124.000	50.436	11.306	142.070	61.086	17.158	154.764
	1101	57.820	3.334	173.650	67.037	9.379	202.970	88.558	14.046	224.643
	1110	113.420	3.551	159.040	117.300	10.011	188.290	127.864	15.058	210.613
1111	19.025	1.833	162.200	18.029	5.109	191.590	18.007	7.537	213.350	

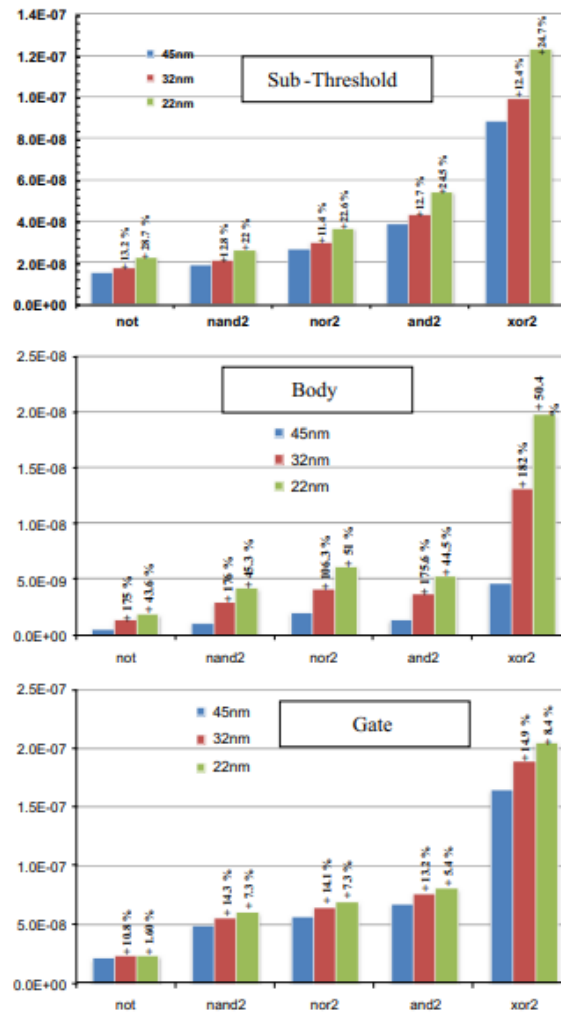


Fig. 11. Scaling effect on sub-threshold, body, and gate leakage in single-input and two-input cells; average values with respect to input pattern.

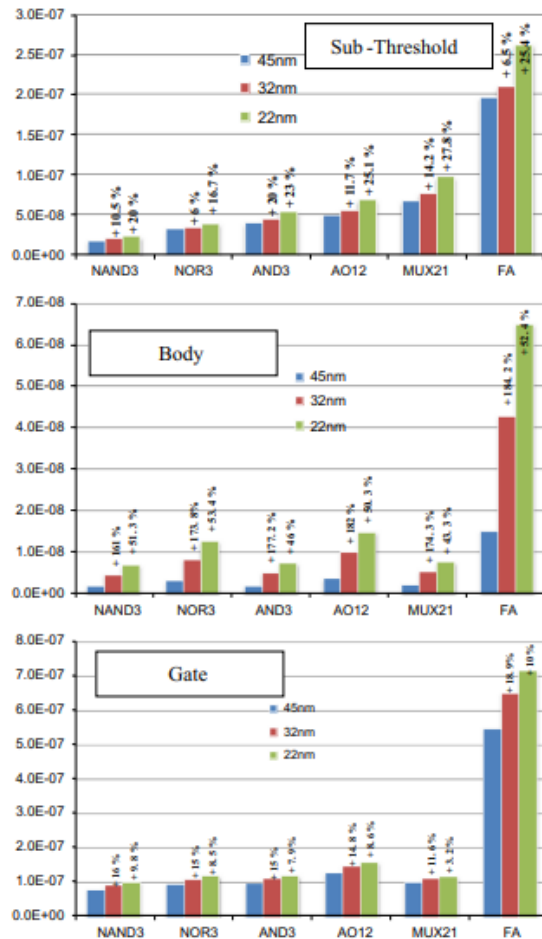


Fig. 12. Scaling effect on sub-threshold, body, and gate leakage in three-input cells; average values with respect to input pattern.

این مورد برای نشت بدنه و گیت نیست که در آن یک رفتار مخالف با یک مقدار افزایش در مرحله 32 به 22 نانومتر مقیاس‌پذیری با توجه به 45 به 32 نانومتر گام مشاهده می‌کنیم. رفتار فوق‌العاده خطی از جریان زیرآستانه ممکن است به وابستگی نمایی آن در ولتاژ آستانه منتسب گردد، که به نوبه خود بستگی به ضخامت اکسید مقیاس‌پذیری دارد.

نمونه‌هایی از روش کاهش نشت که می‌توانند از خصوصیات عمیق جریان نشت داده بهره‌مند گردند مختلف هستند. به‌عنوان مثال، روش‌های مبتنی بر الگوی ورودی را می‌توان برای محاسبه به کار گرفت. با توجه به جمع‌کننده با رقم نقلی 32+32 بیتی در تکنولوژی 22 نانومتر، کاربرد روش حداقل مصرف الگوی ورودی FFFFFFFFHEX به هر دو عملوند ورودی منجر به مصرف برق از $32 \times \frac{26587}{4831}$ NW، صرفه‌جویی 21٪ در انرژی با توجه به متوسط 33,349 نانوات از یک الگوی ورودی تصادفی می‌شود.

به عنوان مثال، اگر یک مقایسه کننده باینری 32 بیتی در نظر بگیریم، که منطق هسته‌ای آن از 32 علوند XOR تشکیل شده است، هر XOR را با یک XOR 2 یا NOT 2 و 3 NAND (فرض NAND-NAND)، و یا NOT 2 و یکی 22AO (ترکیب and-or) پیاده‌سازی می‌کنیم. از نگاهت راه‌حل سه تکنولوژی، XOR حداقل متوسط نشت منجر به $32 \times 11129/4831$ نانوات مصرف بیهوده خواهد داشت. اگر ما بدانیم که الگوی ورودی آماری مقایسه کننده از رشته‌های '1'، تشکیل شده است حداقل نشت راه‌حل NAND-NAND منجر به $32 \times (50 + 50 + 48 + 72) = 8576$ nW می‌شود. مزیت راه‌حل دوم توجه به نشت Gate در سلول‌های NAND و XOR از کتابخانه است. در یک کتابخانه سلولی با زیرآستانه نشت، راه‌حل ناهمسان بهینه خواهد بود.

به طور کلی، براساس تجزیه و تحلیل جریان‌های نشتی محاسبه شده از طریق مدل برآورد کتابخانه سلول، روند سه جزء اصلی نشت با تکنولوژی مقیاس پذیری را همانطور که در شکل 14 نشان داده شده است پیش‌بینی می‌کنیم. به عنوان یک روند کلی، افزایش در نشت بدنه با وجود مقدار مطلق آن بسیار زیاد است، اما در تکنولوژی گره 22 نانومتر ما می‌توانیم یک رفتار اشباع از نشت بدنه انتظار داشته باشیم. نشت گیت افزایش تقریباً خطی را نشان می‌دهد. برعکس، نشت زیرآستانه به نظر می‌رسد به حفظ رشد در تکنولوژی CMOS در آینده منجر شود بنابراین انتظار داریم اقدامات متقابل به محدودیت‌های زیرآستانه فعلی تمرکز داشته باشند.

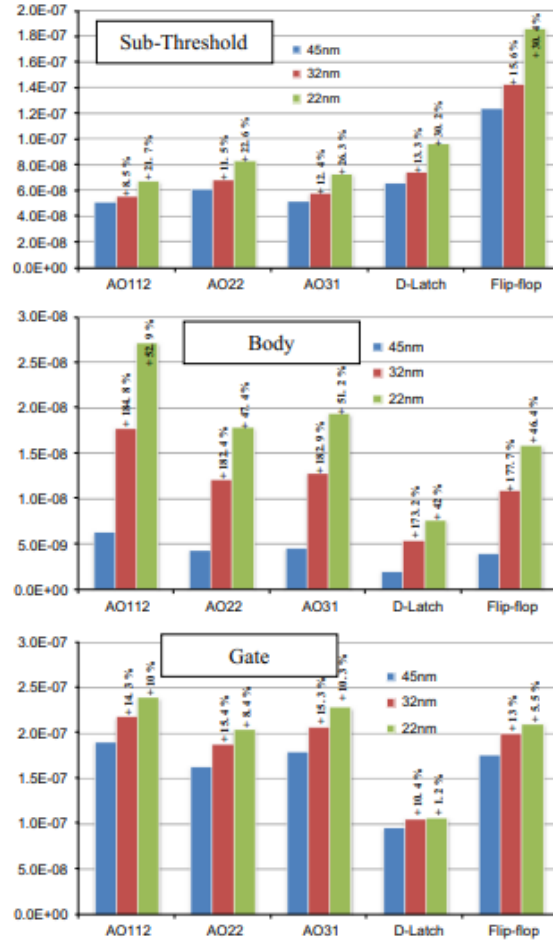


Fig. 13. Scaling effect on sub-threshold, body, and gate leakage in four-input and sequential cells; average values with respect to input pattern.

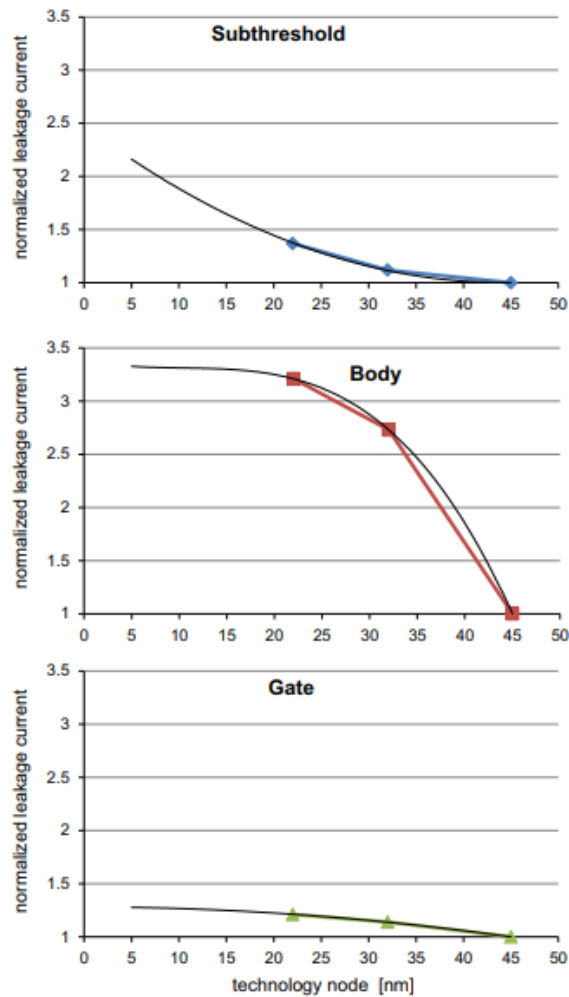


Fig. 14. Estimated average trend of different leakage currents in cell library, normalized to 45 nm values.

6. نتیجه گیری

خصوصیات اثر فن آوری مقیاس پذیری بر روی اجزای جریان نشتی های مختلف در مجموعه سلولی استاندارد با اشاره به 45 نانومتر، 32 نانومتر و 22 نانومتر فرآیند CMOS ارائه شده است. تجزیه و تحلیل با توجه به روش برآورد سطح منطق و با پشتیبانی مقایسه با 4SPICE BSIM با کمتر از 1٪ متوسط خطا انجام شد. نتیجه تجزیه و تحلیل وابستگی الگوی ورودی است که تفاوت های قابل توجهی از یک سلول به سلول دیگر نشان می دهد، اما همان نسبت بین هر دو الگوی ورودی مختلف مستقل از فن آوری مقیاس پذیری، است که در روش محدودیت نشت مبتنی بر الگو قابل توجه است. همچنین، مشاهده کردیم که تاثیر فعلی زیرآستانه در نشت کتابخانه افزایش خطی بیشتری با مقیاس پذیری

(12٪ از 45 نانومتر به 32 نانومتر، 25 درصد از 32 نانومتر به 22 نانومتر) نشان می‌دهد، در حال حاضر تاثیر جریان گیت و بدنه، کاهش در افزایش خود به‌عنوان کاهش هندسی نشان می‌دهد. به‌طور کلی، داده‌های گزارش شده را می‌توان برای تحلیل و بررسی تکنیک‌های طراحی کاهش نشت استفاده کرد.

References

- [1] Z. Abbas, V. Genua, M. Olivieri, A novel logic level calculation model for leakage currents in digital nano CMOS circuits, in: Proceedings of the 7th Conference on PhD Research in Microelectronics & Electronics, 3–7 July, Madonna di Campiglio, Trento, Italy.
- [2] A. Abdollahi, F. Fallah, M. Pedram, Leakage current reduction in CMOS VLSI circuits by input vector control, IEEE Trans. Very Large Scale Integration (VLSI) Systems 12 (2) (2004). (pp. 140, 154).
- [3] A. Agarwal, S. Mukhopadhyay, A. Raychowdhury, K. Roy, C.H. Kim, Leakage power analysis and reduction for nanoscale circuits, IEEE Micro 26 (2) (2006) 68–80.
- [4] M.W. Dunga, W. Yang, X. Xi, J. He, W. Liu, M. Cao, X. Jin, J. Ou, M. Chan, A.M. Niknejad, C. Hu, Bsim 4.6.1 Mosfet Model – User's Manual (Technical Report), EECS Department, University of California, Berkeley, 2007.
- [5] International Technology Roadmap for Semiconductors. International SEMATECH, Austin, TX. (<http://public.itrs.net>).
- [6] F. Lannutti, P. Nenzi, M. Olivieri, KLU sparse direct linear solver implementation into NGSPICE, in: Proceedings of the 19th International Conference on Mixed Design of Integrated Circuits and Systems, MIXDES 2012, IEEE, pp. 69, 2012.
- [7] M. Olivieri, G. Scotti, A. Trifiletti, A novel yield optimization technique for digital CMOS circuits design by means of process parameters run-time estimation and body bias active control, IEEE Trans. Very Large Scale Integration (VLSI) Syst. 13 (5) (2005).
- [8] F. Menichelli, R. Menicocci, M. Olivieri, A. Trifiletti, High level side channel attack modeling and simulation for security-critical systems-on-chips, IEEE Trans. Secure Dependable Comput. 5 (3) (2008).
- [9] F. Menichelli, M. Olivieri, Static minimization of total energy consumption in memory subsystem for scratchpad-based systems-on-chips, IEEE Trans. Very Large Scale Integration (VLSI) Syst. 17 (2) (2009) 161–171.
- [10] S. Mukhopadhyay, A. Raychowdhury, K. Roy, Accurate estimation of total leakage current in scaled CMOS logic circuits based on compact current modeling, in: Proceedings of the IEEE/ACM Design Automation Conference. (DAC '03), pp. 169–174, 2003.
- [11] S. Mukhopadhyay, S. Bhunia, K. Roy, Modeling and analysis of loading effect in leakage of nano-scaled bulk-CMOS logic circuits, IEEE Trans. Comput. Aided Des. Electron. Circuits Syst. 25 (8) (2006).
- [12] Predictive Technology Model. (<http://ptm.asu.edu/>).
- [13] R. Rao, J. Burns, A. Devgan, R. Brown, Efficient techniques for gate leakage estimation, in: Proceedings of the International Symposium on Low Power Electronics and Design (ISLPED'03), 2003, pp. 100–103.
- [14] F. Ramundo, P. Nenzi, M. Olivieri, First integration of MOSFET band-to-band tunneling current in BSIM4, Microelectron. J. 44 (1) (2013) 26–32. (Elsevier).
- [15] K. Roy, S. Mukhopadhyay, H.M. Meimand, Leakage current mechanisms and leakage reduction techniques in deep-submicrometer CMOS circuits, Proceedings of IEEE (2003) 305–327.
- [16] K. Roy, S.C. Prasad, Low Power CMOS VLSI Circuits, Wiley, USA, 2000.
- [17] A. Sanyal, A. Rastogi, W. Chen, K. Roy, S. Kundu, An efficient technique for leakage current estimation in nanoscaled CMOS circuits incorporating selfloading effects, IEEE Trans. Comput. 59 (7) (2010) 922–932.
- [18] K. Schuegraf, C. Hu, Hole injection SiO₂ breakdown model for very low voltage lifetime extrapolation, IEEE Trans. Electron Devices 41 (1994) 761–767.

- [19] A.K. Sultania, D. Sylvester, S.S. Sapatnekar, Gate oxide leakage and delay tradeoffs for dual-Tox circuits, IEEE Trans. Very Large Scale Integration (VLSI) Syst. 13 (2005) 1362–1375.
- [20] Y. Taur, T.H. Ning, Fundamentals of Modern VLSI Devices, Cambridge University Press, USA, 1998.
- [21] Y. Tsvividis, Operation and Modeling of the MOS Transistor, 2nd edition, Oxford University Press, USA, 2003.
- [22] S.H. Voldman, J.A. Brachitta, D.J. Fitzgerald, Band-to-band tunneling and thermal generation gate-induced drain leakage, IEEE Trans. Electron Devices 35 (12) (1988) 2433.
- [23] J. Xue, T. Li, Y. Deng, Z. Yu, Full-chip leakage analysis for 65 nm CMOS technology and beyond, Integration VLSI J. 43 (4) (2010) 353–364.
- [24] K.S. Yeo, K. Roy, Low-Voltage, Low-Power VLSI Subsystems, McGraw Hill, USA, 2005.